

ARCHITECTURE HÉTÉROGÈNE AU SERVICE DE L'IOT INDUSTRIEL ?

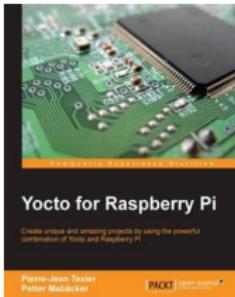
Pierre-Jean Texier



- ▶ Ingénieur Linux Embarqué Lafon Technologies



- ▶ Free software enthusiast
- ▶ Co-auteur de "**Yocto for Raspberry Pi**" et auteur dans GNU/Linux magazine et Open silicium



4 personnes, diverses activités au sein du BE :

- ▶ Linux Device Driver (i2c, mtd, ...)
- ▶ Board Support Package (OpenEmbedded) => ARM & MIPS
- ▶ Interface Graphique (Framework Qt)
- ▶ Firmware MCU => EFM32 & STM32
- ▶ ...



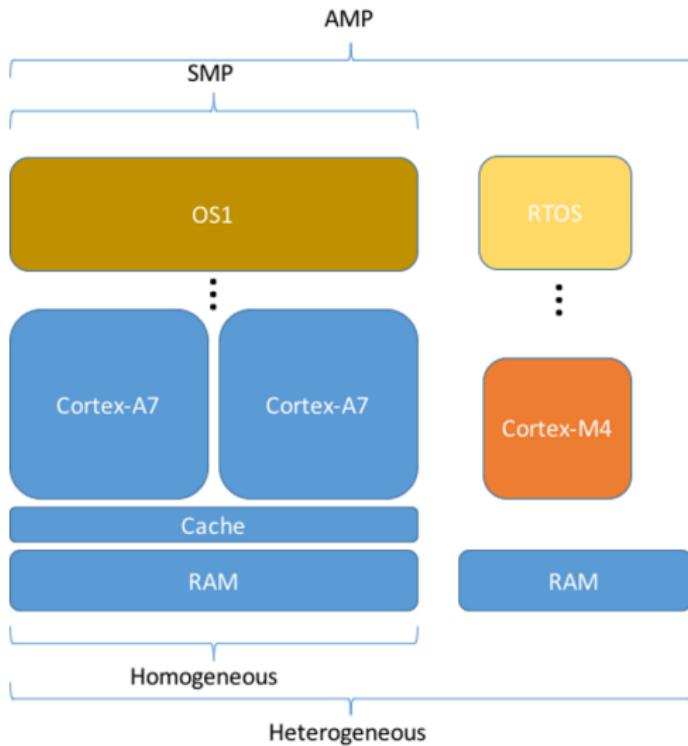
APL3

I.MX7





- ▶ Architecture hétérogène :
 - ▶ Cortex A7 (1 pour l'i.MX7s, 2 pour l'i.MX7d)
 - ▶ Cortex M4
- ▶ Conçu pour :
 - ▶ être efficace en energie
 - ▶ avoir une "expérience" temps-réel
 - ▶ faire tourner des applications complexes
 - ▶ faire du multimédia
 - ▶ ...



Architecture

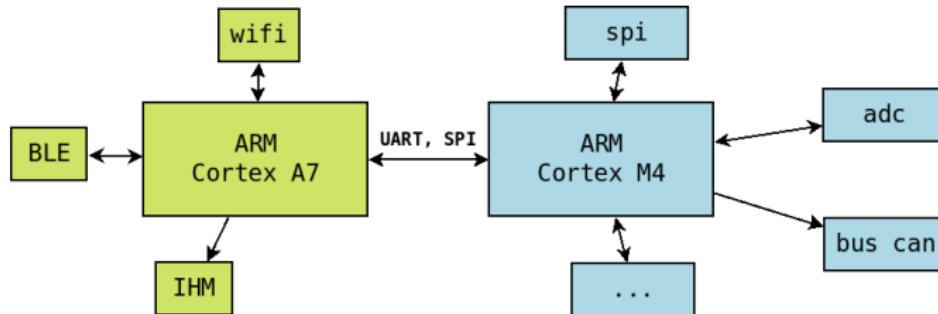
System Control		Main CPU Platform		Connectivity		
JTAG		ARM® Core® Cortex-A7		USB2.0 HOST (w/ HSIC)	USB2.0 OTG (w/ PHY)	
PLL, OSC		32 KB I-Cache	32 KB D-Cache	MMC5.0 / SD3.0 x 3	UART x 7	
Clock and Reset		NEON™	FPU	1 Gbit ENET AVB	SPI x 4	
Smart DMA		512 KB L2-cache		I²C x 4	GPIO, Keypad	
GPT x 4, FlexTimer x 2		Secondary CPU Platform		I²S x 3	PWM x 4	
Watch Dog x 4		Cortex-M4		CAN x 2	Smart Card I/F x 2	
Power Management	LDO	16 KB I-Cache	16 KB D-Cache			
	Temp Monitor	64 KB TCM		FlexTimer x 2		
Internal Memory		Imaging Processing		External Memory		
256 KB SRAM	96 KB ROM	Resizing, Blending Inversion/Rotation		NOR FLASH/ SRAM	8-bit NAND (BCH62)	
ADC		LCD Interface		Dual-Ch Quad SPI		
up to 2 x 12-bit ADC		24-Bit Parallel RGB	MIPI-DSI (2-Lane)	32-/16-bit LP-DDR2/3 DDR3/DDR3L		
Security		Camera Interfaces				
Secure RTC	10 Tamper Pins	Parallel CSI (up to 24-Bit)				
RSA 4096	RNG	MIPI-CSI (2-Lane)				
Ciphers						
DPA protection	32 KB Secure RAM					
[] Optional						

Il est quand même possible de faire tourner des applications !

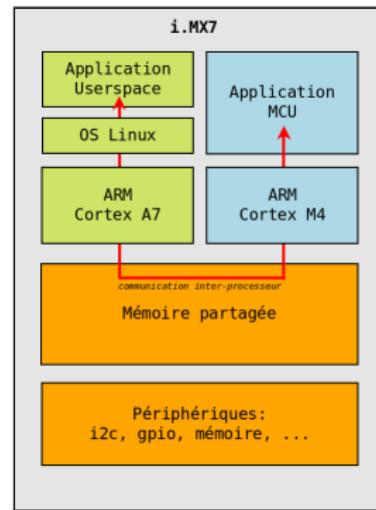
- ▶ Utilisation de **QT QUICK 2D RENDERER** => Depuis la version **5.7** de Qt
- ▶ Niveau framebuffer => linuxfb
- ▶ Il faudra configurer l'environnement :

```
$ export QT_QPA_PLATFORM=linuxfb:fb=/dev/fb0  
$ export QMLSCENE_DEVICE=softwarecontext
```

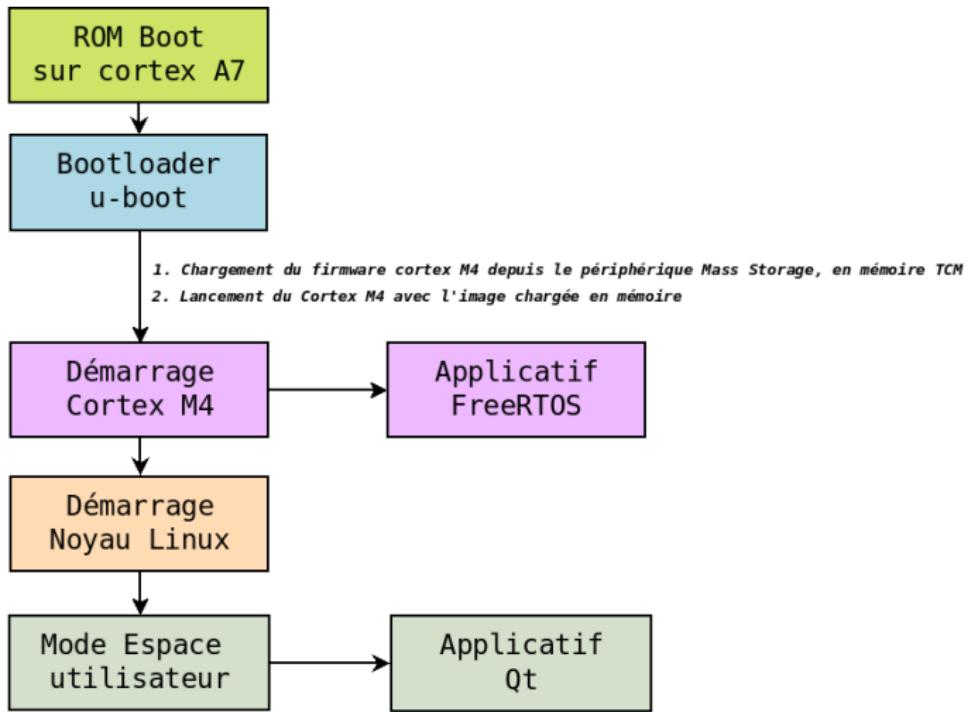
- ▶ MCU et MPU séparés
- ▶ Communication au travers un bus de communication (i2c ou SPI)
 - ▶ LxMCU ?
- ▶ Séparation de l'architecture logicielle
 - ▶ Le MCU pour les acquisitions (temps-réel)
 - ▶ Le MPU pour l'affichage/connectivités



- ▶ Partagent les mêmes ressources matérielles (i2c, GPIO, ...)
- ▶ Communication en mémoire partagée: DDR3
- ▶ Avantages de l'architecture :
 - ▶ Plusieurs OS sur une même puce
 - ▶ Mise à jour plus simple (mender.io, SWUpdate, rauc)
 - ▶ Communication + rapide
 - ▶ Réduction du coût de la BOM
 - ▶ ...



CORTEX M4: BOOT, MéMOIRE, ...



► Mémoire:

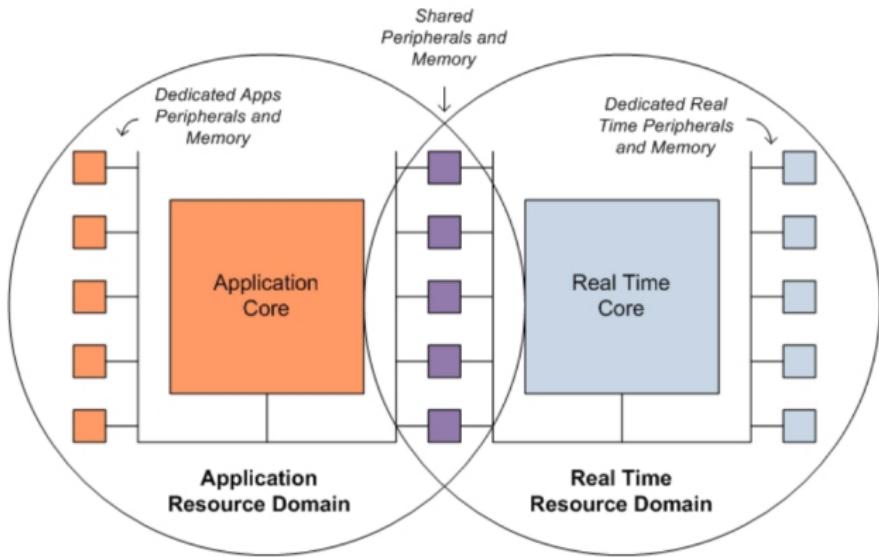
- ▶ Plusieurs types de mémoires: OCRAM, DDR3, TCM
- ▶ TCM locale au cortex M4, donc plus performante
- ▶ Aussi accessible depuis le cortex A7
- ▶ Utile pour le chargement de l'image depuis u-boot :
=> `fatload mmc 0:1 0x7F8000 main.bin`
- ▶ Commande bootaux, pour démarrer à une adresse donnée:
=> `bootaux 0x7F8000`

► Le cortex A7 est maître :

- ▶ Démarrer les horloges
- ▶ Charge le code du cortex M4 à l'adresse TCM (TCML)
- ▶ Démarrer le coeur M4 (out of reset)

RESOURCE DOMAIN CONTROLLER

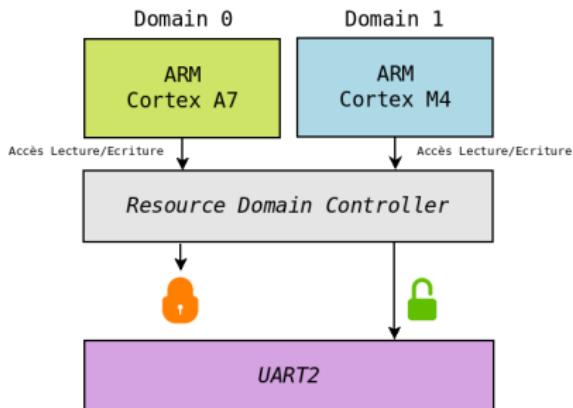
L'élément central du System on Chip



- ▶ Sous-système pour le partitionnement (domaine, périphérique, mémoire)
- ▶ Nécessaire pour éviter les accès concurrents !
- ▶ DomainID :
 - ▶ 4 domaines pour les bus maîtres (A7, M4, SDMA, ...)
 - ▶ Notion de MDA (Master Domain Assignment)
 - ▶ = 0 au boot
 - ▶ Dans notre cas, seul le cortex M4 est sur un domaine différent
 - ▶ Exemple :

```
RDC_SetDomainID(RDC, rdcMdaM4, 1, false);
```

- ▶ PDAP: Peripheral Domain Access Permission
 - ▶ Gestion des permissions des périphériques en fonction du DomainID
 - ▶ via la fonction `RDC_SetPdapAccess()`
 - ▶ Un exemple :



- ▶ Pour réaliser cette implémentation :

```
72     /* Set debug uart for M4 core domain access only */  
73     RDC_SetPdapAccess(RDC, BOARD_DEBUG_UART_RDC_PDAP, 3 << (BOARD_DOMAIN_ID * 2), false, false);
```

- ▶ Où:

- ▶ Le 3ème paramètre de la fonction permet de remplir le registre **PDAP**
- ▶ Dans notre cas, registre = 0000**11**00 (R/W sur domaine 1)
- ▶ Le 4ème paramètre, permet de sélectionner le bit **SREQ** pour l'utilisation des sémaphores matériels

3.2.5.6 Peripheral Domain Access Permissions (RDC_PDAPn)

Address: 303D_0000h base + 400h offset + (4d × i), where i=0d to 117d

Bit	31	30	29	28	27	26	25	24		23	22	21	20	19	18	17	16
R	LCK	SRE	Q							Reserved							
W	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0
Reset	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8		7	6	5	4	3	2	1	0
R										D3R	D3W	D2R	D2W	D1R	D1W	D0R	D0W
W	0	0	0	0	0	0	0	0		1	1	1	1	1	1	1	1
Reset	0	0	0	0	0	0	0	0		1	1	1	1	1	1	1	1

RPMsg

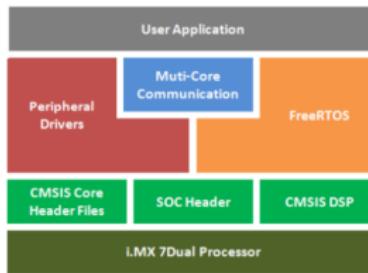
- ▶ **RPMsc** est un bus de communication basé sur la couche de transport **VIRTIO**
 - ▶ Permet la gestion des IPC (Inter Processor Communication)
 - ▶ Architecture Client/Serveur
- ▶ **VIRTIO** : une couche d'abstraction transport basée sur la mémoire partagée
 - ▶ Fournit une API Virtqueue pour la communication avec le processeur distant
 - ▶ Architecture à buffer circulaire -> **VRING**

Simplement :

- ▶ 2 buffers VirtIO -> TX et RX
- ▶ 512 Octects chacun
- ▶ Emplacement VRING hard-coded (GNU/Linux & FreeRTOS)

- ▶ FreeRTOS

- ▶ Basé sur OpenAMP
- ▶ Portage réalisé par NXP (et la communauté !)

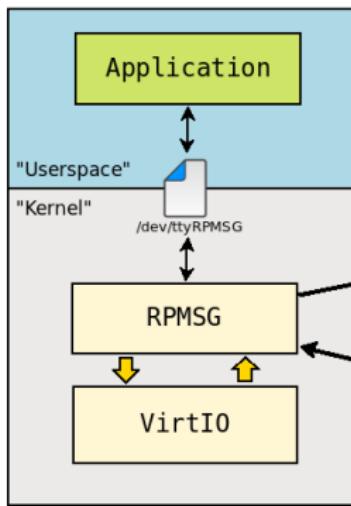


- ▶ GNU/Linux

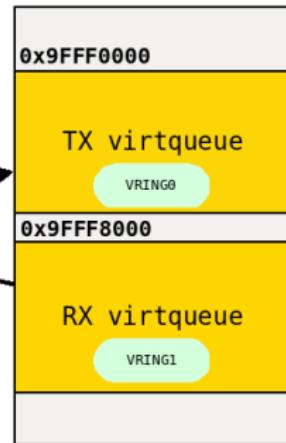
- ▶ Au travers une ligne série virtuelle (`/dev/ttyRPMSG`)
- ▶ Driver fournit par NXP: `imx-rpmsg-tty`

Pour résumer ...

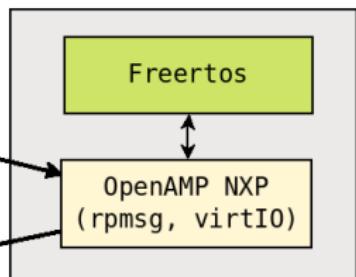
Master Core: Cortex A7



Shared Memory: DDR3



Remote Core: Cortex M4



ETUDE DE CAS

Object connecté (**LIBRE!**) pour la mesure de la qualité de l'air



- ▶ La carte : WaRP7 (Wearable Reference Platform)

- ▶ La carte : WaRP7 (Wearable Reference Platform)
- ▶ FreeRTOS côté cortex M4 
 - ▶ Acquisitions capteur + communication avec cortex A7
 - ▶ Utilisation de la socket **MIKROBUS**



- ▶ La carte : WaRP7 (Wearable Reference Platform)
- ▶ FreeRTOS côté cortex M4 
 - ▶ Acquisitions capteur + communication avec cortex A7
 - ▶ Utilisation de la socket MIKROBUS



- ▶ Yocto/OpenEmbedded côté cortex A7 
 - ▶ Une application Qt pour la récupération des données RPMsg
 - ▶ Une application Qt pour les échanges en BLE
 - ▶ QSharedMemory entre les 2 applications.

air-quality-click : *ACQUISITION + DIALOGUE A7*



- ▶ Tâche **IAQDATATASK**
 - ▶ Acquisitions i2c
 - ▶ Mise à jour des champs de la structure de données (co2, TVOC, ...)
 - ▶ Utilisation de vTaskDelay()

air-quality-click : *ACQUISITION + DIALOGUE A7*



- ▶ Tâche **IAQDATATASK**
 - ▶ Acquisitions i2c
 - ▶ Mise à jour des champs de la structure de données (co2, TVOC, ...)
 - ▶ Utilisation de vTaskDelay()
- ▶ Tâche **COMMANDTASK**
 - ▶ Création du canal RPMsg
 - ▶ Gestion des échanges avec le cœur distant

ServiceRPMSG : *DIALOGUE A7 <-> M4*



- ▶ Utilisation de la ligne série virtuelle /dev/ttyRPMSG
 - ▶ Configuration du descripteur de fichier associé (via termios)
 - ▶ Utilisation des primitives read() et write()
 - ▶ Protocole simple, ex:
`$ echo "?getAirQuality" > /dev/ttyRPMSG`
- ▶ Mise à disposition des données dans un segment mémoire

ServiceGateway : CONNECTIVITÉ SANS-FIL

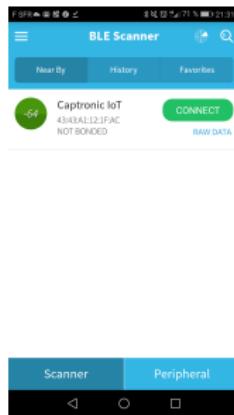


- ▶ Récupération des données du segment mémoire
- ▶ Utilisation de l'API Qt Bluetooth et bluez5
 - ▶ nom du périphérique : Captronic IoT
 - ▶ Utilisation du Service **GATT** Automation I/O [► doc](#)
 - ▶ Avec la caractéristique **GATT** Analog [► doc](#)
- ▶ Gestion:
 - ▶ des read -> "Notify"
 - ▶ des write -> !printTVOC

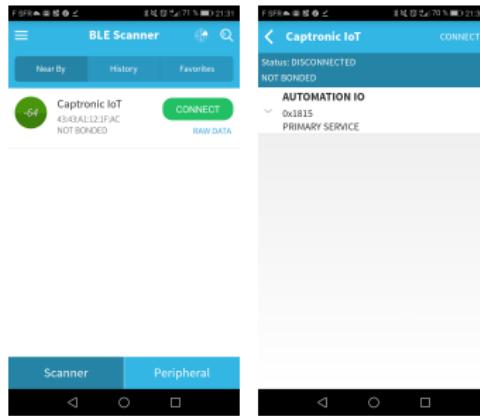
DéMO SUR CIBLE

1. Démarrage du cortex M4
2. Démarrage du cortex A7
3. Insertion du driver pour la gestion RPMsg
4. Configuration de l'interface BLE => hciconfig
5. Démarrage des applications

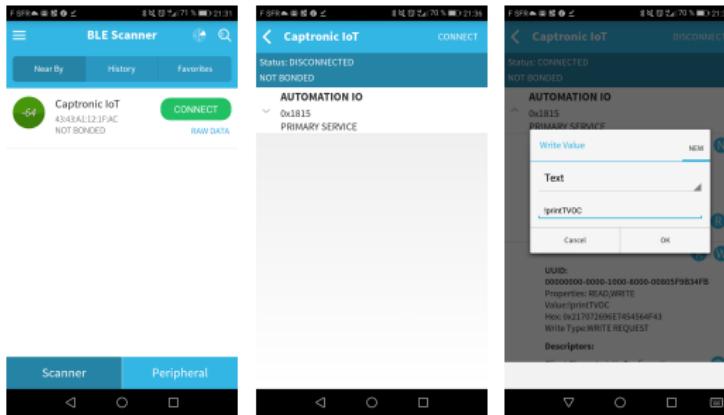
- ▶ BLE Scanner: découverte du périphérique



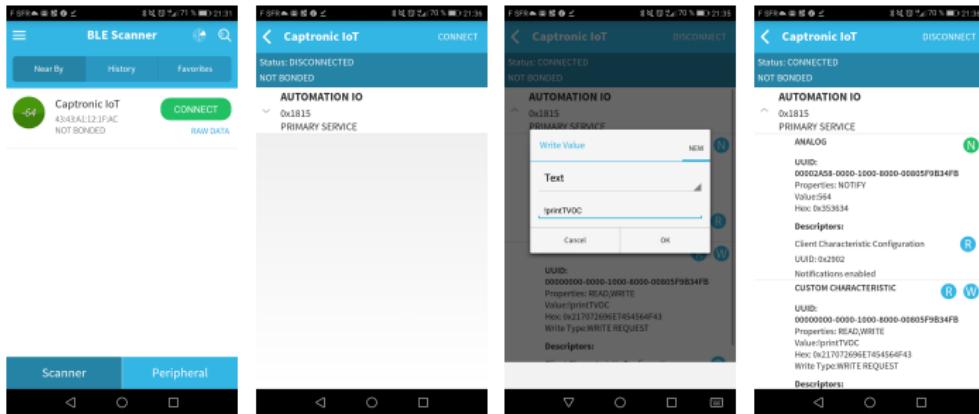
- ▶ BLE Scanner: découverte du périphérique
- ▶ BLE Scanner: découverte du service



- ▶ BLE Scanner: découverte du périphérique
- ▶ BLE Scanner: découverte du service



- ▶ BLE Scanner: découverte du périphérique
- ▶ BLE Scanner: découverte du service



- ▶ BLE Scanner: Gestion du write
- ▶ BLE Scanner: Gestion du read



may the (open) IoT be with you !

Questions?

texier.pj2@gmail.com

twitter: pjtexier