

SYSCLK-Konfiguration

SYSCLK ist das Taktsignal, das den Mikroprozessor-Kern, die Busse AHB/APB1/AP2 sowie die Peripheriekomponenten, die für die Anwendung des STM32F446 genutzt werden können. Um eine höchstmögliche Energieeffizienz zu erreichen sind sämtliche Peripheriekomponenten nach einem Reset inaktiv und müssen bei ihrer Nutzung im ersten Schritt aktiviert werden. Zu diesem Zweck muss ihr Enable-Bit in den Registern AHBENR und APBENR auf „1“ gesetzt werden. Hierdurch wird ein aus dem SYSCLK abgeleitetes Taktsignal auf die Komponenten aufgeschaltet.

SYSCLK bei den NUCLEO-Boards

Der SYSCLK der NUCLEO-64-Evaluierungsboards hat üblicherweise eine Frequenz in Höhe von 16 MHz, der aus einem integrierten RC-Generator gewonnen wird. Die Mikrocontroller können aber deutlich schneller getaktet werden: Der Maximaltakt des STM32F446 ist beispielsweise mit 180 MHz angegeben. Durch geeignete Konfiguration des im Mikrocontroller integrierten sogenannten *Clock Controller* lässt sich SYSCLK auf höhere Taktfrequenzen bis hin zum Maximalwert einstellen. Dieses Dokument beschreibt die erforderlichen Schritte, höhere Taktraten einzustellen.

Maximale Taktraten

Die oben erwähnte maximale Frequenz von SYSCLK beträgt beim STM32F446 180 MHz. Diese Frequenz darf aber nur für den AHB-Bus (*Advanced High Performance Bus*) genutzt werden. Für die Busse APB1 und APB2 (APB = *Advanced Peripheral Bus*) gelten andere Maximalwerte:

APB1: $f_{\max} = 45 \text{ MHz}$

APB2: $f_{\max} = 90 \text{ MHz}$

Konfiguration des Systemtakts SYSCLK

SYSCLK kann aus drei verschiedenen Quellen generiert werden:

- HSI : Hierbei handelt es sich um einen internen RC-Generator, der eine Taktfrequenz von 16MHz erzeugt.
- HSE: Hier wird ein externer Quarz-Oszillator eingesetzt, dessen Frequenzbereich zwischen 4 und 25MHz liegen darf.
- PLLM/PLL: Um eine höhere Taktfrequenz erreichen zu können (beim STM32F446 beträgt sie maximal 180MHz), muss PLL verwendet werden.

PLLM/PLL

PLLM (auch als PLL_M bezeichnet) ist der sogenannte Main Oscillator.

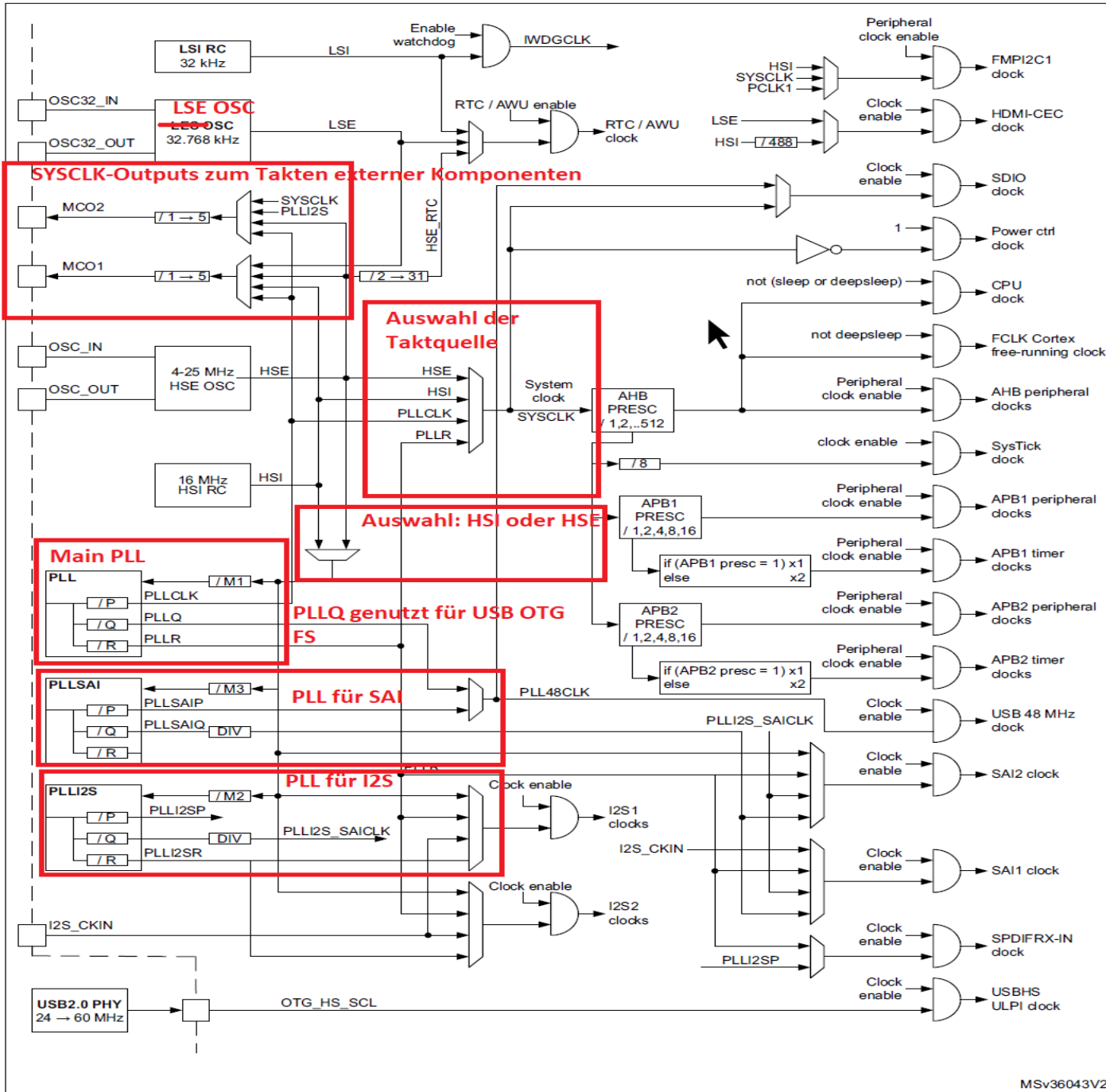
PLL (PLL_R) wird hauptsächlich als Taktsignal für die SAI- und I²S-Peripherie genutzt. Er kann aber auch für andere Peripherie genutzt werden.

PLLSAI und PLLI2S sind für besonders stabile Taktsignale für die SAI- bzw. I²S-Komponenten vorgesehen. Werden diese nicht genutzt, können alternativ PLLM oder PLLR für diese Komponenten eingesetzt werden.

Reset

Nach einem Reset ist HSI standardmäßig aktiviert.

Figure 14. Clock tree



PLL Configuration Register (PLLCFGR)



Legende

- R Reserviert
- PLL R Teiler für I2S-, SAI-, System- und SPDIF-Rx-Takt (2 <= PLL R <= 7)
- PLL Q Teiler für USB OTG FS (2 <= PLL Q <= 7)
- PLL SRC Taktquelle für PLL: 0 = HSI / 1 = HSE
- PLL P Hauptteiler für SYSCLK (00 = 2 / 01 = 4 / 10 = 6 / 11 = 8)
- PLL N Faktor für die Multiplikation des VCO (Voltage Controlled Oscillator), Wertebereich: 50 <= PLL N <= 432
- PLL M Teiler für den Input-Takt des PLL