# mcalTimer

Dieses Dokument fasst die Bits der Timer-Register zusammen, die derzeit **noch nicht** unterstützt werden. Bei Registern, die vollständig unterstützt werden, steht entsprechend „alle unterstützt“.

## CR1 (**C**ontrol **R**egister **1**)

* Alle unterstützt

## CR2 (**C**ontrol **R**egister **2**)

* Alle unterstützt

## SMCR (**S**lave-**m**ode **C**ontrol **R**egister)

* Alle unterstützt

## DIER (**D**MA und **I**nterrupt **E**nable **R**egister)

* Alle unterstützt

## SR (**S**tatus **R**egister)

* Alle unterstützt

## EGR (**E**vent **G**eneration **R**egister)

* Alle unterstützt

## CCMRn (**C**apture/**C**ompare **M**ode **R**egister n)

* Alle unterstützt

## CCER (**C**apture/**C**ompare **E**nable **R**egister)

* Alle unterstützt

## CNT (**C**ou**nt**er)

* Alle unterstützt

## PSC (**P**re**sc**aler)

* Alle unterstützt

## ARR (**A**uto **R**eload **R**egister)

* Alle unterstützt

## CCRn (**C**apture/**C**ompare **R**egister n)

* Alle unterstützt

## DCR (**D**MA **C**ontrol **R**egister)

* Alle unterstützt

## DMAR (**DMA** Address for full transfer **R**egister)

* DMAB Noch nicht verstanden!
  + Setzt voraus, dass der DMA-Kanal des Timers mit der Peripherie-Zieladresse (uint32\_t) tim->DMAR
  + Daten, die dann aus einem Datenpuffer in dieses Register übertragen werden, werden nacheinander in die Register übertragen, die in DCR durch DBA und DBL definiert wurden.

## TIM2\_OR (**Tim**er **2** **O**ption **R**egister) 🡪 Nicht implementiert

* Alle unterstützt

## TIM5\_OR (**Tim**er **5** **O**ption **R**egister) 🡪 Nicht implementiert

* Alle unterstützt

## BDTR

* Alle unterstützt

## Fehlende Funktionen

Nicht unterstützt werden die Option-Register der Timer TIM2 und TIM5 sowie das DMAR-Register der Timer.