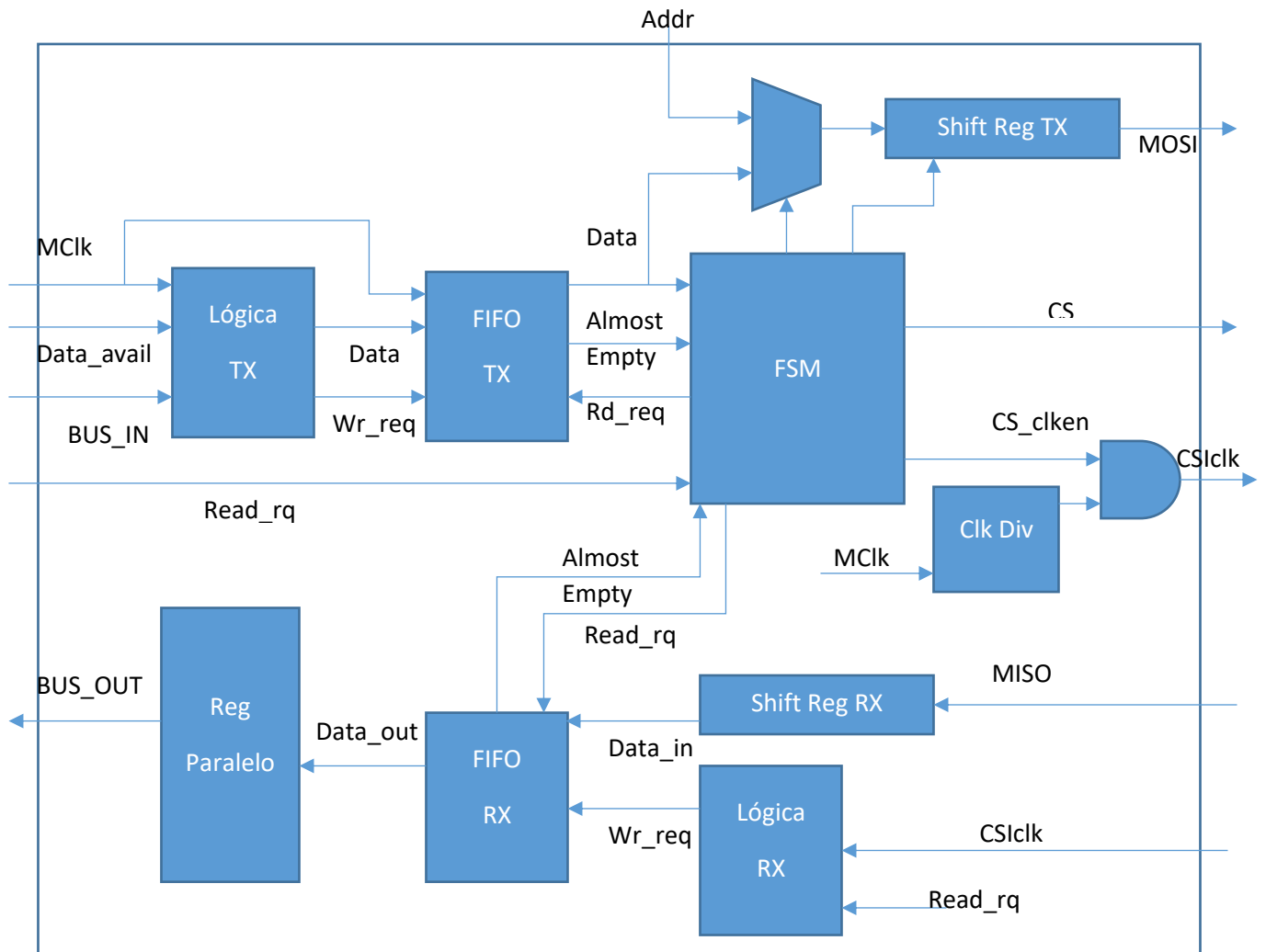


Arquitectura del módulo SPI

Diagrama de bloques



Descripción de los bloques

El diseño consiste de dos partes principales: transmisión (TX) y recepción (RX). Ambas partes son controladas por una máquina de estados (FSM). A parte de esto, hay un pequeño módulo divisor de reloj que convierte de 25 MHz a 3,125 MHz.

El módulo Lógica TX toma las señales de entrada y las convierte para que FIFO TX las pueda entender de manera correcta. Este módulo se implementará en código Verilog directamente.

El módulo FIFO TX es un FIFO de 16x8 bits que será implementado con un IP core.

Shift Reg TX es un registro de corrimiento de 8 bits que con un load carga un dato completo de 8 bits y en modo normal hace shift de esos datos hacia una salida de 1 bit. La implementación es en código Verilog directamente.

Lógica RX al igual que la lógica de transmisión es un simple módulo que toma las entradas y sincroniza todo para que en los tiempos correctos se carguen los datos. La implementación es en código verilog.

FIFO RX es un FIFO igual al de transmisión. También implementado como un IP core de 16x8.

Shift Reg RX es un registro de corrimiento que toma una entrada de 1 bit y en cada ciclo de reloj va metiendo ese bit en el campo menos significativo de la salida y va corriendo hacia la izquierda los bits de la salida. La salida es de 8 bits. Implementación: código Verilog.

Reg Paralelo es un módulo que toma la salida de 8 bits del FIFO RX y va acomodando los datos en un gran registro de 8x15 bits, al final BUS_OUT es un bus de 120 bits que va a contener todos los 15 bytes de la transmisión. Se implementa en código Verilog.

Estimación de recursos

El diseño va a utilizar FIFOs implementados como MLABs, por lo que si cada uno es de 640 bits, un FIFO completo cabe en un MLAB, por lo que si se mapea un FIFO a cada MLAB, se deberían utilizar dos.

Para el resto de la lógica, el registro paralelo se calcula que tengo 120 bits puestos en registros. La máquina de estados se calcula que utilice unos 10 a 20 registros. El resto de la lógica no debería ser muy compleja, por lo que se calcula unos 20 a 30 registros extra. Con un total de aproximadamente unos 150 a 200 registros.