
NÚCLEO SPI MAESTRO

ESPECIFICACIONES DE DISEÑO

Versión *1.4*

06/29/2017

HISTORIAL DE VERSIONES

Versión #	Revisado por	Fecha de Revisión	Aprobado por	Fecha de aprobación	Descripción
1.0	Mauricio Caamaño	06/16/2017			Elaboración de document inicial
1.1	Mauricio Caamaño	06/18/2017	Marco Espinoza	06/19/2017	Elaboración de plan de pruebas
1.2	Mauricio Caamaño	06/20/2017	Tomás González	06/23/2017	Elaboración descripción de pruebas
1.3	Mauricio Caamaño	06/27/2017			Corrección de detalles en sección 3
1.4	Mauricio Caamaño	06/29/2017			Apéndice B: Glosario agregado

TABLA DE CONTENIDOS

1 INTRODUCCIÓN	4
1.1 Descripción General.....	4
1.2 Fuentes	4
2 ESPECIFICACIÓN FUNCIONAL DEL DISEÑO	4
2.1 Especificaciones Generales.....	4
2.2 Especificaciones de Transmisión de datos	5
2.3 Especificaciones de Recepción de datos	5
2.4 Restricciones	6
3 PLAN DE PRUEBAS.....	6
3.1 Alcance del set de pruebas.....	6
3.2 Requerimientos de simulación	6
3.3 Metodología	7
3.3.1 Transmisión de datos	7
3.3.2 Recepción de datos	7
3.4 Descripción	7
3.4.1 Transmisión de datos	7
3.4.2 Recepción de datos	7
APÉNDICE A: REFERENCIAS.....	8
APÉNDICE B: GLOSARIO	9

1 INTRODUCCIÓN

1.1 DESCRIPCIÓN GENERAL

En este documento se definen las especificaciones para el diseño de un núcleo SPI máster mostrado en la Figura 1.

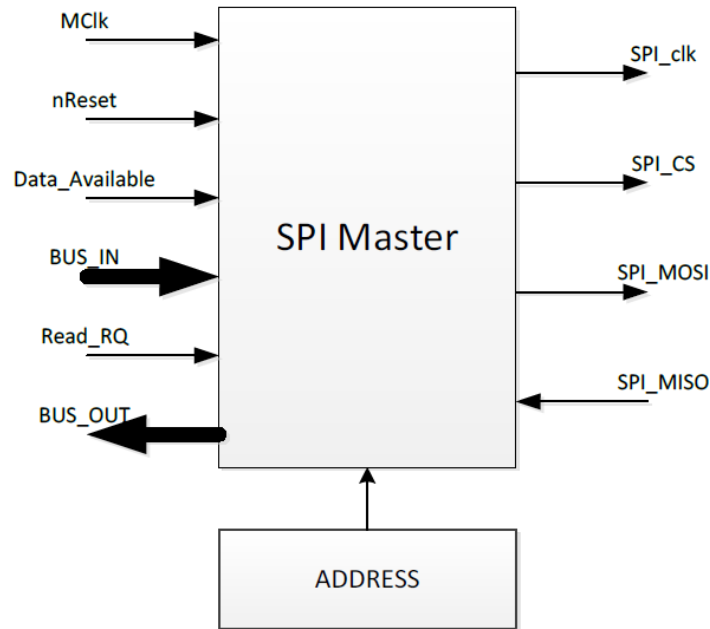


Figura 1. Sistema de comunicación SPI maestro

El módulo SPI maestro puede ser utilizado como interfaz para enviar y recibir tramas de 15 bytes de uno o varios dispositivos SPI esclavo.

1.2 FUENTES

La interfaz SPI puede ser utilizada por un sistema más grande, como un microcontrolador, para comunicarse con otro chip complejo con interfaz SPI esclavo. El chip con el cual se comunica el módulo SPI maestro puede ser seleccionado de acuerdo a la dirección ingresada por ADDRESS.

2 ESPECIFICACIÓN FUNCIONAL DEL DISEÑO

2.1 ESPECIFICACIONES GENERALES

Los bloques de datos deben ser de 15 bytes.

Se debe utilizar una memoria tipo FIFO para almacenar los datos a transmitir y otra para almacenar los datos recibidos. Estas memorias se deben implementar utilizando el IP Core de Altera para memoria FIFO.

Se debe tomar la dirección del dispositivo de un bloque externo.

La palabra ADDRESS debe estar compuesta de 7 bits de dirección del dispositivo y un bit de control de escritura/lectura en el MSB.

La transmisión y la recepción no deben de ocurrir al mismo tiempo.

Los datos para transmitir pueden ser recibidos desde BUS_IN aunque el sistema se encuentre en medio de una operación de transmisión o recepción.

Las señales SPI_MISO, SPI_MOSI, SPI_CS y SPI_CLK deben ser de 1 bit.

2.2 ESPECIFICACIONES DE TRANSMISIÓN DE DATOS

La señal Data_available debe ser utilizada para indicar cuando leer un dato a través de BUS_IN y almacenarlo en el FIFO de transmisión.

El bus de entrada BUS_IN debe de ser paralelo con un ancho de 8 bits.

La transmisión de datos debe comenzar cuando existan 15 bytes almacenados en el FIFO de transmisión.

El envío de datos por SPI_MOSI se debe sincronizar con el flanco positivo de la señal SPI_CLK.

La señal SPI_CS debe activarse en bajo indicando el comienzo de la operación de transmisión.

La secuencia de transmisión debe ser como se describe a continuación:

- 1) Se debe enviar el byte de ADDRESS del dispositivo esclavo a través de SPI_MOSI con el bit MSB=0.
- 2) Se deben enviar 15 bytes almacenados en el FIFO de transmisión a través de SPI_MOSI.

La Figura 2 muestra la trama de transmisión.



Figura 2. Trama de transmisión de datos

2.3 ESPECIFICACIONES DE RECEPCIÓN DE DATOS

El bus de salida BUS_OUT debe ser paralelo con un ancho de 15x8 bits.

La recepción de datos debe comenzar cuando ocurra un flanco positivo de la señal Read_RQ.

Tanto el envío de datos por SPI_MOSI como la recepción de datos por SPI_MISO se deben sincronizar con el flanco positivo de la señal SPI_CLK.

La señal SPI_CS debe activarse en bajo indicando el comienzo de la operación de recepción.

La secuencia de recepción debe ser como se describe a continuación:

- 1) Se debe enviar el byte de ADDRESS del dispositivo esclavo a través de SPI_MOSI con el bit MSB=1.
- 2) Se deben recibir 15 bytes y almacenarlos en el FIFO de recepción desde la señal SPI_MISO.

La Figura 3 muestra la trama de recepción.

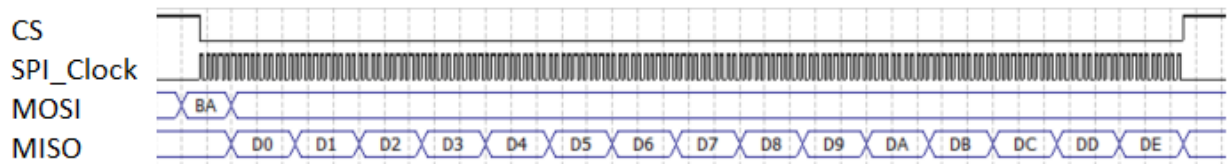


Figura 3. Trama de recepción de datos

Una vez leídos los 15 bytes, deben ser colocados en el bus de salida BUS_OUT en paralelo.

2.4 RESTRICCIONES

La frecuencia de operación del sistema, gobernada por la señal MClk, debe de ser de 25MHz.

El reloj SPI_CLK debe ser una señal periódica generada a partir de MClk y operar a una frecuencia de 3.125MHz.

3 PLAN DE PRUEBAS

3.1 ALCANCE DEL SET DE PRUEBAS

Las pruebas realizadas sobre la interfaz SPI maestro deben comprender la verificación de las operaciones de transmisión y recepción, por separado y simultáneamente. Además, se intentará poner a prueba el envío de datos hacia el FIFO de transmisión cuando la interfaz se encuentra en medio de una transmisión SPI.

3.2 REQUERIMIENTOS DE SIMULACIÓN

Las siguientes restricciones deben ser tomadas en cuenta en las pruebas realizadas:

- La señal Data_available debe ser periódica con una frecuencia de 25MHz/512.
- Tanto los datos a transmitir como los datos recibidos deben ser generados de manera aleatoria.

3.3 METODOLOGÍA

3.3.1 Transmisión de datos

- 1) **Prueba 1:** Enviar dos tramas de transmisión de 15 bytes a través de BUS_IN y verificar el envío de la trama a través de la señal SPI_MOSI.
- 2) **Prueba 2:** Enviar una trama de transmisión de 15 bytes a través de BUS_IN, tal como en la prueba 1, antes de que una transmisión de datos por SPI haya finalizado.

3.3.2 Recepción de datos

- 1) **Prueba 1:** Enviar una trama de recepción de 15 bytes a través de SPI_MISO y verificar la trama en el bus de salida de 120 bits BUS_OUT, una vez finalizada la operación.

3.4 DESCRIPCIÓN

3.4.1 Transmisión de datos

- 3) **Prueba 1:** Ejecutar la siguiente secuencia para simular una operación de transmisión:
 - a. Colocar en BUS_IN el byte a enviar.
 - b. Generar un pulso de Data_available a una frecuencia de $20\text{MHz}/512 = 39.0625\text{kHz}$, tal como se muestra en la Figura 4.
 - c. Enviar cada byte de la trama a esta misma frecuencia, de modo que cada byte esté disponible antes del siguiente ciclo de Data_available.

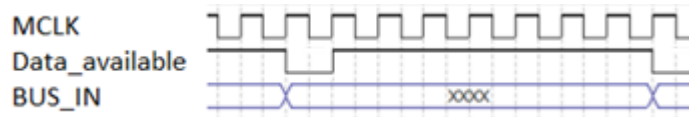


Figura 4. Control de transmisión de datos por BUS_IN

Prueba 2:

- a. Repetir los pasos de la prueba 1.
- b. Inmediatamente después de que la interfaz comienza a enviar la trama a través de SPI_MOSI, comenzar otro envío de bytes a través de BUS_IN.

3.4.2 Recepción de datos

- 2) **Prueba 1:**
 - a. Enviar un pulso de un ancho mínimo de un ciclo de reloj MCLK a través de Read_RQ.
 - b. Enviar trama de 15 bytes a través de SPI_MOSI a la frecuencia del SPI_CLK (3.125MHz), es decir, un bit cada 160ns.

APÉNDICE A: REFERENCIAS

La siguiente tabla resume las referencias utilizadas en este documento.

Nombre del documento	Descripción	Fuente
Instructivo de Proyecto 2	Documento con la descripción del Segundo Proyecto grupal del curso Prototipado de FPGAs	https://tecdigital.tec.ac.cr

APÉNDICE B: GLOSARIO

Término	Descripción
FPGA	Field-Programable Gate Array
FIFO	First Input First Output
FSM	Finite State Machine
MISO	Master Input Slave Output
MOSI	Master Output Slave Input
SPI	Serial Peripheral Interface