Prorotipado de micro-controlador DSP

Documento de arquitectura y diseño



1. Procesador RISC

Tipo de prototipado: Parcial

El procesador RISC para el ASIC se reutilizará de un IP de la empresa. Para simular este procesador en el prototipo de FPGA, se utiliza un Softcore del procesador Nios II. Ya que el IP Core no es el mismo que el utilizado en el ASIC, se dice que el prototipado es parcial, pues el consumo de recursos es solamente un aproximado de la implementación real.

1. Periféricos:
   1. Controlador de reloj

Tipo de prototipado: Completo

Para implementar este controlador, se utiliza una combinación de dos IPs: el ALTERA PLL, el cual permite generar relojes a partir de un reloj de entrada, aplicando factores de multiplicación o división, tal como se requiere. El segundo es el IP de Altera PLL Reconfig, el cual se utiliza para poder reconfigurar dinámicamente el primer IP, y así poder modificar en tiempo de ejecución los factores de multiplicación/división de los relojes generados.

* 1. Contador decremental

Tipo de prototipado: Completo

Este bloque consta de dos contadores decrementales. Estos bloques se implementan mediante código HDL, con ayuda de la plantilla de up/down binary counter del Quartus II. La lógica de interrupción y inicialización se agrega al código HDL y se crea un bloque custom que pueda ser instanciado mediante Qsys e integrado en el bus de Avalon.

* 1. Temporizador Watchdog

Tipo de prototipado: Completo

Se puede implementar mediante el IP de Timer, en operación de WDT, con período de 30 segundos a 50MHz.

* 1. Bloque FFT

Tipo de prototipado:

* 1. ADC y DAC

Tipo de prototipado: Completo

Ya que estos componentes no forman parte de la FPGA ni de la tarjeta de desarrollo elegida, se utiliza una tarjeta de convertidores externas, con interfaz SPI mediante el conector $$$$$ (FMC150). En el testbench, es posible simular el comportamiento tanto del ADC como el DAC, para comprobar la lógica de comunicación y el software que lo utiliza.

* 1. SPI y I2C

Tipo de prototipado: Completo

Se utilizan los IPs respectivos de SPI y I2C, ya estudiados en el curso.

* 1. Memoria en chip

Tipo de prototipado: Completo

Al requerir 16MB de memoria, se decide utilizar un chip externo de memoria RAM de un solo acceso, con bus multiplexado e interfaz de comunicación I2C. El chip $$$$ cumple con las características mencionadas (o la tarjeta de desarrollo XXXX contiene un chip de memoria $$$$ que cumple esta función)

* 1. Controlador de energía

Tipo de prototipado: Parcial

Este bloque se puede prototipar de manera parcial mediante código HDL. Los modos de operación “activo” y “P1” se pueden implementar, mientras que el modo “P2” es imposible de implementar por software, ya que requiere de un hardware que permita levantar el dispositivo cuando el procesador y todos los periféricos se encuentran apagados.

* 1. Bancos de I/O

Tipo de prototipado: Innecesario

No es necesario prototipar los bancos de I/O, a menos que se dedique alguna entrada o salida para probar alguna funcionalidad del Sistema.

**Plan de Pruebas:**

El plan de pruebas a realizar es el siguiente:

**Pruebas por IP:**

Consiste en pruebas directas para cada IP para comprobar la funcionalidad de cada uno de ellos por separado, además se utilizarán BFMs para simular el comportamiento de otros IP en caso de ser necesario. A continuación se explican las pruebas para cada uno de los IPs:

1. Procesador:

Debido a que el procesador utilizado no es el real, las pruebas para el procesador se realizaran para probar el mismo interactuando con el sistema completo. }

1. Controlador de reloj:

Se definen pruebas para verificar que el reloj funciona de manera adecuada, se utilizan pruebas directas para comprobar la funcionalidad del controlador de reloj. Para ello se hace lo siguiente:

* IP ALTERA PLL:
* PLL Reconfig:

1. Contador decremental:

Para el contador decremental, se utilizaran también pruebas directas, ya que la lógica del mismo es simple, por lo que no se requiere hacer pruebas aleatorias exhaustivas, únicamente se chequea que el mismo se decremente adecuadamente y se genere la interrupción.

1. Temporizador Watchdog

El temporizador watchdog también se valida con pruebas directas, ya que se verifica que la interrupción suceda en el tiempo esperado.

1. Bloque FFT

Tipo de prototipado:

1. SPI y I2C:

Se hacen pruebas directas para verificar el compotamiento adecuado de estos bloques, además se pueden hacer pruebas aleatorias para corroborar que la comunicación sucede de manera adecuada. Para ello se debe de realizar un testbench que tiene una interfaz para enviar los estímulos a dichos bloques y poder revisar la salida del mismo.

1. Memoria en chip

Para el caso de la memoria, se hacen pruebas directas y aleatorias para poder verificar la comunicación correcta con la memoria. Para ello se debe de hacer un BFM que modele el comportamiento de la memoria.

1. Controlador de energía

Se hacen pruebas directas para verificar que el IP puede cambiar entre los modos de operación esperados. Pero, no se puede verificar de manera digital los cambios de voltaje esperados, por lo que únicamente se valida el comportamiento del IP.

**Pruebas para el sistema completo:**

Para este caso, se realizan pruebas que verifiquen la funcionalidad del circuito completo, ya utilizando el procesador, y los IPs pero sin verificar la memoria, ya que como la misma es externa no se tendrá a la hora de realizar las pruebas funcionales. Para este caso se harán las siguientes pruebas:

* Directas:
  + Pruebas directas a nivel de ensamblador para verificar el correcto funcionamiento del procesador y la interacción del mismo con los IPs.
  + Se realizan operaciones directas y conocidas para realizar esta verificación.
* Aleatoria:
  + Se realizan pruebas aleatorias para poder probar la interaccion del procesador con los IPs enviando datos de manera exhaustiva, de manera que se generan operaciones y transacciones random.