

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN – ĐIỆN TỬ



BÁO CÁO THÍ NGHIỆM THIẾT KẾ VI MẠCH
LAB 2: ANALOG AND MIXED SIGNAL CIRCUIT
DESIGN INTRODUCTION

LỚP: L01 ---- NHÓM: 01

STT	Sinh viên thực hiện	Mã số sinh viên
1	Lê Quốc Thái	2114764
2	Nguyễn Khánh Huy	2113510
3	Nguyễn Thành Phát	2114378
4	Nguyễn Ngọc Kiều Duyên	2113053
5	Huỳnh Thịịnh Phát	2114369

Thành phố Hồ Chí Minh – 2024

DANH SÁCH THÀNH VIÊN

STT	Sinh viên thực hiện	Mã số sinh viên	Đóng góp
1	Lê Quốc Thái	2114764	100%
2	Nguyễn Khánh Huy	2113510	100%
3	Nguyễn Thành Phát	2114378	100%
4	Nguyễn Ngọc Kiều Duyên	2113053	100%
5	Huỳnh Thịịnh Phát	2114369	100%

MỤC LỤC

DANH SÁCH THÀNH VIÊN	1
MỤC LỤC	2
DANH SÁCH HÌNH ẢNH.....	3
DANH SÁCH BẢNG	4
EXPERIMENT 1	5
EXPERIMENT 2	6
EXPERIMENT 3	8
EXPERIMENT 4:	10

DANH SÁCH HÌNH ẢNH

Hình 1: ID/VGS characteristics of NMOS	5
Hình 2: Curves $IDS = f(VDS)$ of NMOS	6
Hình 3: DC Response.....	8
Hình 4: Shematic.....	10
Hình 5: Waveform với $Vgs=100mV$	11
Hình 6: Waveform với $Vgs=250mV$	12
Hình 7: Waveform với $Vgs=600mV$	13
Hình 8: Waveform với $Vgs=-100mV$	14
Hình 9:Waveform với $Vgs=200mV$	15
Hình 10:Wave form với $Vgs=400mV$	16
Hình 11: Waveform với $Vgs=800mV$	17

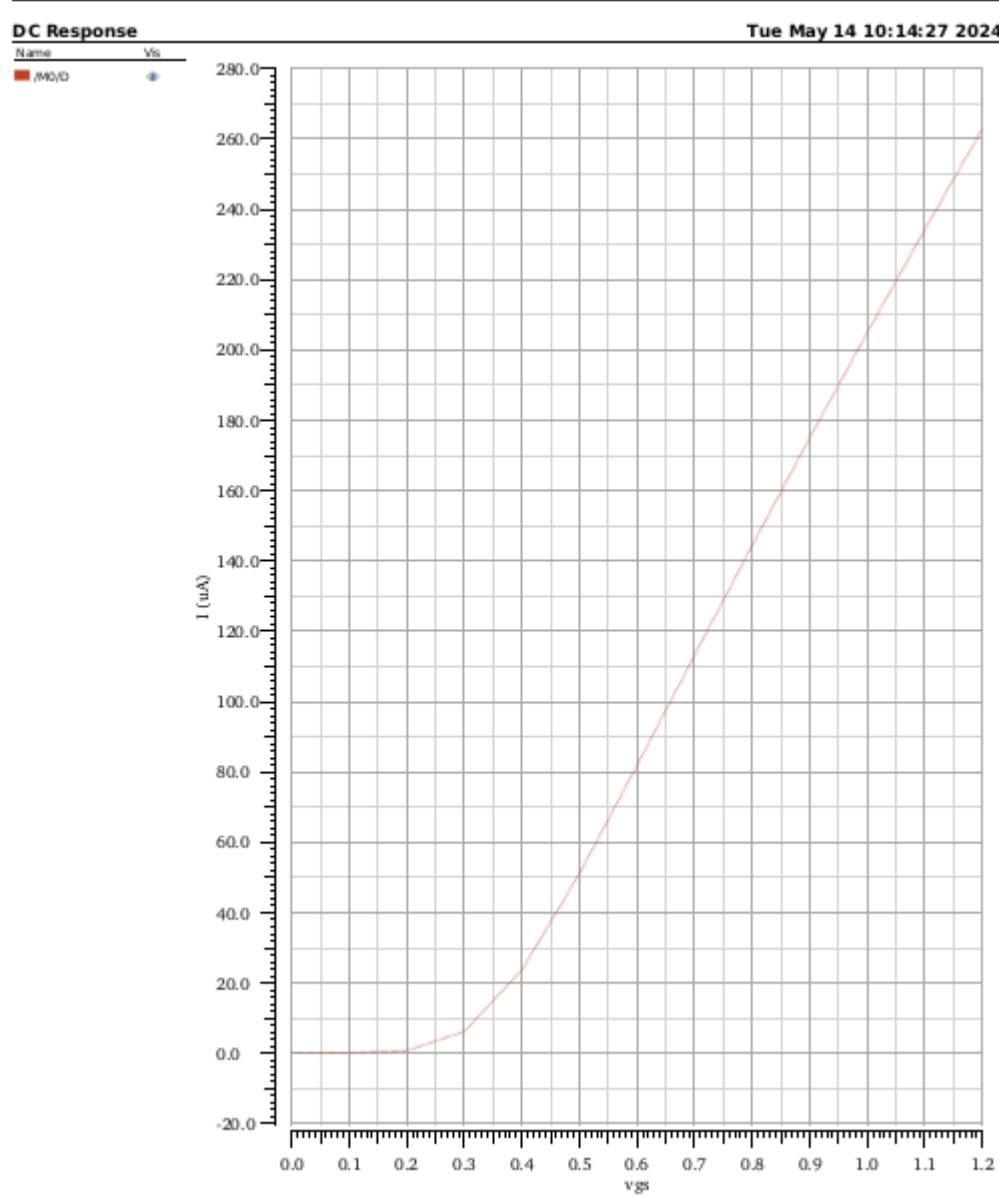
DANH SÁCH BẢNG

Bảng 1: Bảng phương pháp và hạn chế 9

EXPERIMENT 1

DC analysis với NMOS w = 200n, l = 60n

ID/VGS characteristics of NMOS

*Hình 1: ID/VGS characteristics of NMOS*

Question 1: The threshold voltage V_{TH} of NMOS is the gate-to-source voltage (VGS) at which the NMOS transistor starts conducting current between the drain and source. In the figure, V_{TH} is approximately 0.2 V.

Question 2: When the VGS value is increased to a value greater than the threshold voltage V_{TH} , the NMOS transistor operates in either the linear region (triode) or saturation region:

- If $V_{DS} < (V_{GS} - V_{TH})$, the NMOS is in the saturation region. In this region, the current flowing between the drain and source (ID) is approximately constant and mainly depends on VGS.

- If $V_{DS} > (V_{GS} - V_{TH})$, the NMOS is in the linear region (triode). In this region, the current I_D increases with increasing V_{DS} , and the transistor behaves like a resistor.

EXPERIMENT 2

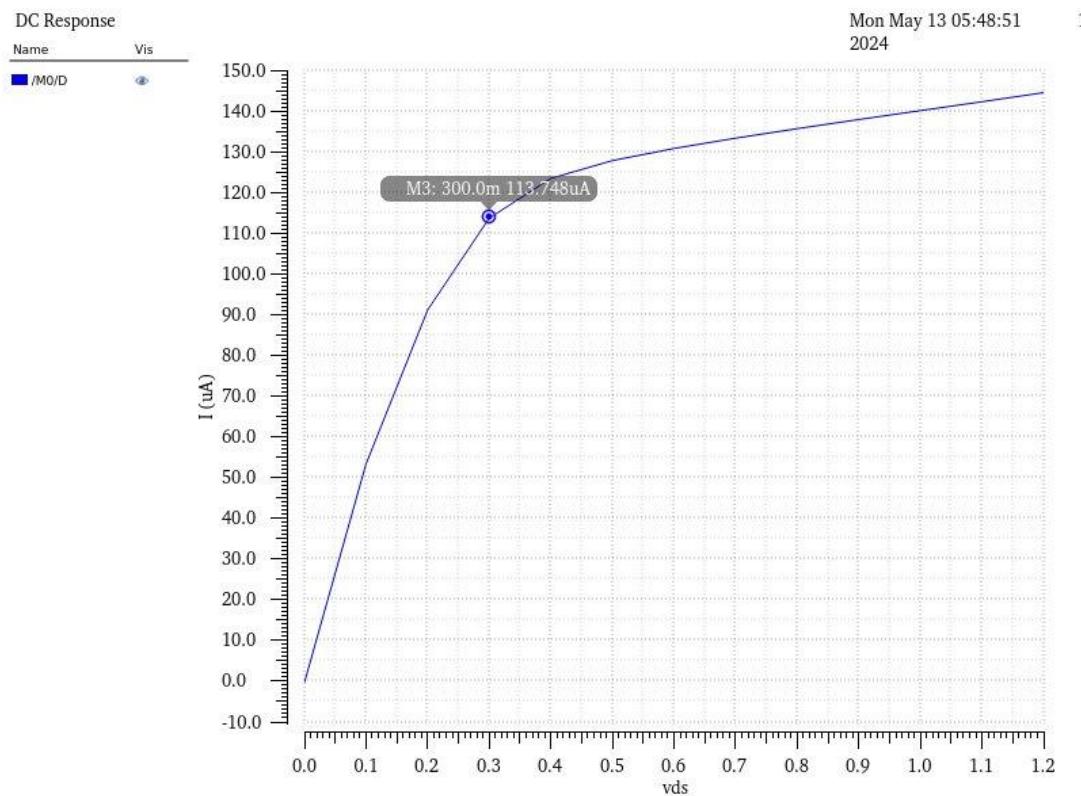
Experiment 2: Consider the I_D/V_{DS} characteristics of NMOS

Objective: Known NMOS operations and I-V characteristics.

Requirements: Simulate and draw curves $I_{DS} = f(V_{DS})$ of NMOS.

I_D/V_{DS} characteristics of NMOS:

Question 1: Determine qualitatively the operating regions of NMOS.



Hình 2: Curves $I_{DS} = f(V_{DS})$ of NMOS

➤ Answer:

Triode/linear: 0V – 0.3V

Saturation: 0.3V – 1.2V

Question 2: When NMOS is biased in the saturation region, is the current a fixed value? Explanation based on theory.

➤ Answer:

In the saturation region, the NMOS transistor operates with a relatively constant current, assuming the gate-source voltage (V_{GS}) is greater than the threshold voltage (V_{th}) and the

drain-source voltage (V_{ds}) is greater than $V_{gs} - V_{th}$. This constant current behavior is described by the equation:

$$I_{DS} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

This equation assumes negligible channel length modulation effects. In reality, there is a slight increase in current with increasing V_{ds} due to channel length modulation, but for many purposes, this effect can be ignored and the current can be considered constant in the saturation region.

Question 3: The student proposed methods to reduce the slope of the I_D current when the NMOS operates in the saturation region.

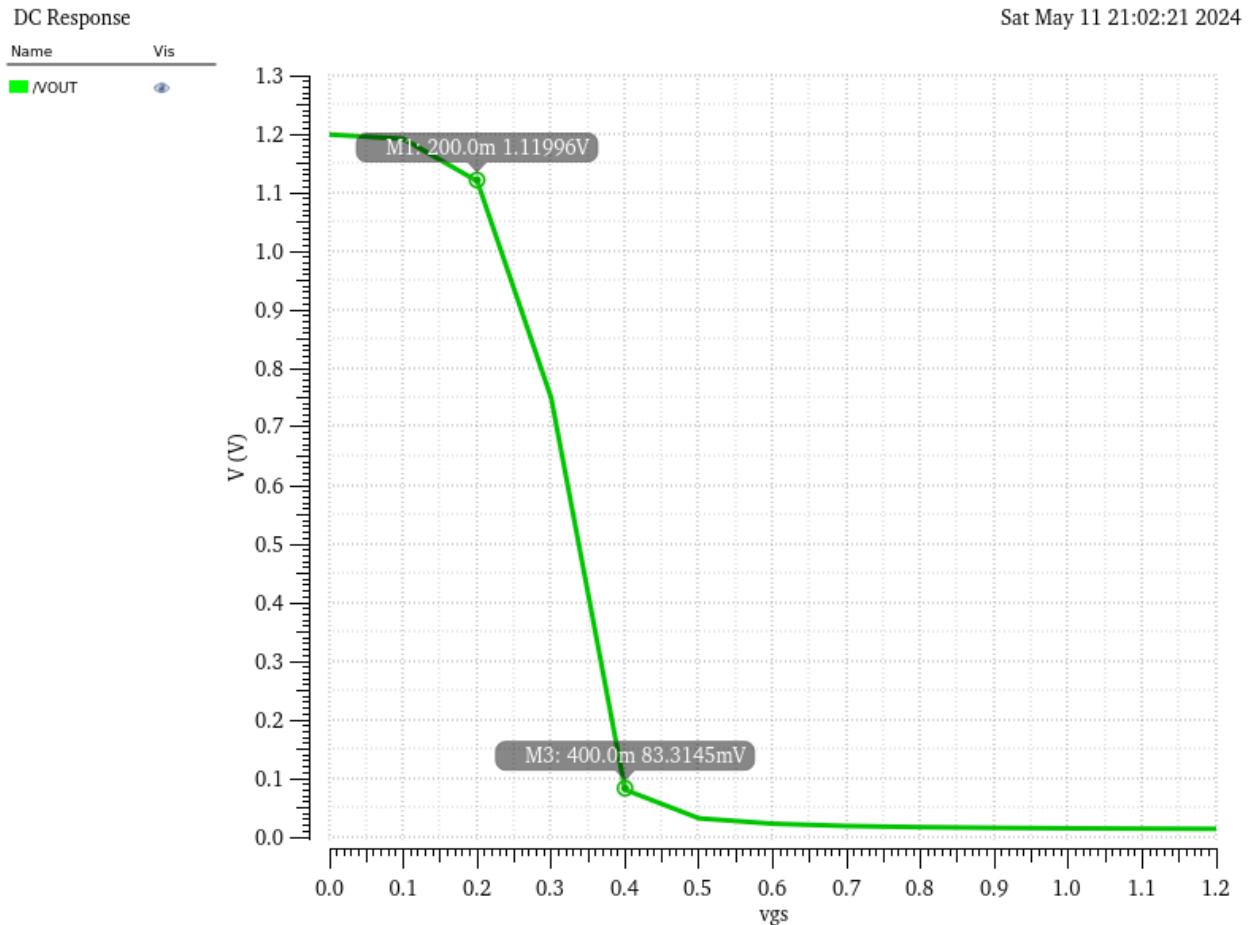
➤ Answer:

To reduce the slope of the I_D current in the saturation region, we can try to reduce the channel length modulation parameter, λ , or reduce W , increase L to reduce the ratio W/L , which appears in the more complete equation:

$$I_{DS} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda \cdot V_{ds})$$

EXPERIMENT 3

- DC analysis với NMOS W = 200n, L = 60n, R_D = 100k Ω

*Hình 3: DC Response*

Question 1: Determine qualitatively the operating regions of NMOS.

Answer:

- Cut-off: 0 - 0.2 V
- Saturation: 0.2 - 0.4 V
- Triode: 0.4 - 1.2 V

Question 2: Determine the bias voltage V_{gs} for NMOS so that the amplifier circuit has the greatest gain. Indicate the gain value and V_{out} output voltage.

Answer:

- $V_{gs} = 0.2V$
- $A_v = \frac{V_{out}}{V_{gs}} = \frac{1.11996}{0.2} = 5.5998$
- $V_{out} = 1.11996V$

Question 3: If only the resistor values R, W and L of NMOS can be changed, students

should suggest methods to increase the gain based on the formula found in the experimental preparation section. Are there any disadvantages when increasing gain using these methods? Explanation.

Answer:

$$\text{Công thức: } V_{out} = I_D R_D \text{ với } I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{TH})^2$$

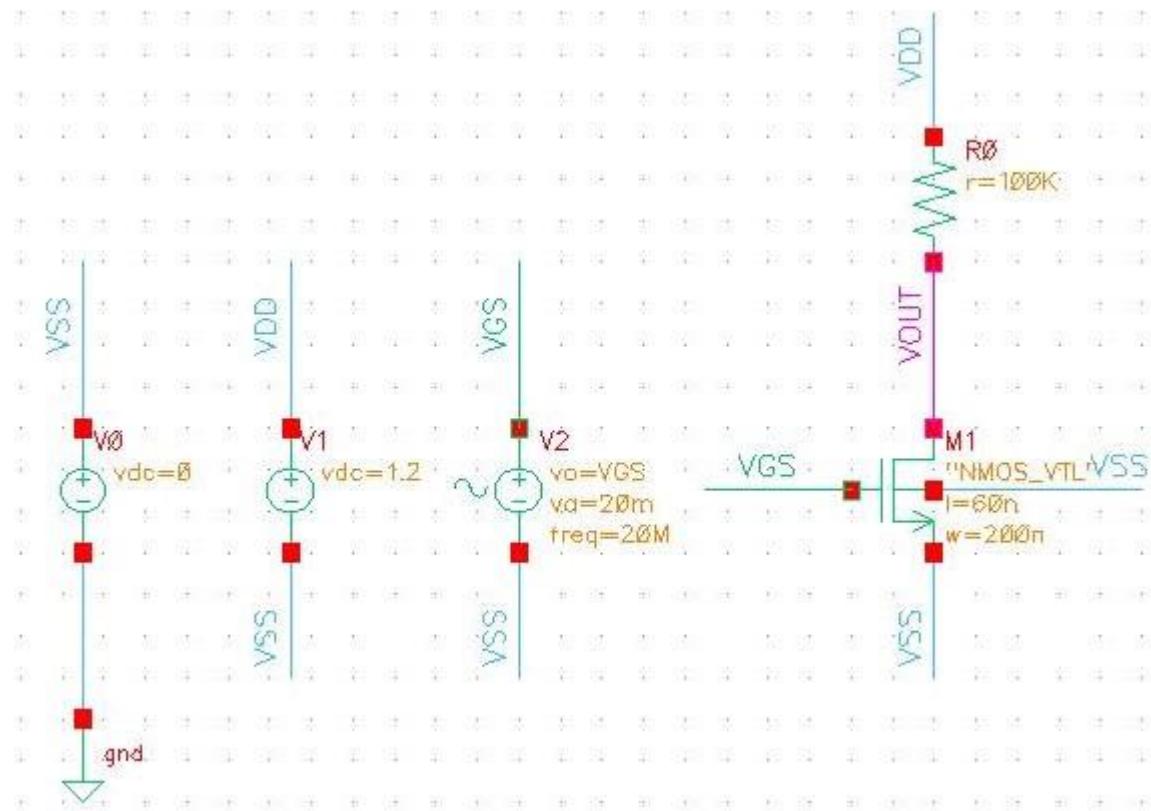
Phương pháp	Hạn chế
Tăng giá trị điện trở R_D	Tăng R_D gây ảnh hưởng đến miền hoạt động của NMOS. Nếu tăng R_D quá mức có thể làm giảm độ lợi khuếch đại do điện trở quá cao thì dòng đi qua NMOS cũng giảm theo.
Tăng W của NMOS	Giảm tốc độ hoạt động của NMOS do W càng lớn thì điện dung công càng lớn nên tốc độ nạp/xả càng lâu. Tăng chi phí sản xuất.
Giảm L của NMOS	Ảnh hưởng đến hiệu suất của NMOS do khi giảm L quá mức sẽ gây ra hiệu ứng short-channel.

Bảng 1: Bảng phương pháp và hạn chế

EXPERIMENT 4:

TRAN simulation and analysis for the common source single amplifier with resistor load topology.

Schematic

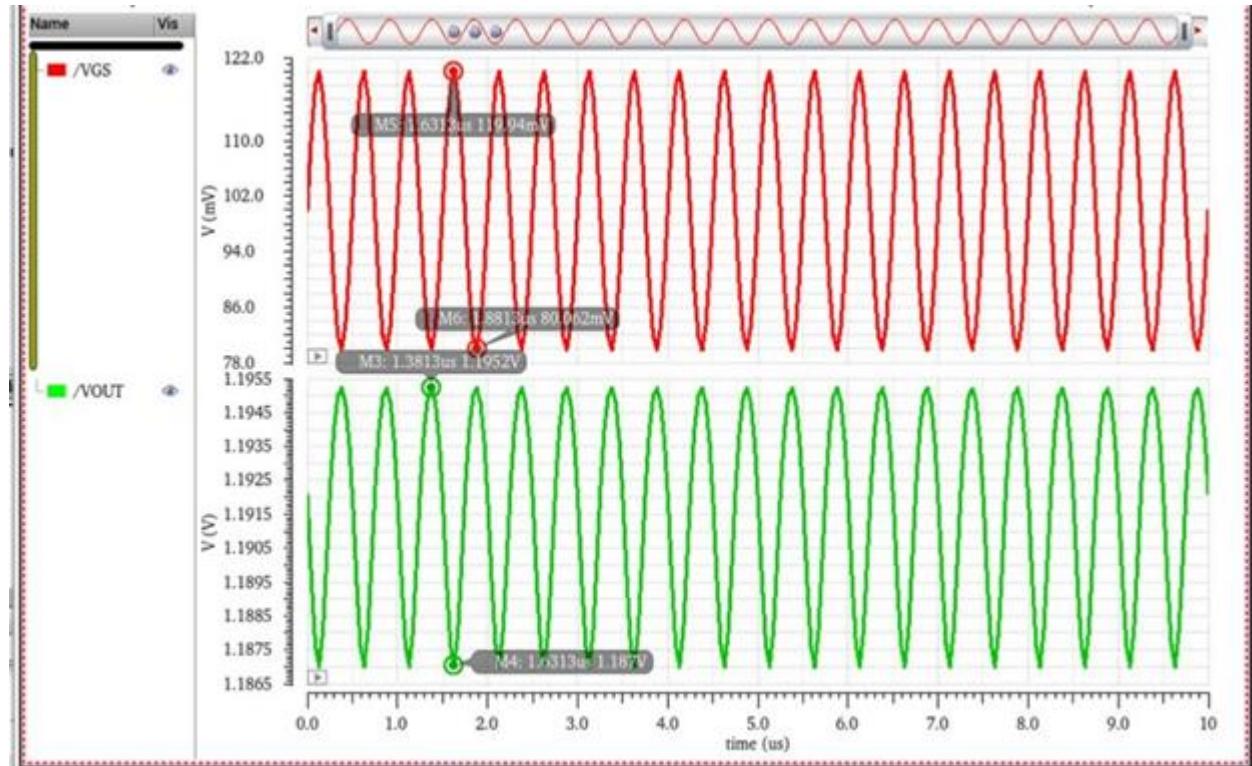


Hình 4: Shematic

Question 1: Determine the gain from the amplitude of input and output waveform. Compare the result with DC and AC analysis.

Trường hợp 1: $V_{gs} < 200\text{mV}$, M0 nằm trong miền tắt

- Với $V_{gs} = 100\text{mV}$

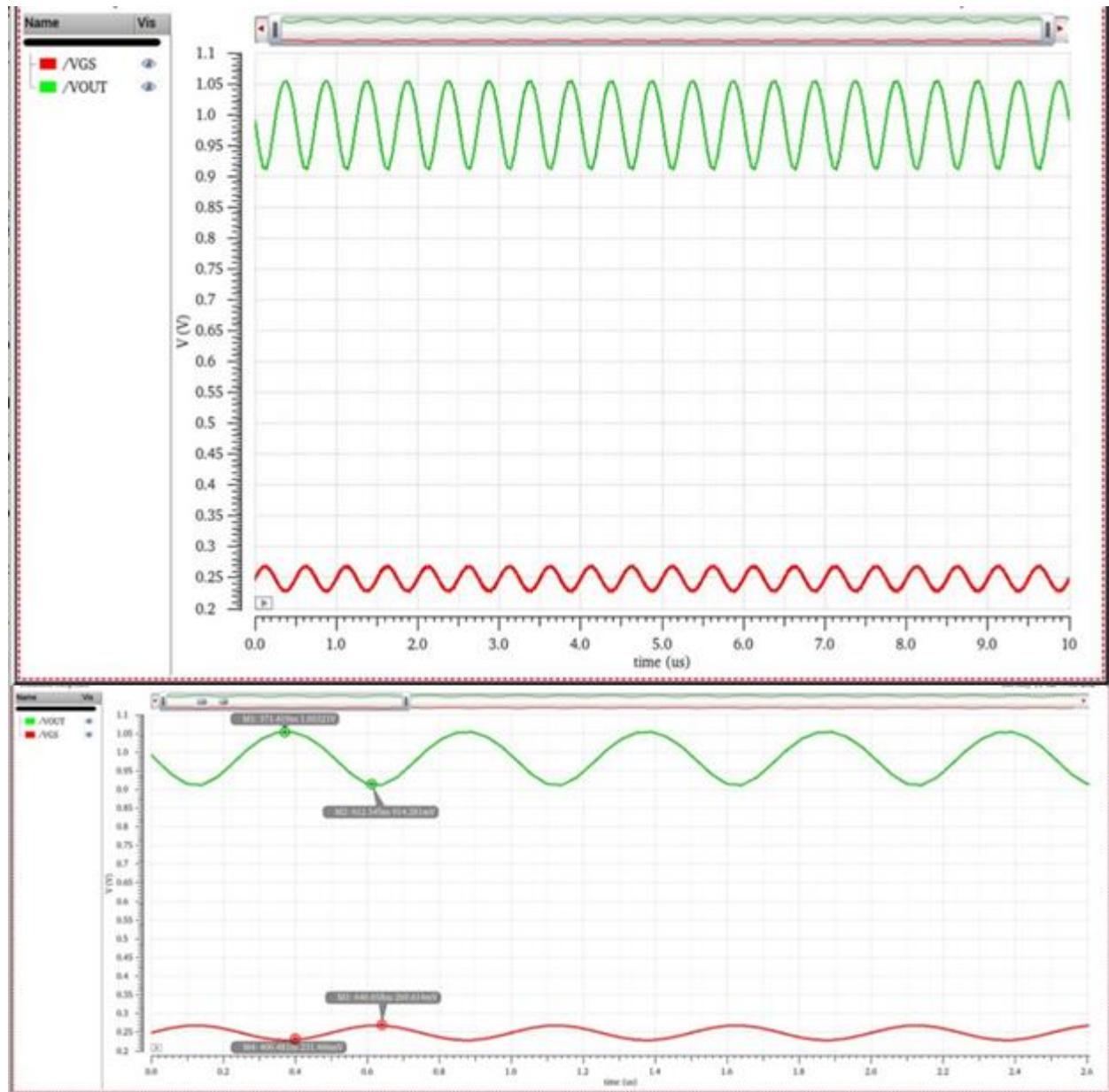


Hình 5: Waveform với $V_{gs}=100\text{mV}$

M0 nằm trong miền tắt nên $V_{out} = V_{dd} = 1.2\text{V}$.

Trường hợp 2: $200\text{mV} < V_{gs} < 400\text{mV}$. M0 nằm trong miền bão hòa.

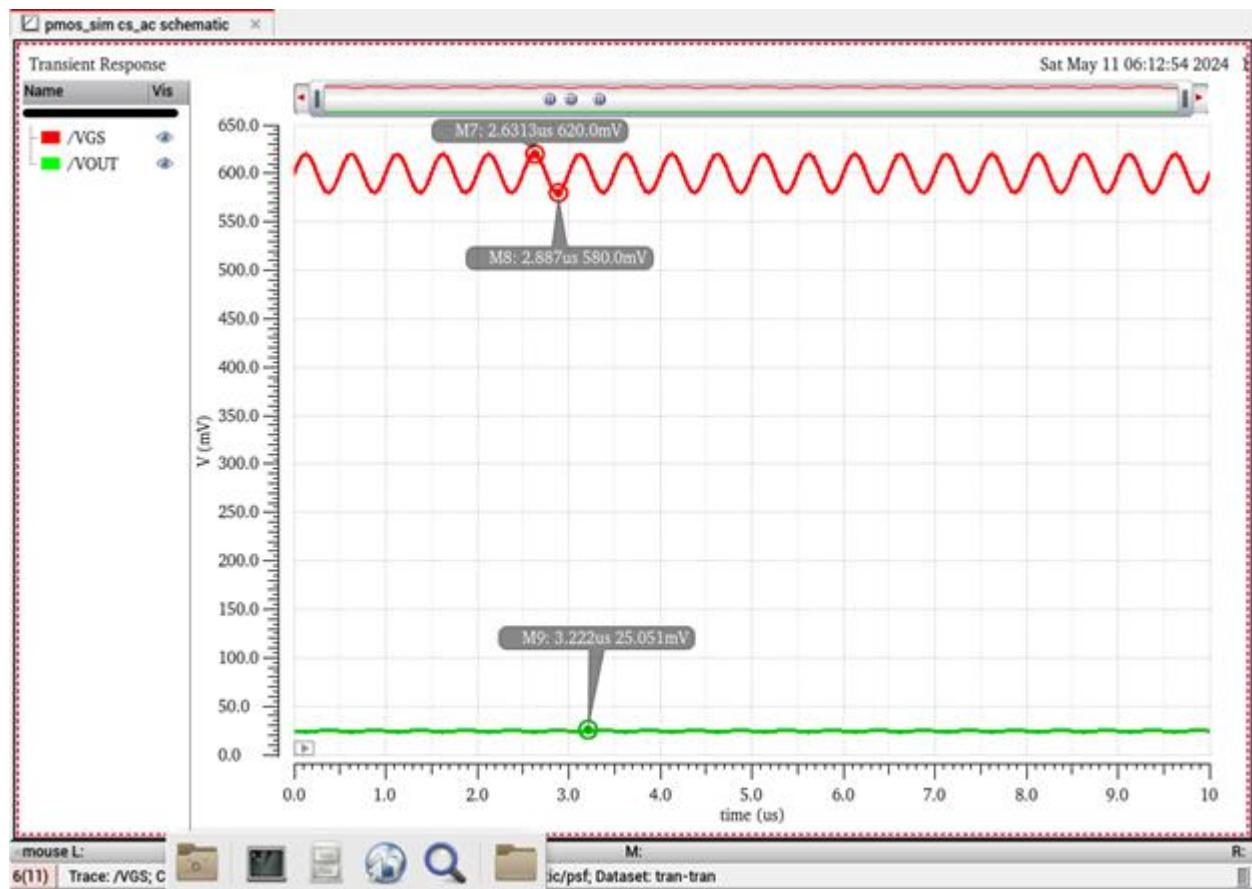
- Với $V_{gs} = 250\text{mV}$



Hình 6: Waveform với $V_{gs}=250\text{mV}$

Trường hợp 3: Với $V_{GS} > 400mV$. M0 nằm trong vùng triode

- $V_{GS} = 600mV$



Hình 7: Waveform với $V_{GS}=600mV$

$V_{GS} = 1.2V$

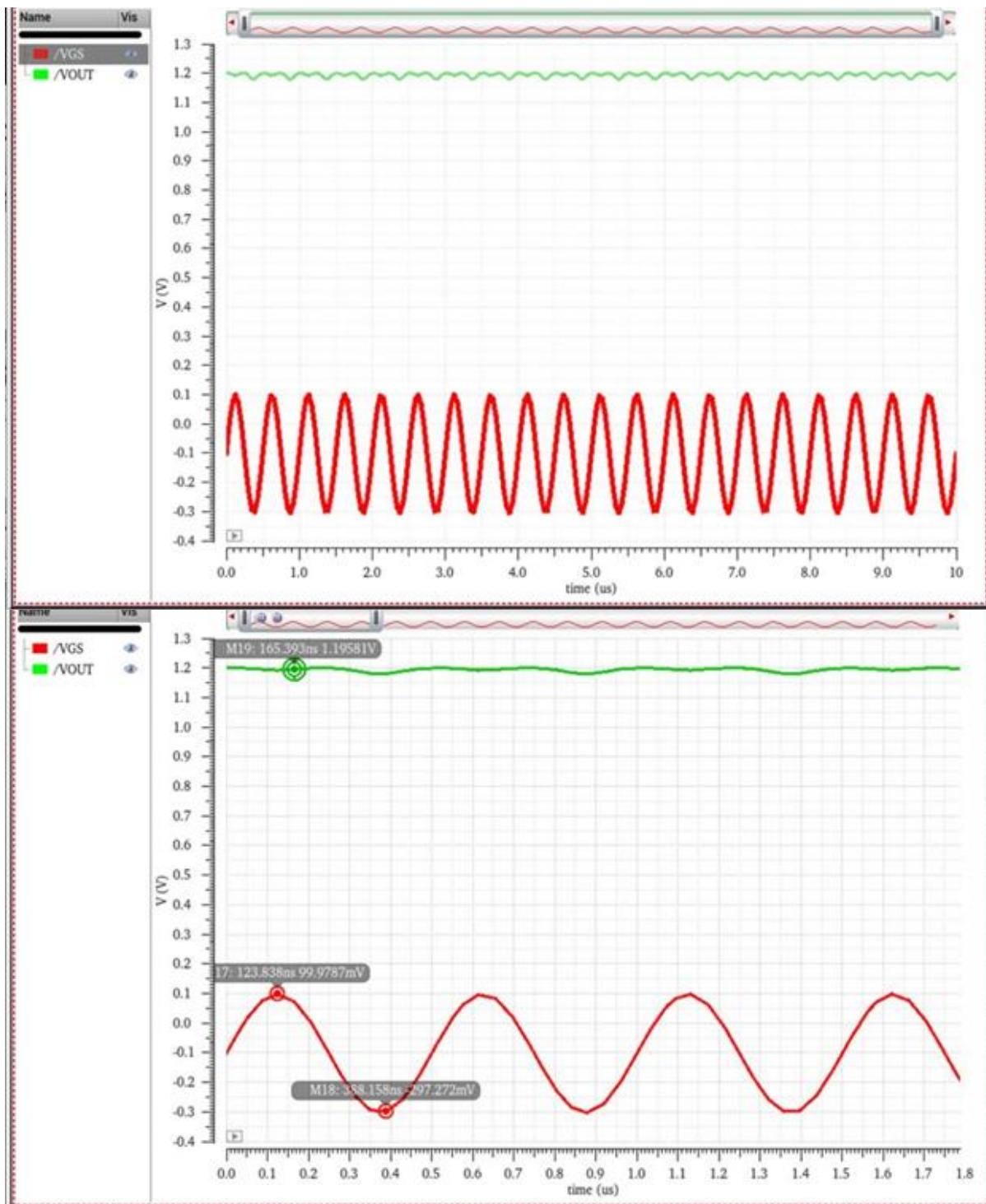
M0 nằm trong miền triode nên giá trị ngõ ra rất nhỏ

So sánh kết quả giữa DC và AC

- Phân tích DC, ta thường xác định tầm hoạt động của các miền hoạt động của linh kiện (như bão hòa, triode, tắt). Qua đó, điểm hoạt động Q có thể được xác định, cùng với dòng điện I_d và điện áp đầu ra DC.
- Phân tích AC, ta tập trung vào việc đánh giá độ lợi, biểu thị tỉ lệ khuếch đại giữa điện áp đầu ra và điện áp đầu vào. So sánh giữa điểm cân bằng DC và tín hiệu nhỏ AC giúp đảm bảo rằng bộ khuếch đại hoạt động trong phạm vi mong muốn đối với cả hai loại tín hiệu.

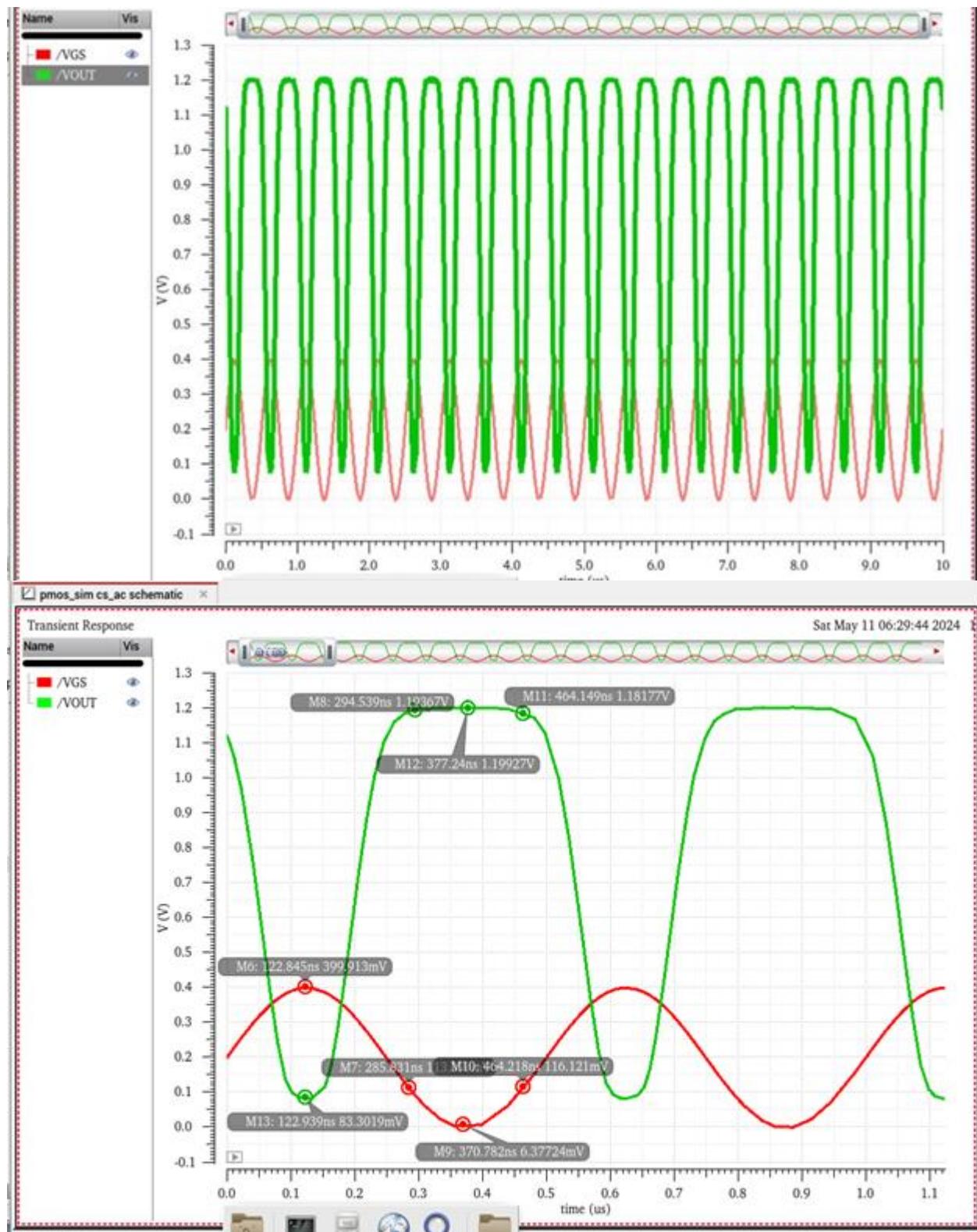
Question 2: If the input v_{sin} voltage amplitude is changed to 200mV, what is the gain of the amplifier circuit – perform the simulation, plot the waveform, and calculate the gain with TRAN analyses. Explain the measured results.

- Với v_{sin} voltage amplitude thay đổi thành 200mV
- Với $V_{gs} = -100mV$

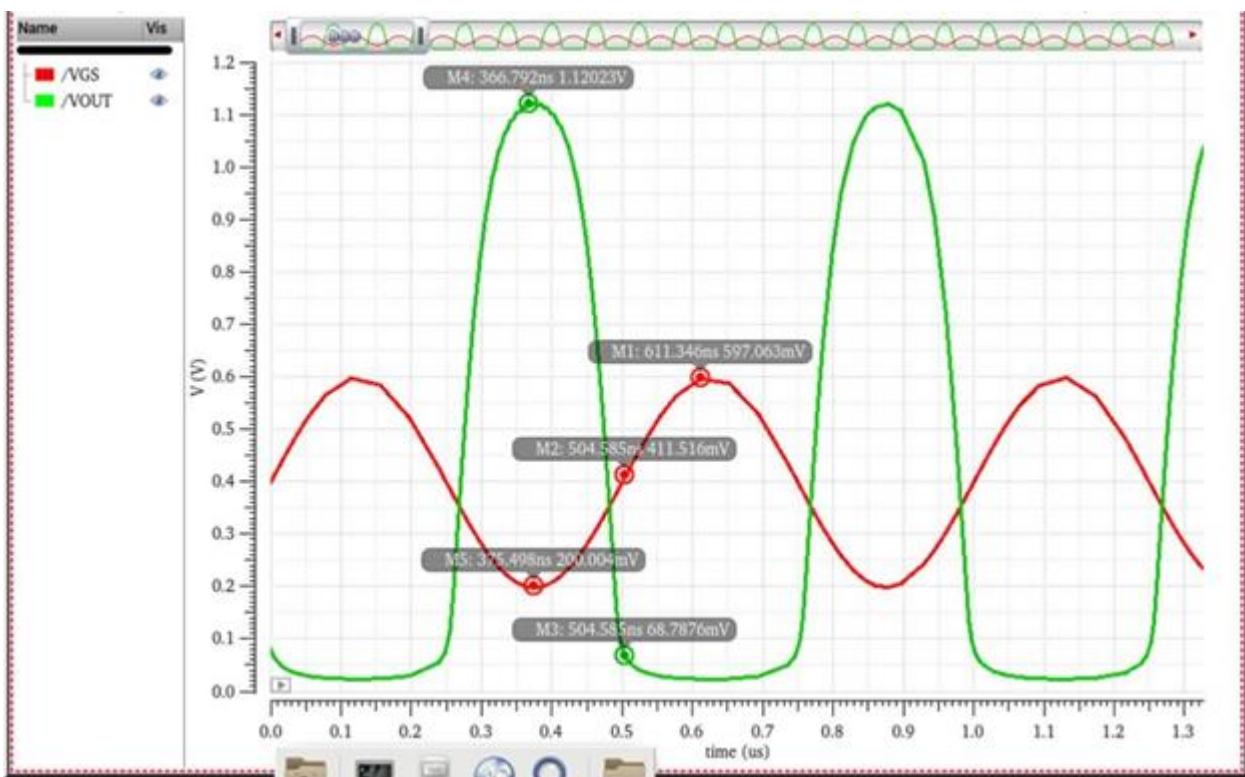


Hình 8: Waveform với $V_{gs}=-100mV$

- Với trường hợp này thì M0 nằm trong miền tắt nên giá trị ngõ ra xấp xỉ $V_{dd} = 1.2V$.
 - Với $V_{gs} = 200mV$

Hình 9: Waveform với $V_{gs}=200mV$

- Với V_{GS} nằm trong khoảng từ $0,2V \rightarrow 0,4V$ thì M0 nằm trong vùng bão hòa nên tín hiệu ngõ ra được khuếch đại
- Với V_{GS} nằm trong khoảng từ $0 \rightarrow 0,2$ thì M0 nằm trong vùng tắt nên giá trị tín hiệu ngõ ra xấp xỉ $V_{DD} = 1.2V$
 - Với $V_{GS} = 400mV$

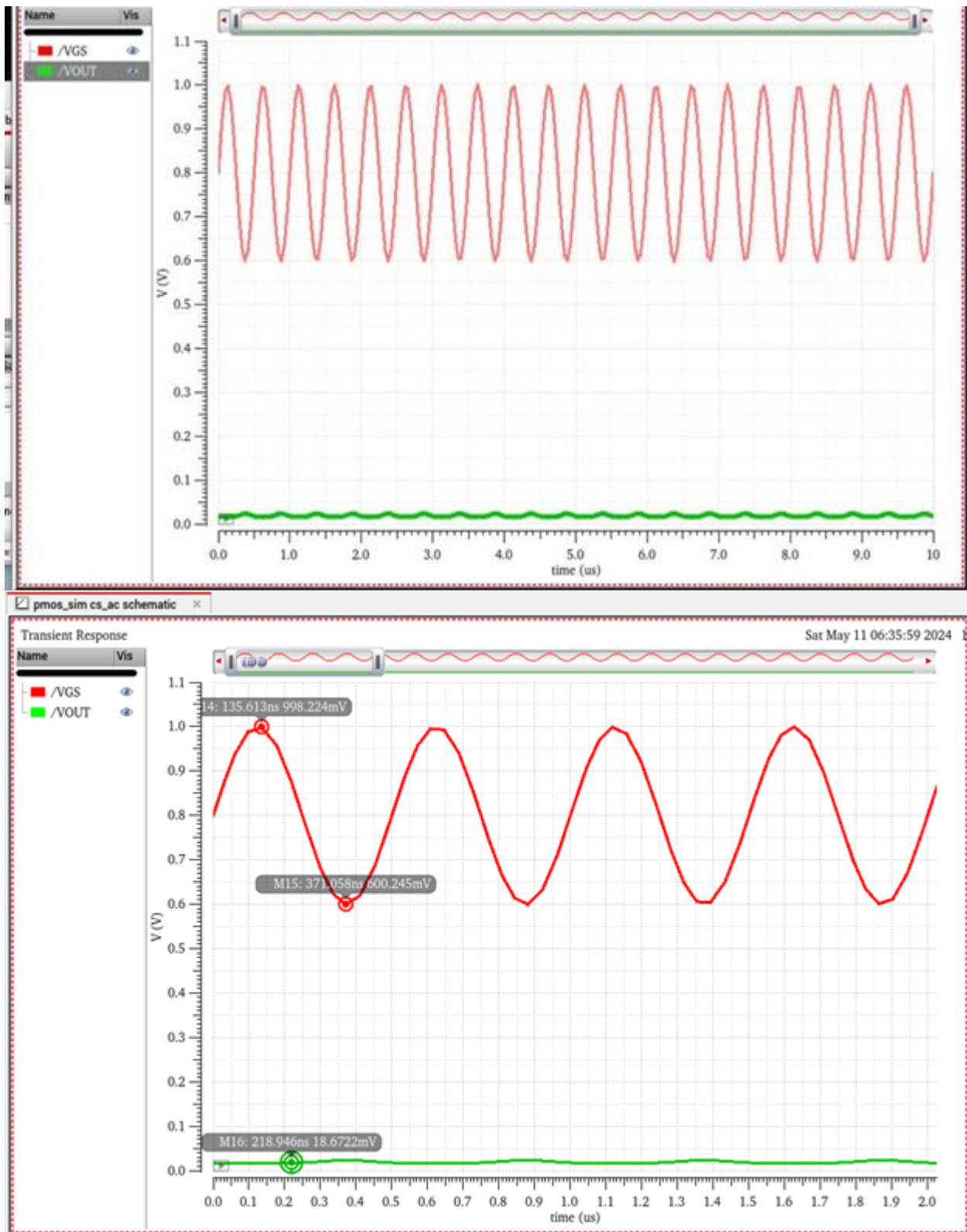


Hình 10: Wave form với $V_{GS}=400mV$

Thì khi V_{GS} nằm trong khoảng từ $200mV \rightarrow 400mV$ thì M0 ở nằm trong miền bão hòa nên tín hiệu ngõ ra được khuếch đại.

Còn V_{GS} nằm trong khoảng từ $400mV \rightarrow 600mV$ thì M0 nằm trong miền triode nên tín hiệu ngõ ra rất nhỏ.

- Với $V_{gs} = 800mV$



Hình 11: Waveform với $V_{gs}=800mV$

- Với trường hợp này thì M0 luôn nằm ở miền triode nên ngõ ra rất nhỏ