

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN – ĐIỆN TỬ



BÁO CÁO THÍ NGHIỆM THIẾT KẾ VI MẠCH
LAB 1: STANDARD CELLS
LỚP: L01 ---- NHÓM: 01

STT	Sinh viên thực hiện	Mã số sinh viên
1	Lê Quốc Thái	2114764
2	Nguyễn Khánh Huy	2113510
3	Nguyễn Thành Phát	2114378
4	Nguyễn Ngọc Kiều Duyên	2113053
5	Huỳnh Thịnh Phát	2114369

Thành phố Hồ Chí Minh – 2024

DANH SÁCH THÀNH VIÊN

STT	Sinh viên thực hiện	Mã số sinh viên	Đóng góp
1	Lê Quốc Thái	2114764	100%
2	Nguyễn Khánh Huy	2113510	100%
3	Nguyễn Thành Phát	2114378	100%
4	Nguyễn Ngọc Kiều Duyên	2113053	100%
5	Huỳnh Thịnh Phát	2114369	100%

MỤC LỤC

EXPERIMENT 1	4
I. NAND2	5
1. Truth table, schematic, symbol.....	5
2. DC analysis, transient simulation	6
3. Layout.....	8
II. NOR2	9
1. Truth table, schematic, symbol.....	9
2. DC analysis, transient simulation	10
3. Layout.....	13
EXPERIMENT 2.....	15
III. AND2	15
1. Truth table, schematic, symbol.....	15
2. DC analysis, transient simulation	16
3. Layout.....	17
IV. OR2	19
1. Truth table, schematic, symbol.....	19
2. DC analysis, transient simulation	20
3. Layout.....	21

DANH SÁCH HÌNH ẢNH

Hình 1: NAND Schematic.....	5
Hình 2: NAND Symbol.....	6
Hình 3: NAND DC Analysis.....	6
Hình 4: NAND transient simulation.....	7
Hình 5: NAND Layout.....	8
Hình 6: Check DRC NAND.....	8
Hình 7: Check LVS NAND.....	9
Hình 8: NOR Schematic.....	10
Hình 9: NOR Symbol.....	10
Hình 10: NOR DC analysis.....	11
Hình 11: NOR transient simulation.....	12
Hình 12: NOR layout.....	13
Hình 13: Check DRC NOR.....	14
Hình 14: Check LVS NOR.....	14
Hình 15: AND Schematic.....	15
Hình 16: AND Symbol.....	16
Hình 17: AND Schematic.....	16
Hình 18: AND transient simulation.....	17
Hình 19: AND layout.....	17
Hình 20: Check DRC AND.....	18
Hình 21: Check LVS AND.....	18
Hình 22: OR Schematic.....	19
Hình 23: OR Symbol.....	20
Hình 24: OR DC analysis.....	20
Hình 25: OR transient simulation.....	21
Hình 26: OR layout.....	21
Hình 27: Check DRC OR.....	22
Hình 28: Check LVS OR.....	22

DANH SÁCH BẢNG

Bảng 1: Bảng sự thật cổng NAND	5
Bảng 2: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V	7
Bảng 3: Bảng sự thật cổng NOR	9
Bảng 4: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V	11
Bảng 5: Bảng sự thật cổng AND	15
Bảng 6: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V	16
Bảng 7: Bảng sự thật cổng OR	19
Bảng 8: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V	20

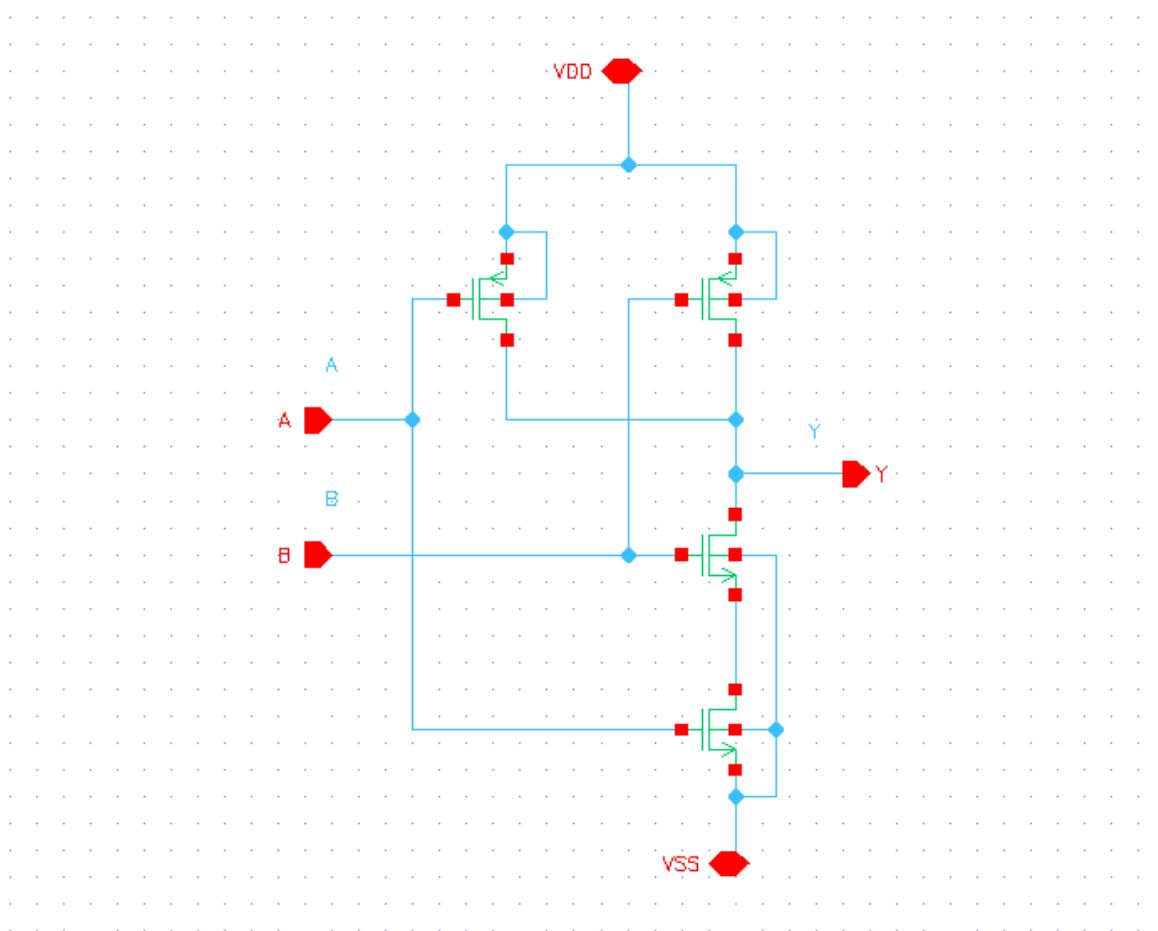
EXPERIMENT 1**I. NAND2****1. Truth table, schematic, symbol**

- NAND2 truth table:

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

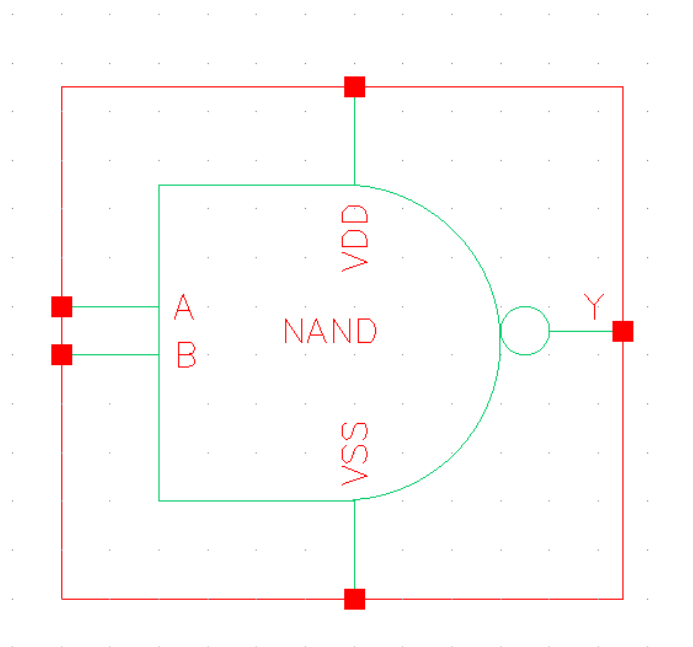
Bảng 1: Bảng sự thật cổng NAND

- NAND2 schematic:



Hình 1: NAND Schematic

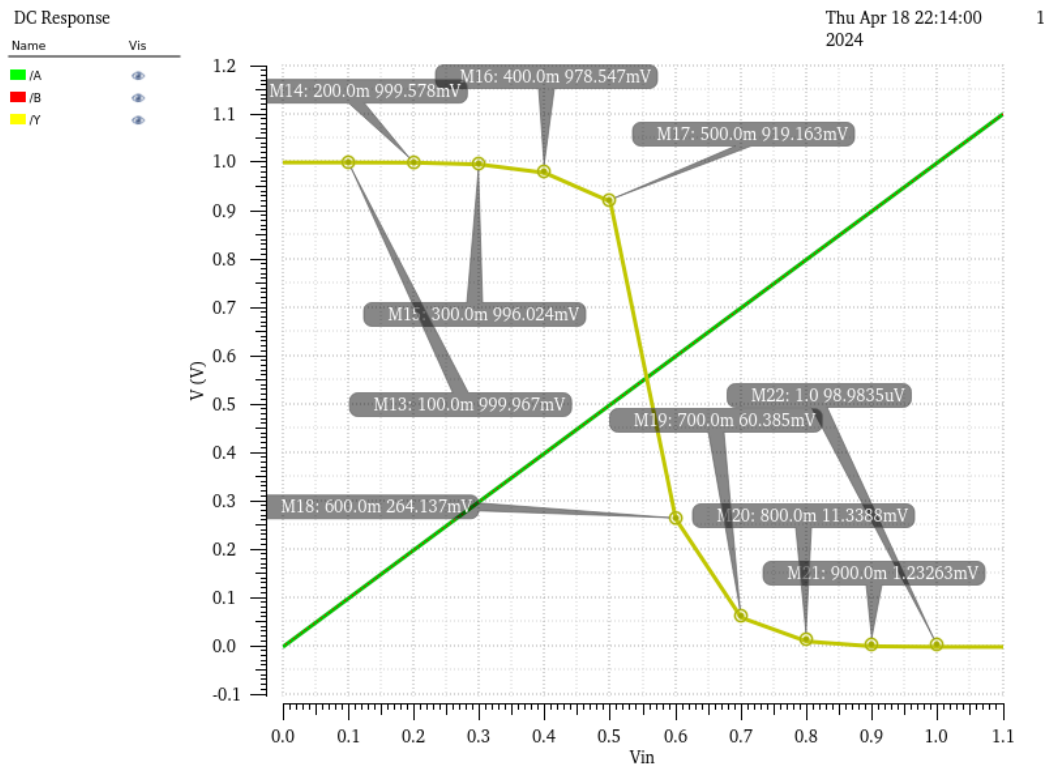
- NAND2 symbol:



Hình 2: NAND Symbol

2. DC analysis, transient simulation

- NAND2 DC analysis:

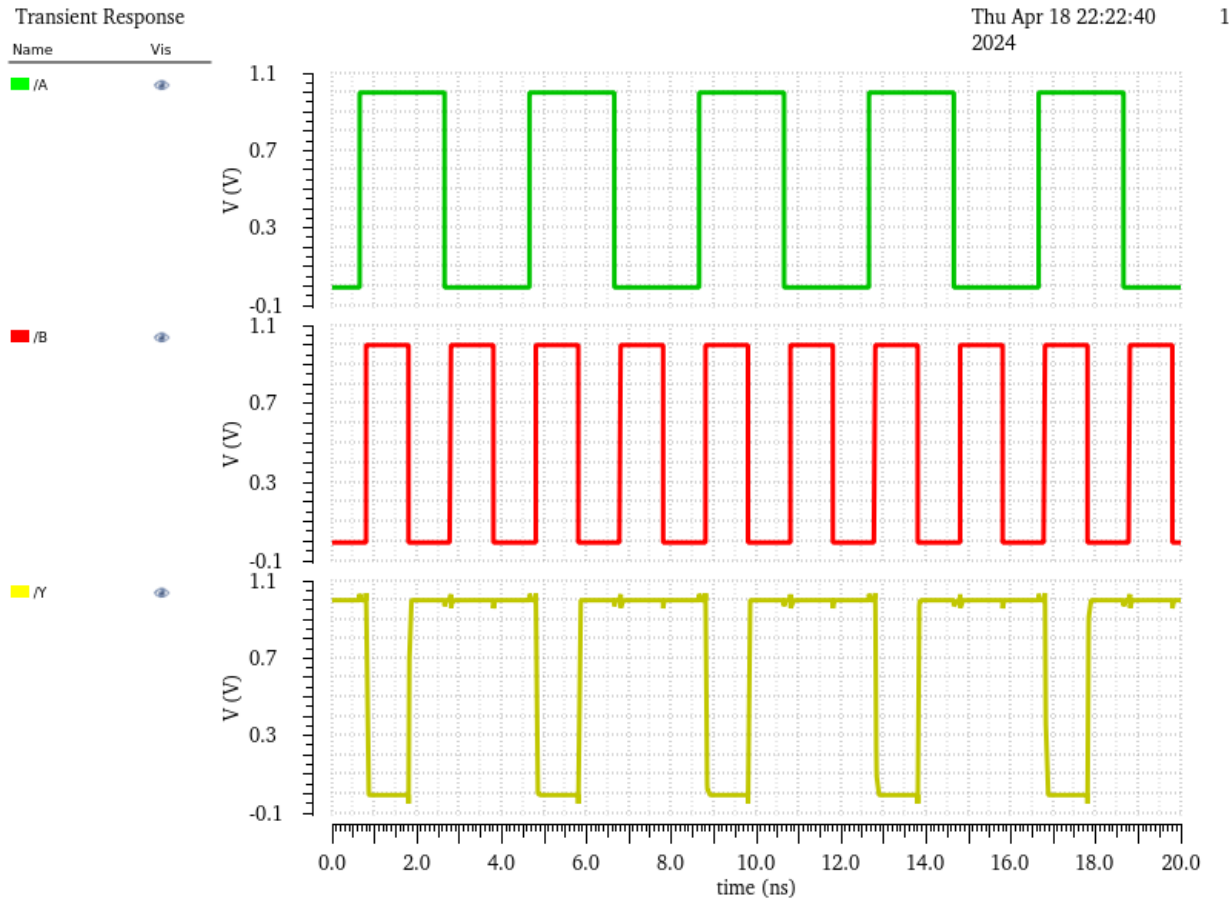


Hình 3: NAND DC Analysis

$V_{in} (V)$	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
$V_{out} (V)$	1.000	0.9996	0.9960	0.9785	0.9192	0.2641	0.0604	0.0113	0.0012	0.0001

Bảng 2: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V

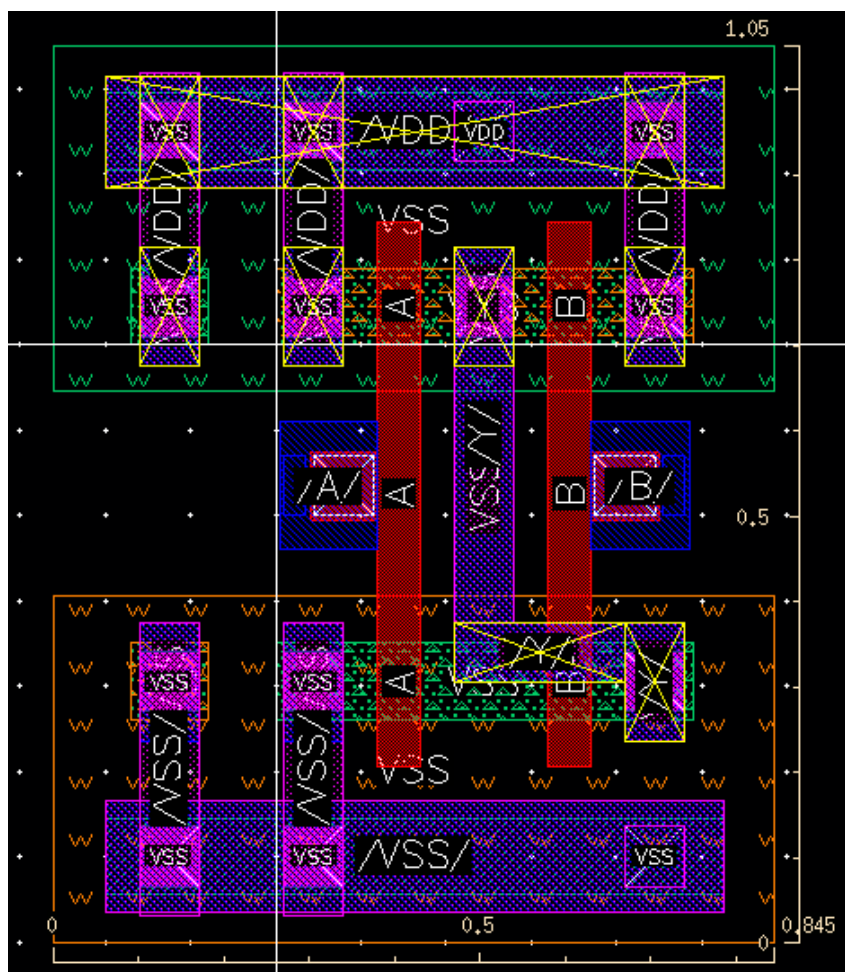
- NAND2 transient simulation:



Hình 4: NAND transient simulation

3. Layout

- NAND2 layout:



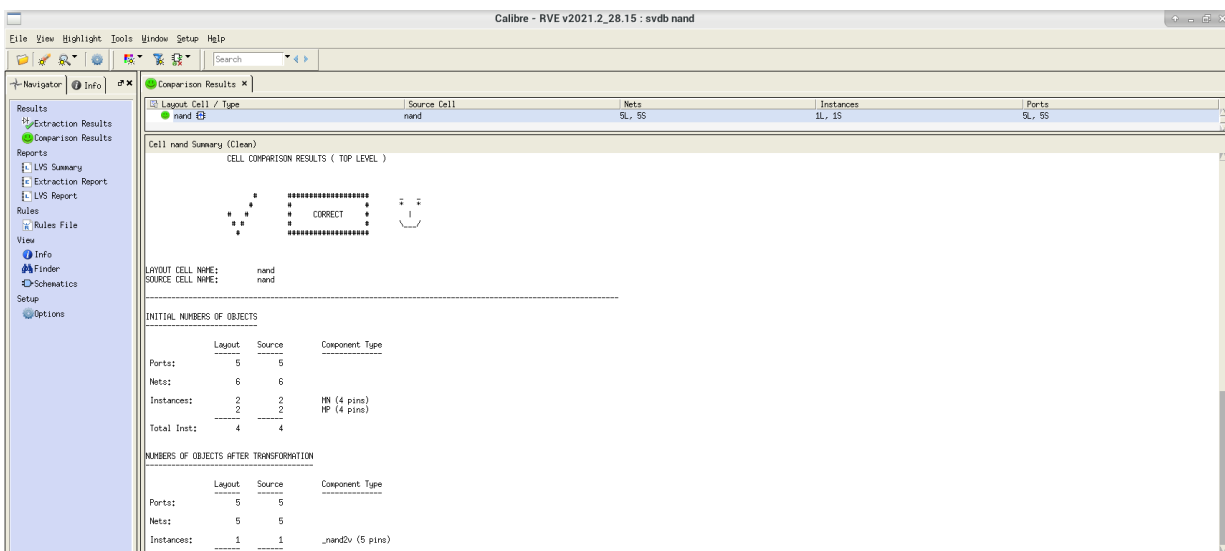
Hình 5: NAND Layout

- NAND2 DRC:



Hình 6: Check DRC NAND

- NAND2 LVS:



Hình 7: Check LVS NAND

II. NOR2

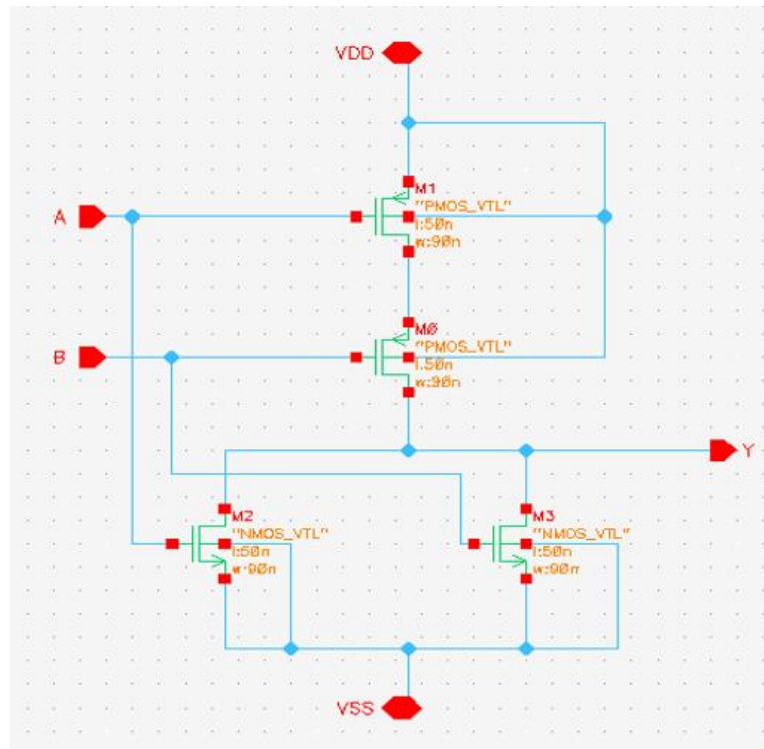
1. Truth table, schematic, symbol

- NOR2 truth table:

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

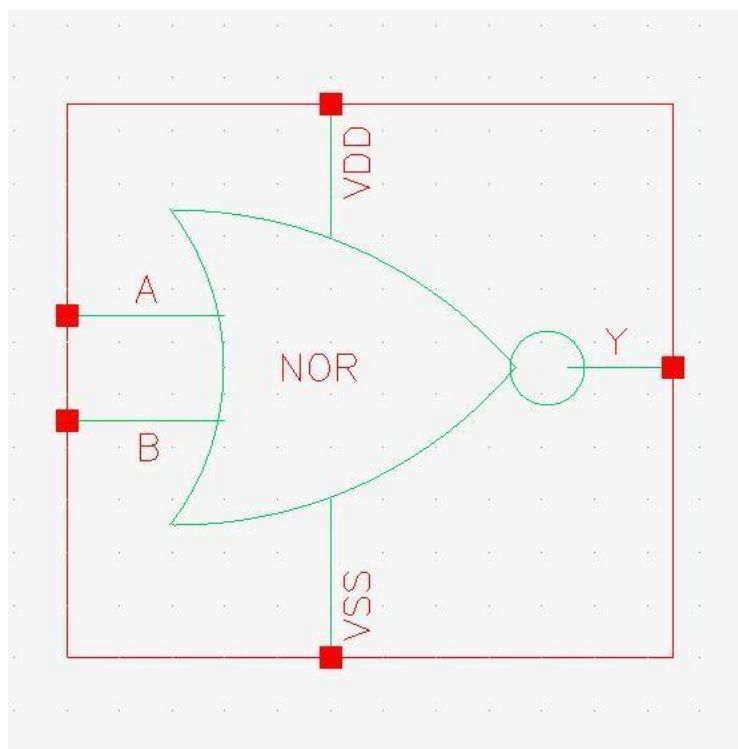
Bảng 3: Bảng sự thật cổng NOR

NOR2 schematic:



Hình 8: NOR Schematic

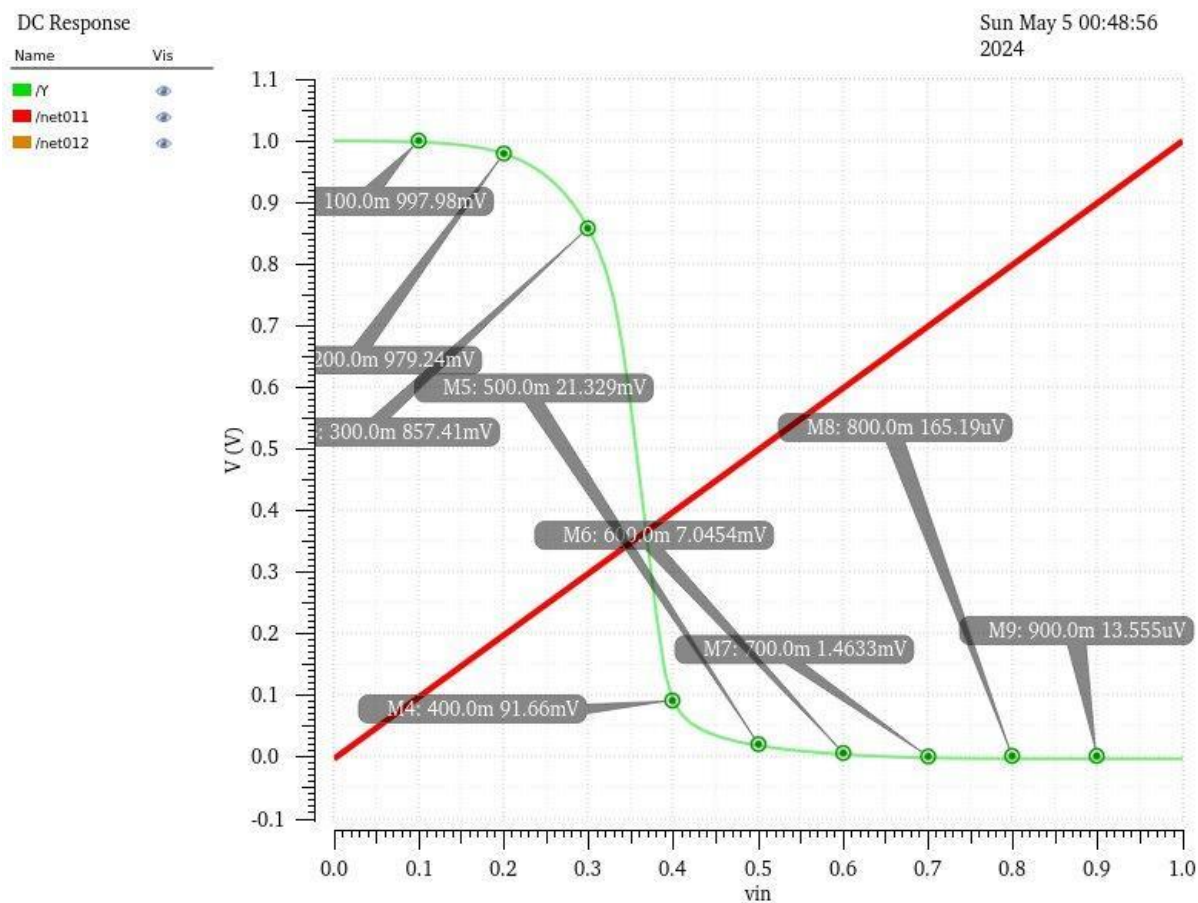
- NOR2 Symbol:



Hình 9: NOR Symbol

2. DC analysis, transient simulation

- NOR2 DC analysis:

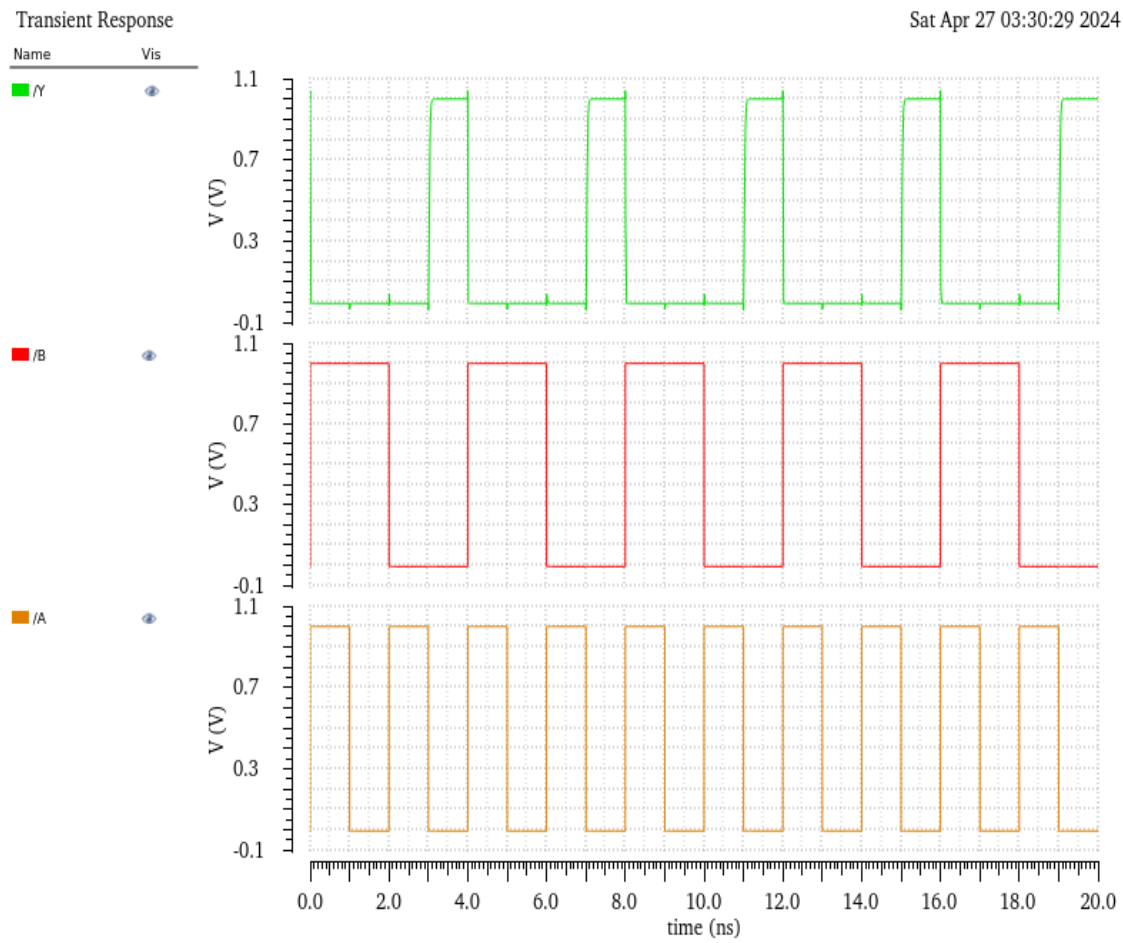


Hình 10: NOR DC analysis

V_{in} (V)	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
V_{out} (V)	1.000	0.9997	0.857	0.092	0.021	0.007	0.001	0.0002	0.00001	0

Bảng 4: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V

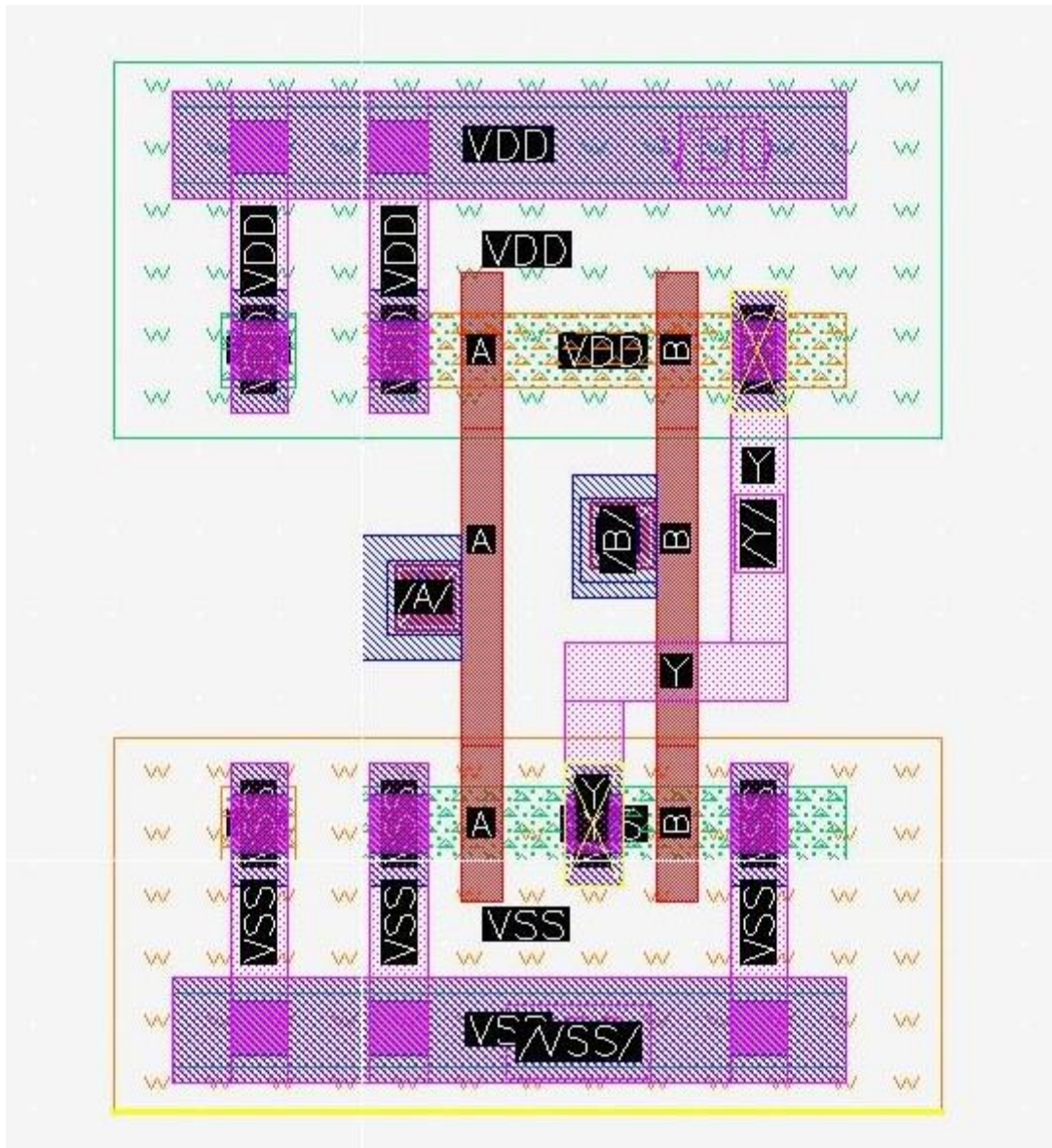
- NOR2 transient simulation:



Hình 11: NOR transient simulation

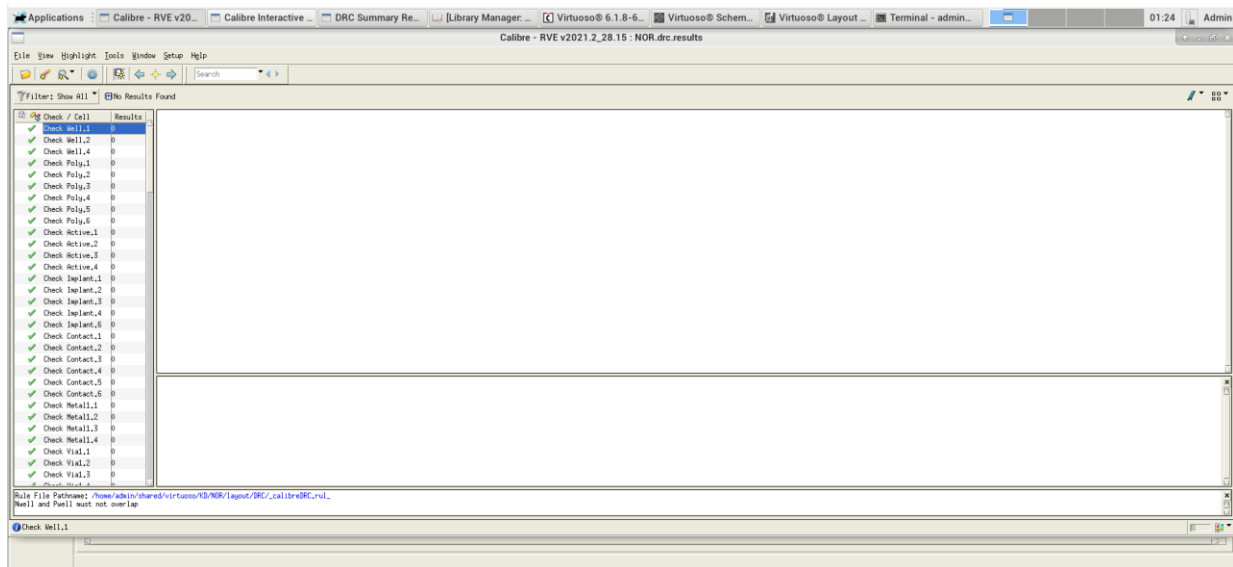
3. Layout

- NOR2 layout:



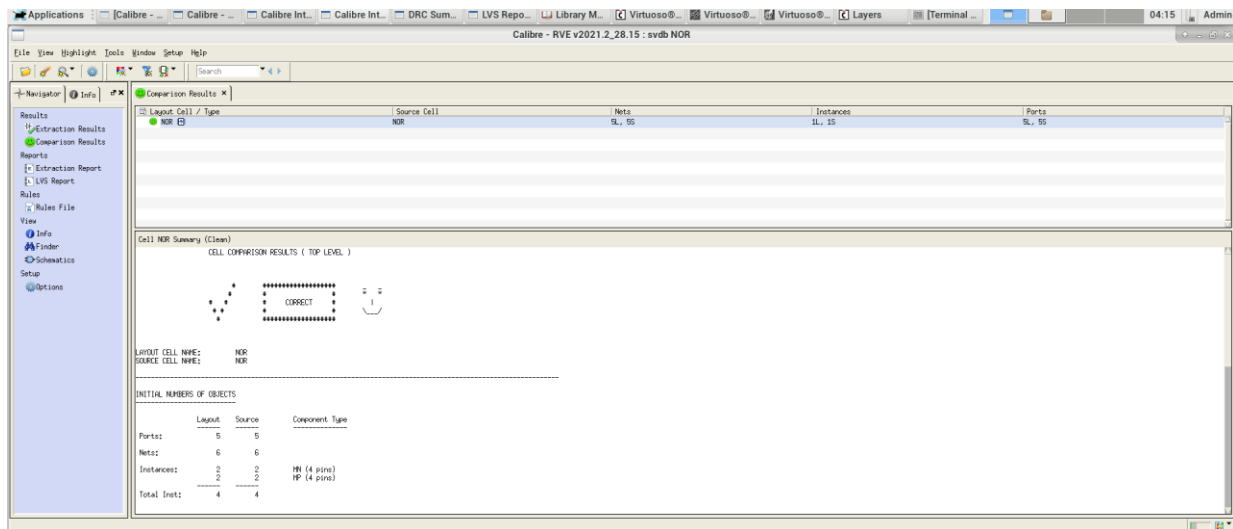
Hình 12: NOR layout

- NOR2 DRC check :



Hình 13: Check DRC NOR

- NOR2 LVS check:



Hình 14: Check LVS NOR

EXPERIMENT 2

III. AND2

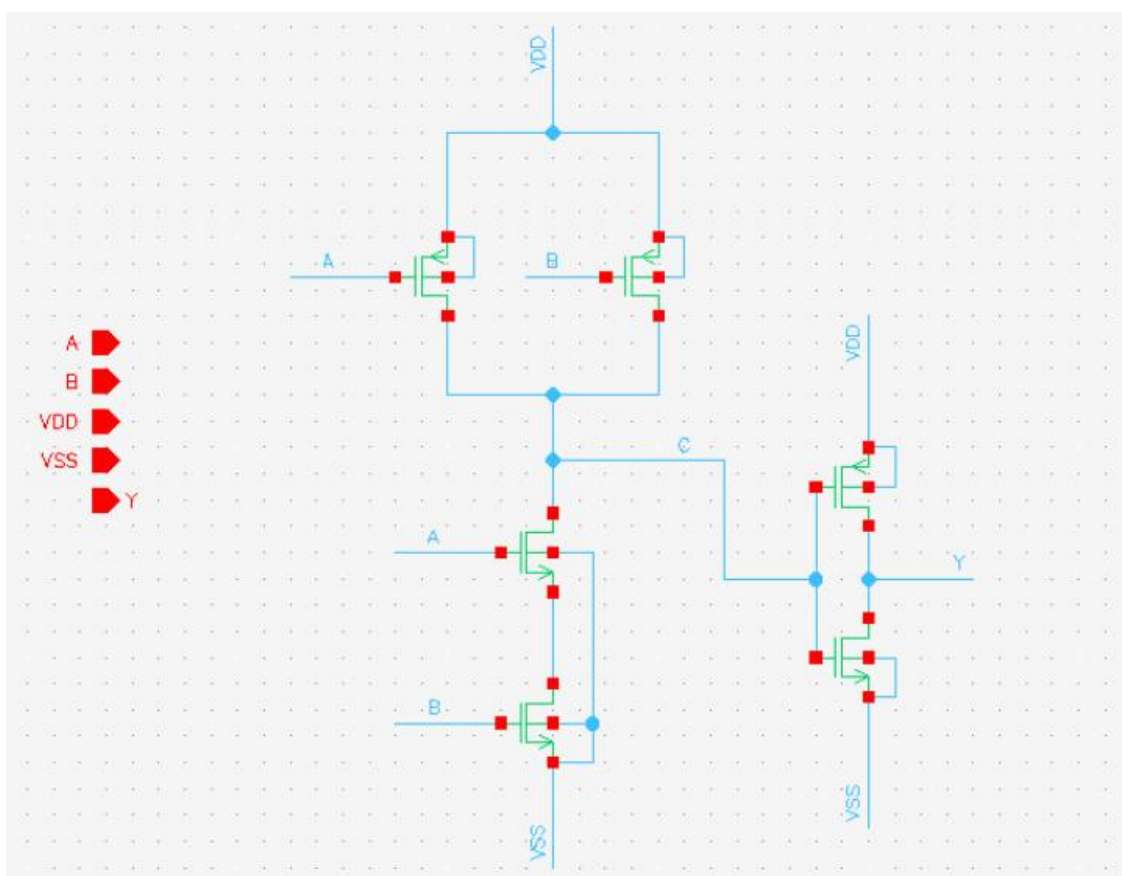
1. Truth table, schematic, symbol

- AND2 truth table

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

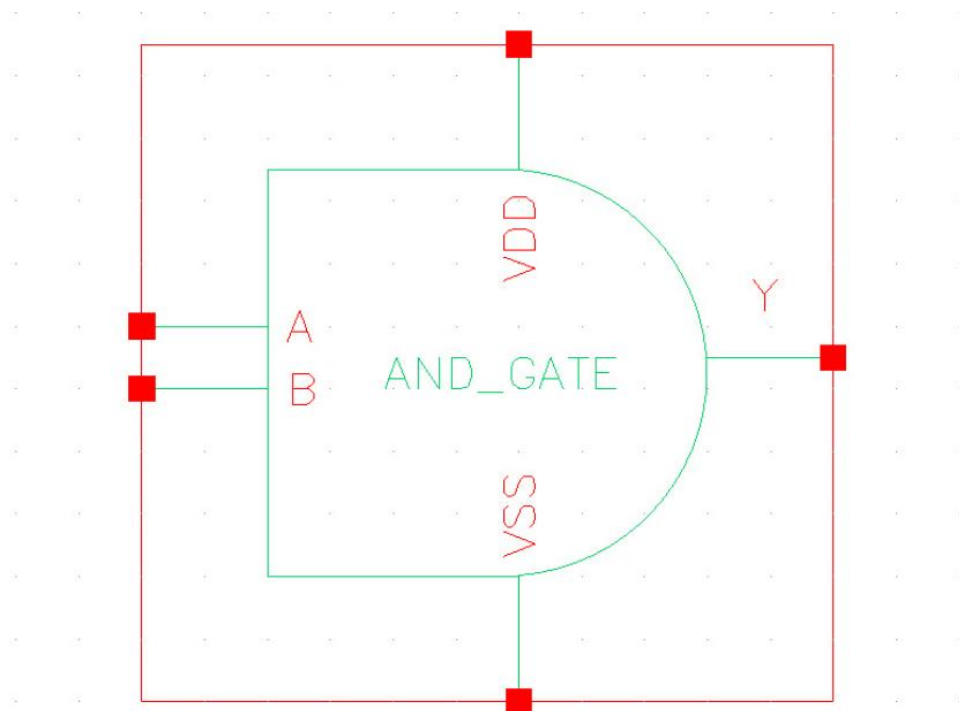
Bảng 5: Bảng sự thật cổng AND

- AND2 Schematic



Hình 15: AND Schematic

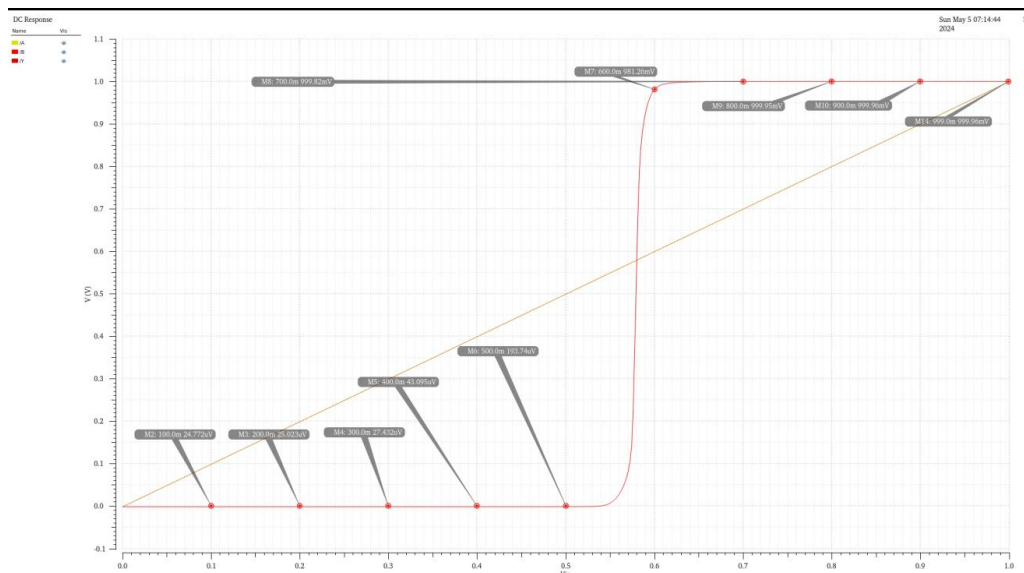
- AND2 Symbol



Hình 16: AND Symbol

2. DC analysis, transient simulation

- AND2 DC analysis

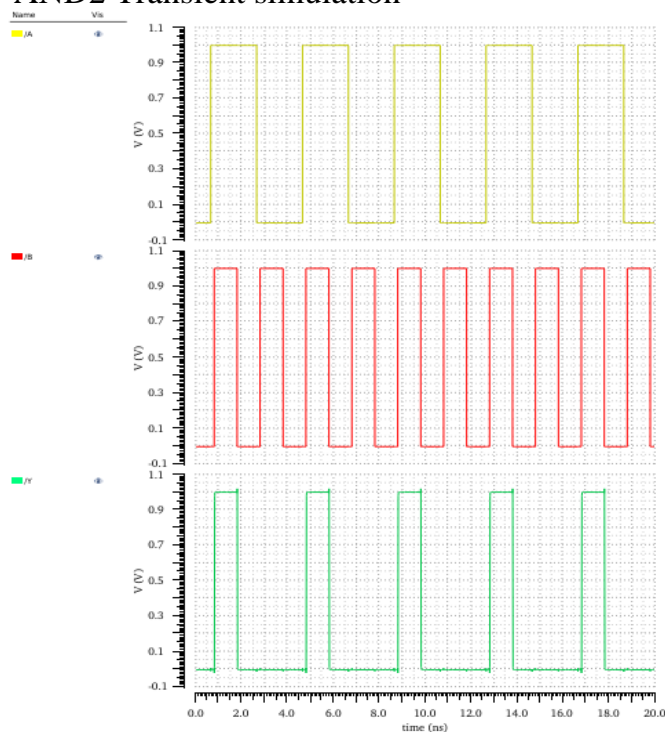


Hình 17: AND Schematic

Vin (V)	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
Vout (V)	24,772.10 ⁻⁶	25,023.10 ⁻⁶	27.432.10 ⁻⁶	43.095.10 ⁻⁶	19,374.10 ⁻⁵	0.98126	0.99995	0.99982	0.99996	1

Bảng 6: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V

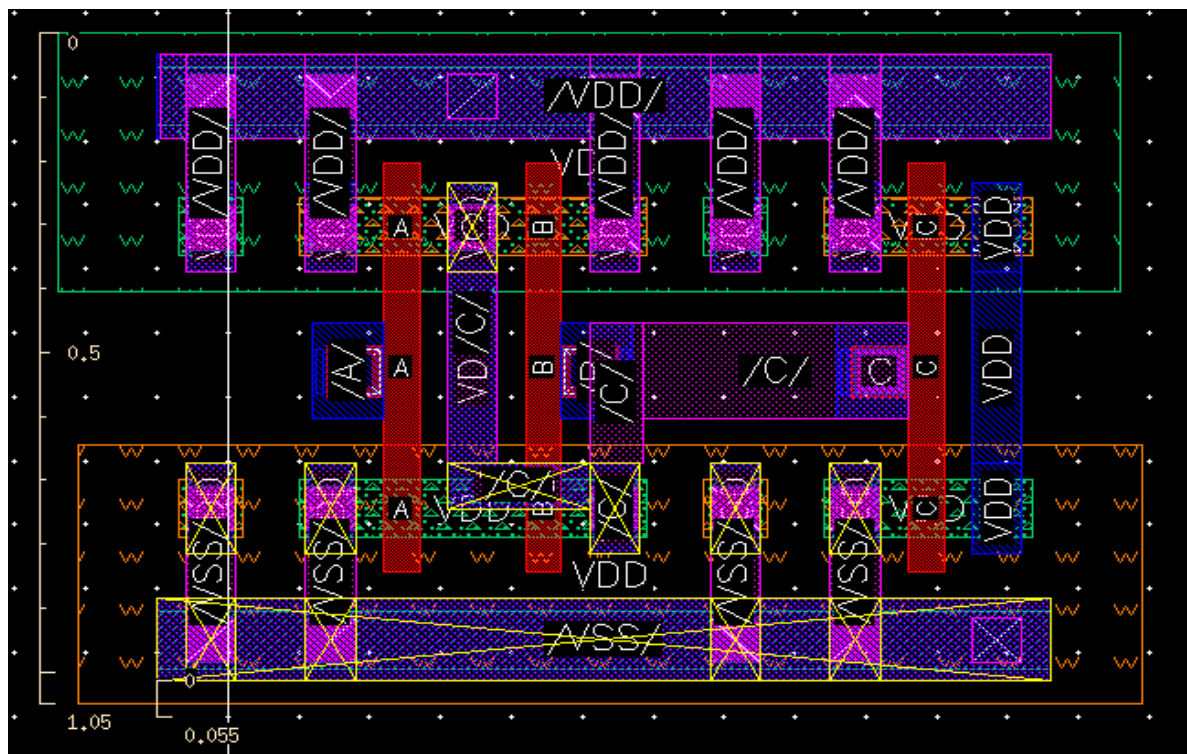
- AND2 Transient simulation



Hình 18: AND transient simulation

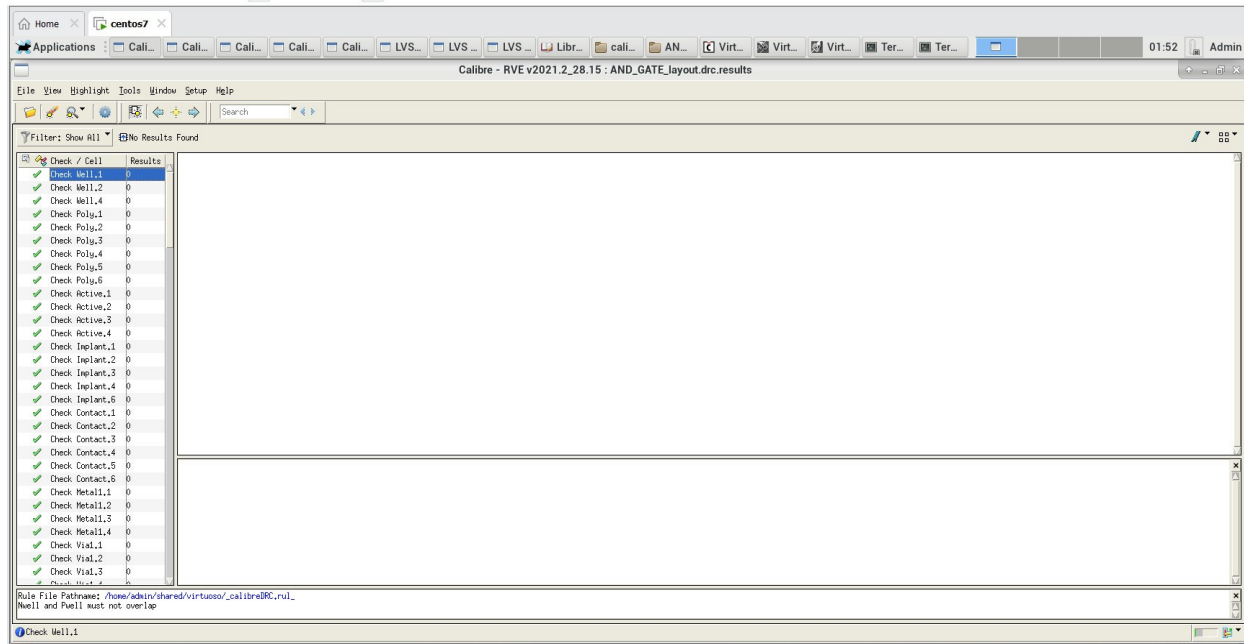
3. Layout

- AND2 layout



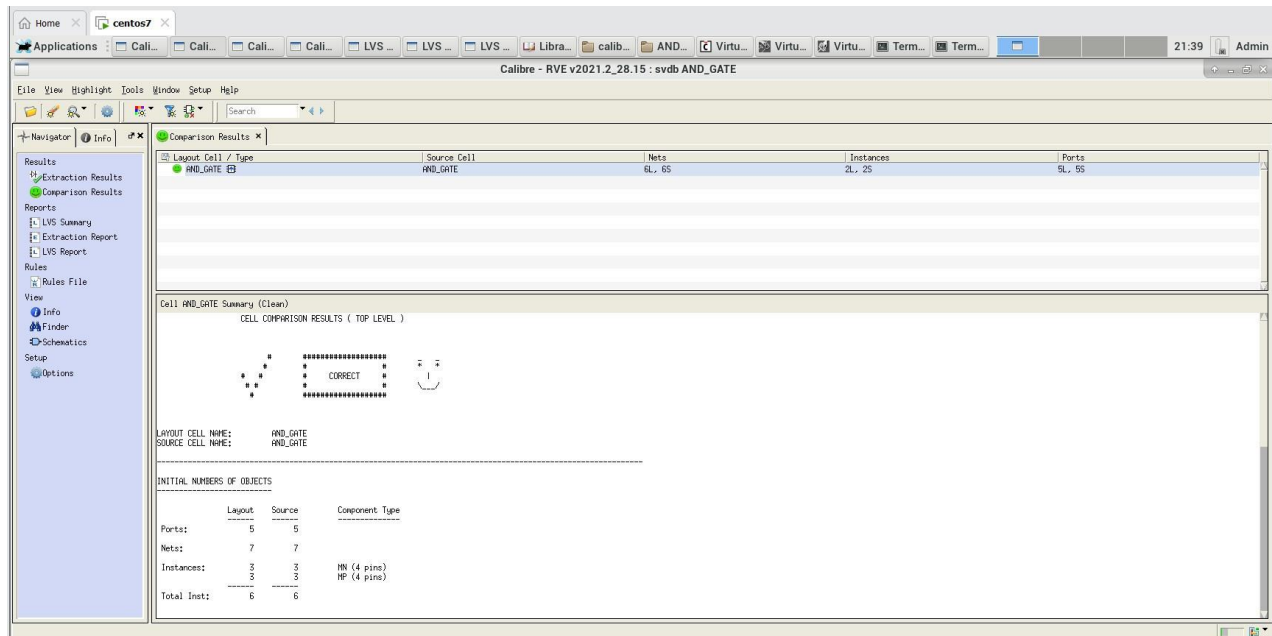
Hình 19: AND layout

- AND2 check DRC



Hình 20: Check DRC AND

- AND2 check LVS



Hình 21: Check LVS AND

IV. OR2

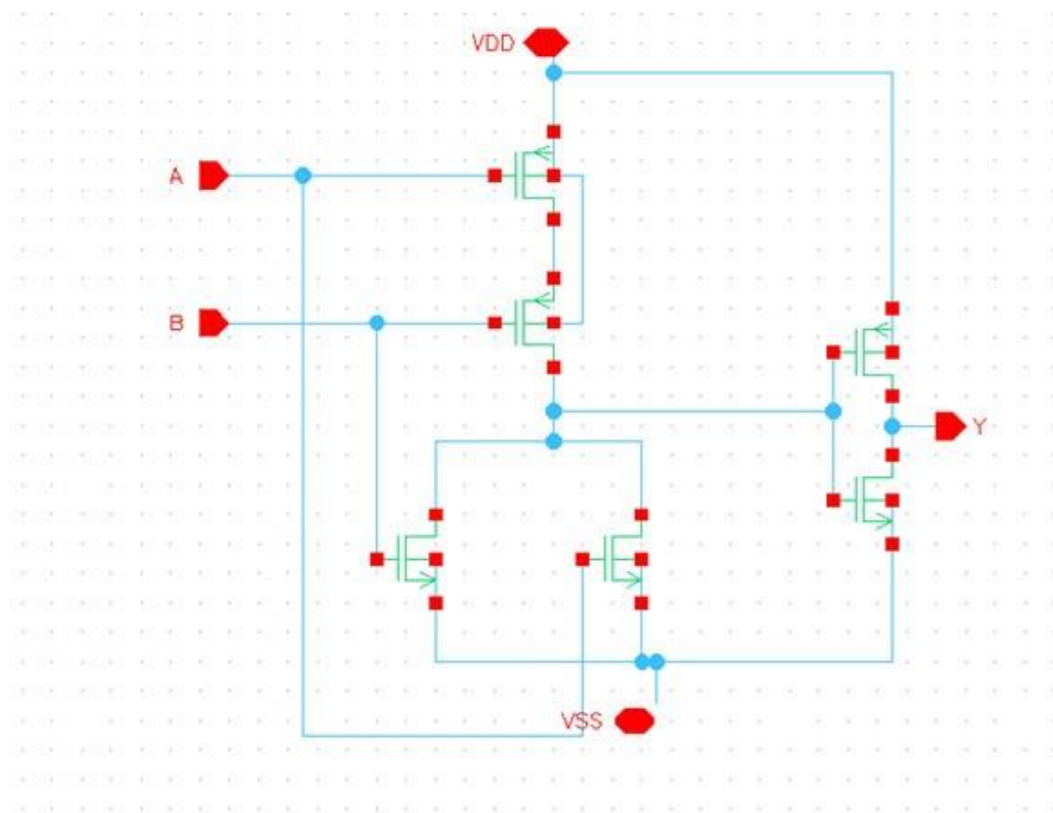
1. Truth table, schematic, symbol

- OR2 truth table

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

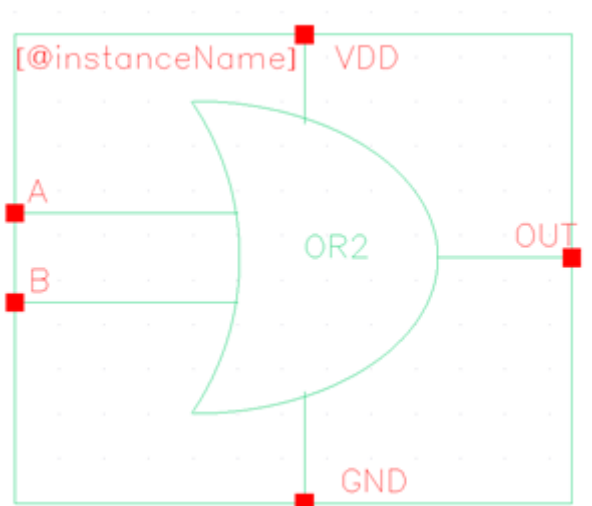
Bảng 7: Bảng sự thật cổng OR

- OR2 Schematic



Hình 22: OR Schematic

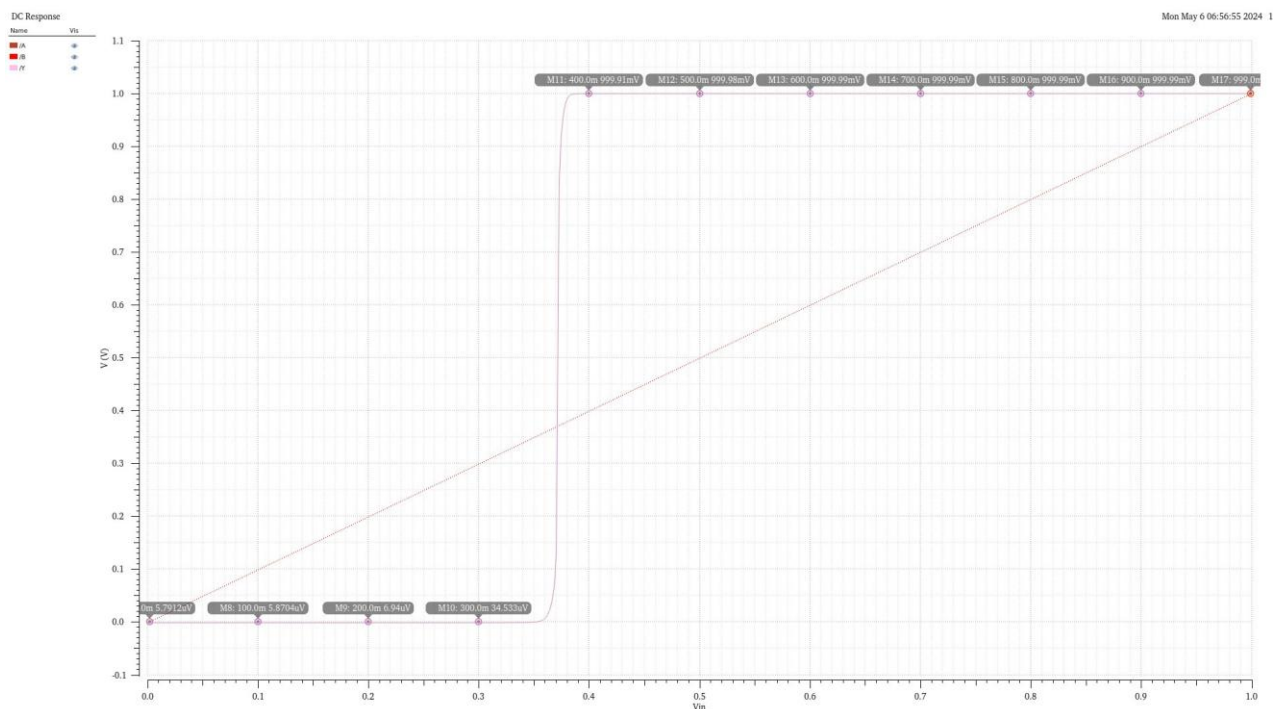
- OR2 Symbol



Hình 23: OR Symbol

2. DC analysis, transient simulation

- OR2 DC analysis



Hình 24: OR DC analysis

V_{in} (V)	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
V_{out} (V)	$5,8704 \cdot 10^{-6}$	$6,94 \cdot 10^{-6}$	$34,533 \cdot 10^{-6}$	$999,91 \cdot 10^{-3}$	$999,98 \cdot 10^{-3}$	$999,99 \cdot 10^{-3}$	$999,99 \cdot 10^{-3}$	$999,99 \cdot 10^{-3}$	$999,99 \cdot 10^{-3}$	0

Bảng 8: Các giá trị điện áp ngõ ra tại các giá trị với mỗi khoảng 0.1V

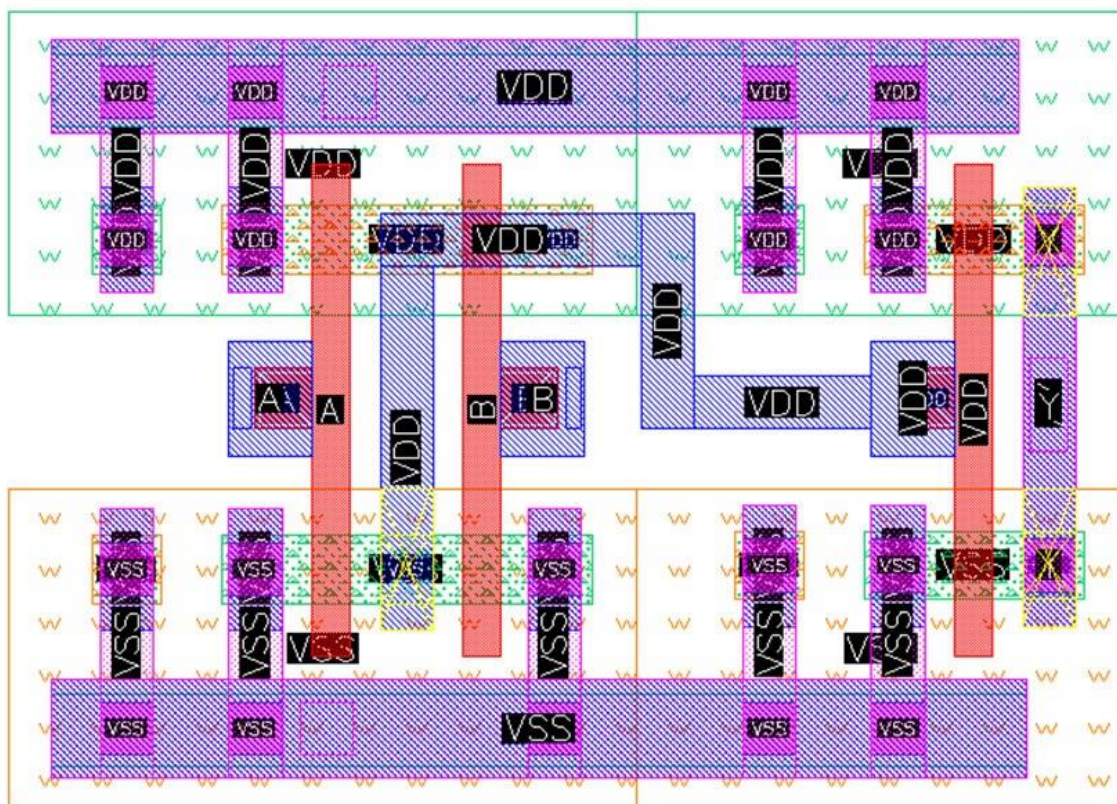
- OR2 transient simulation



Hình 25: OR transient simulation

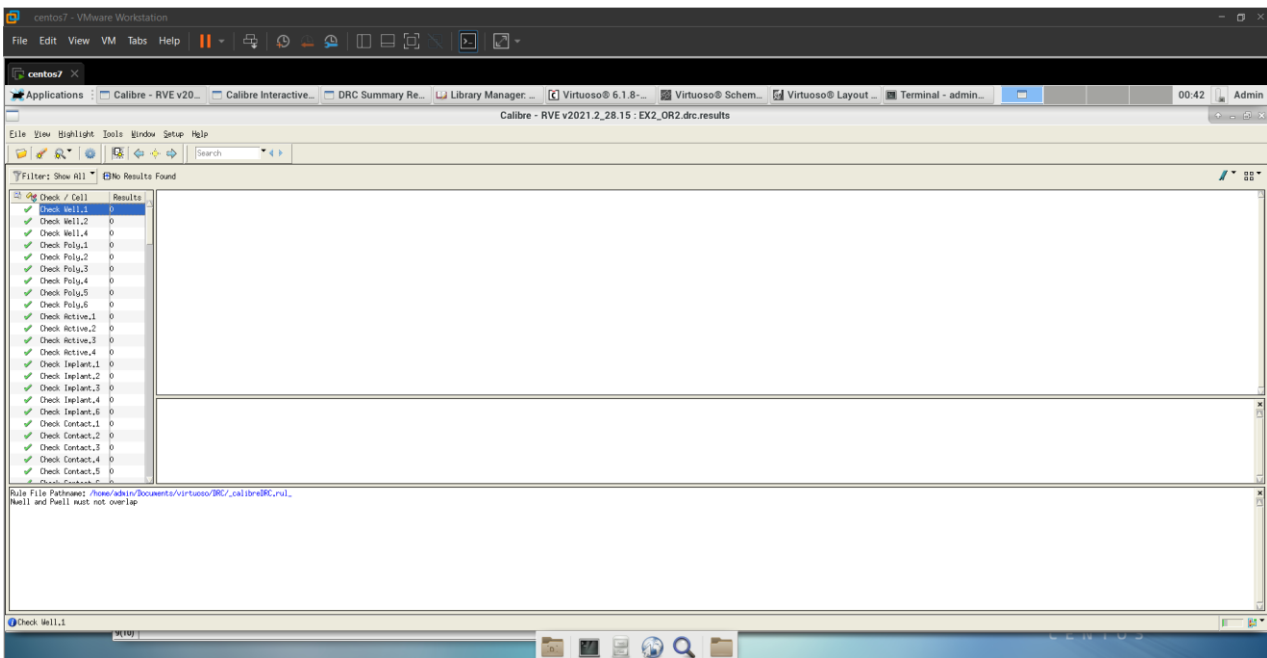
3. Layout

- OR2 layout



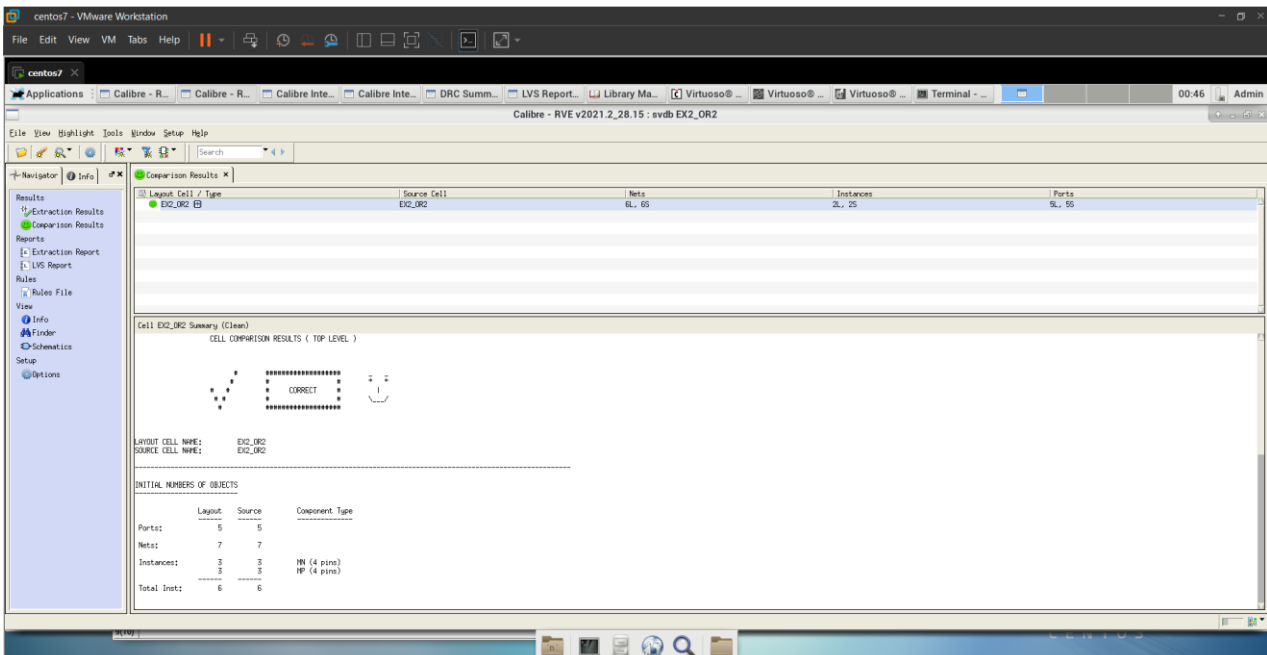
Hình 26: OR layout

- OR2 check DRC



Hình 27: Check DRC OR

- OR2 check LVS



Hình 28: Check LVS OR