

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN – ĐIỆN TỬ



BÁO CÁO THÍ NGHIỆM THIẾT KẾ VI MẠCH
MINI PROJECT 2

LỚP: L01 ---- NHÓM: 01

STT	Sinh viên thực hiện	Mã số sinh viên
1	Lê Quốc Thái	2114764
2	Nguyễn Khánh Huy	2113510
3	Nguyễn Thành Phát	2114378
4	Nguyễn Ngọc Kiều Duyên	2113053
5	Huỳnh Thịnh Phát	2114369

Thành phố Hồ Chí Minh – 2024

DANH SÁCH THÀNH VIÊN

STT	Sinh viên thực hiện	Mã số sinh viên	Đóng góp
1	Lê Quốc Thái	2114764	100%
2	Nguyễn Khánh Huy	2113510	100%
3	Nguyễn Thành Phát	2114378	100%
4	Nguyễn Ngọc Kiều Duyên	2113053	100%
5	Huỳnh Thịnh Phát	2114369	100%

MỤC LỤC

DANH SÁCH THÀNH VIÊN.....	1
MỤC LỤC	2
DANH MỤC HÌNH ẢNH	3
MINI PROJECT 2: Analyze and design basic Sample and Hold circuit	4
Question 1:.....	4
Question 2:.....	4
DC ANALYSIS:	5
Question 1:.....	5
TRAN ANALYSIS	6
Question 1:.....	6
Question 2:.....	6
Question 3:.....	7
Question 4:.....	8

DANH MỤC HÌNH ẢNH

Hình 1: Waveform of the Sample and Hold circuit	4
Hình 2: Tên và MSSV thành viên trong nhóm	5
Hình 3: DC Analysis	5
Hình 4: DOUTN output Waveform	6
Hình 5: DOUTN output Waveform khi giảm freq	6
Hình 6: DOUTN output Waveform khi giảm cap	7
Hình 7: DC Response	8
Hình 8: Transient Response khi $W=400n$	8
Hình 9: DC Response khi giảm L	9
Hình 10: Transient Response khi $L=30n$	9

MINI PROJECT 2: Analyze and design basic Sample and Hold circuit**Question 1:**

- Khi CLK kích lên (V_{DD}): NMOS transistor bật và V_{in} được lấy mẫu bởi tụ điện C. Điện tích được tạo ra dưới lớp oxide cực gate:

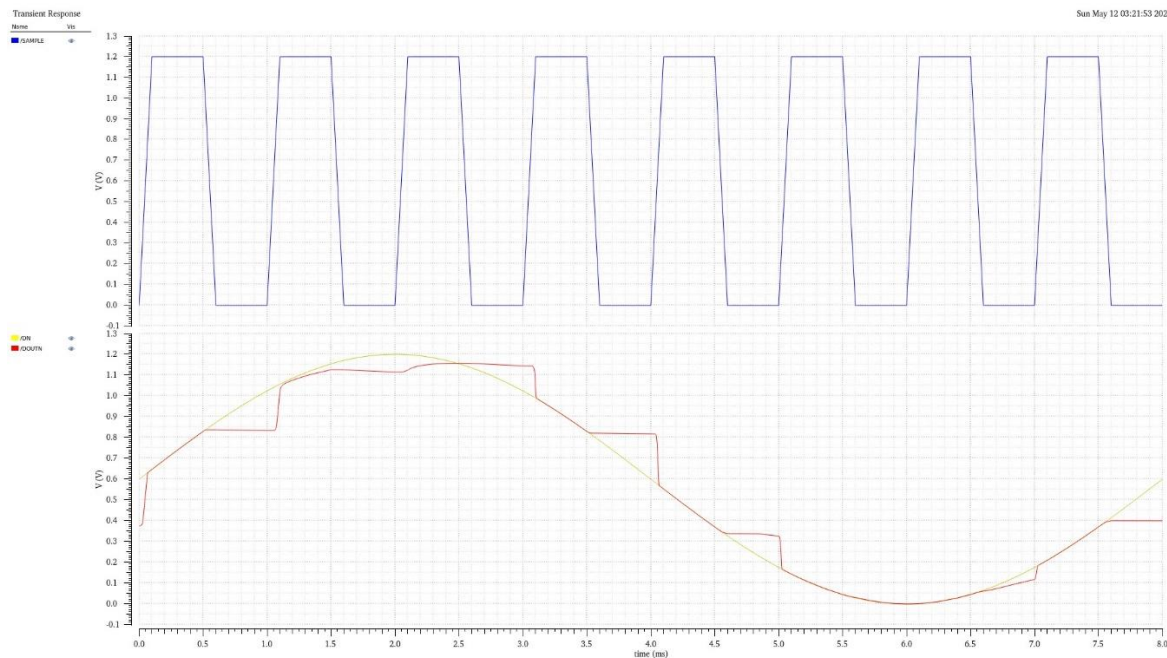
$$Q_{ch} = W.L.C_{ox}.(V_{DD} - V_{in} - V_{tn})$$

- Khi CLK kích xuống: NMOS transistor tắt và điện tích kênh đã được tạo sẽ đi qua tụ. Điện áp đầu ra:

$$V_{out} = V_{in} \left(1 + \frac{WLC_{ox}}{C_s}\right) - \left(\frac{WLC_{ox}}{C_s}\right)(V_{DD} - V_{in})$$

Question 2:

- Nguyên lý của mạch Sample and Hold với điện áp đầu vào vi sai so với mạch ở figure 15.a là đầu vào vi sai giúp loại bỏ nhiễu do xung dòng (charge injection).



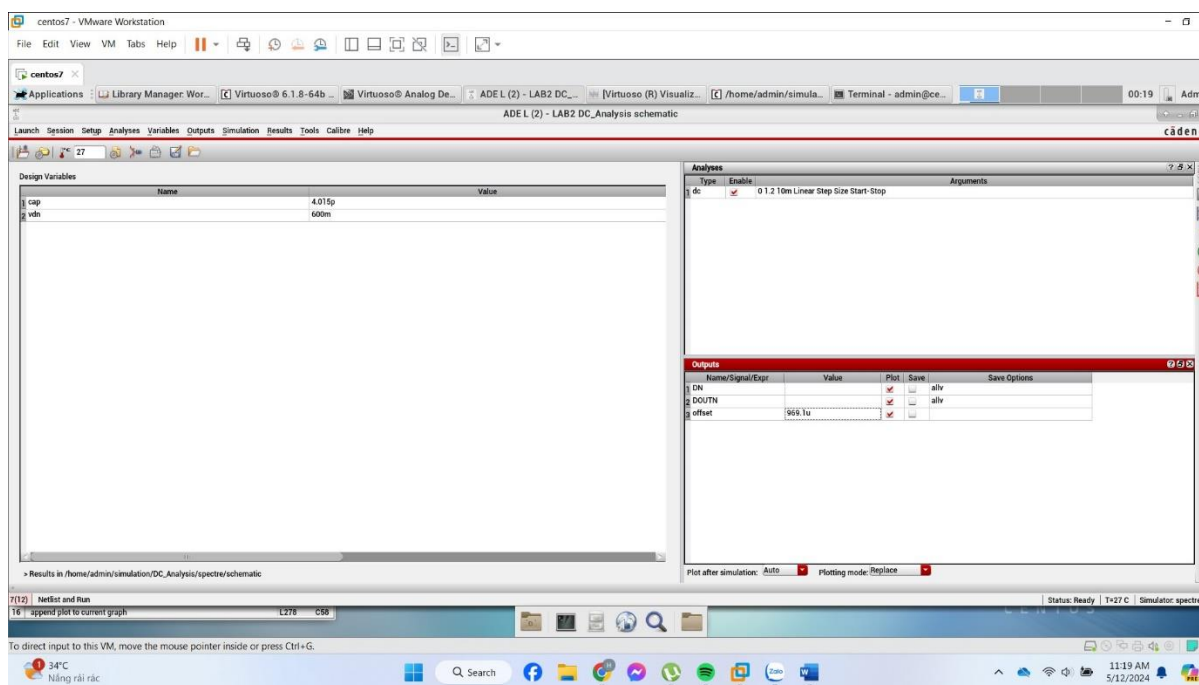
Hình 1: Waveform of the Sample and Hold circuit

DC ANALYSIS:

1	Lê Quốc Thái	2114764
2	Nguyễn Khánh Huy	2113510
3	Nguyễn Thành Phát	2114378
4	Nguyễn Ngọc Kiều Duyên	2113053
5	Huỳnh Thịnh Phát	2114369

$$cap = \frac{4764 + 3510 + 4378 + 3053 + 4365}{5} = 4015 f(F)$$

Hình 2: Tên và MSSV thành viên trong nhóm

Question 1:

Hình 3: DC Analysis

Điện trở của NMOS transistor trong chế độ tuyến tính:

$$R_{ON} = \frac{1}{u_n \cdot C_{ox} \cdot \frac{W}{L} (V_{GS} - V_m)}$$

Điện trở càng lớn thì Vout càng nhỏ

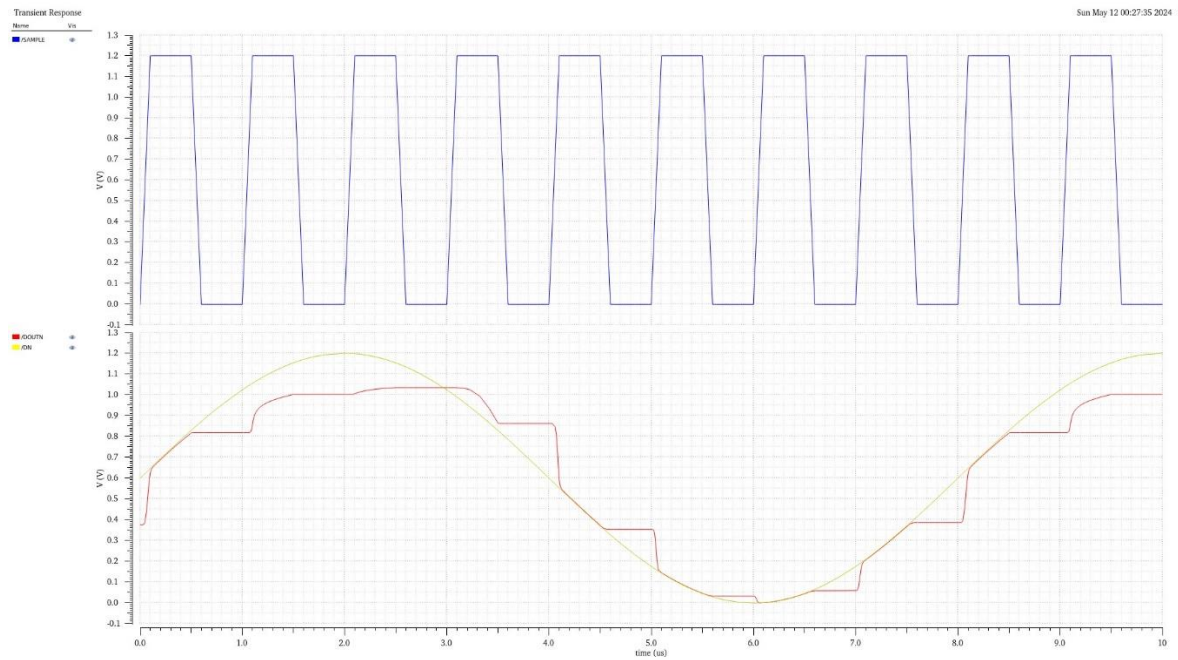
Để giảm Voffset => - Tăng W

- Giảm L

Cụ thể trong trường hợp trên W=120n, L=35n thì $V_{offset_{max}} = 969,1 \mu V$

TRAN ANALYSIS

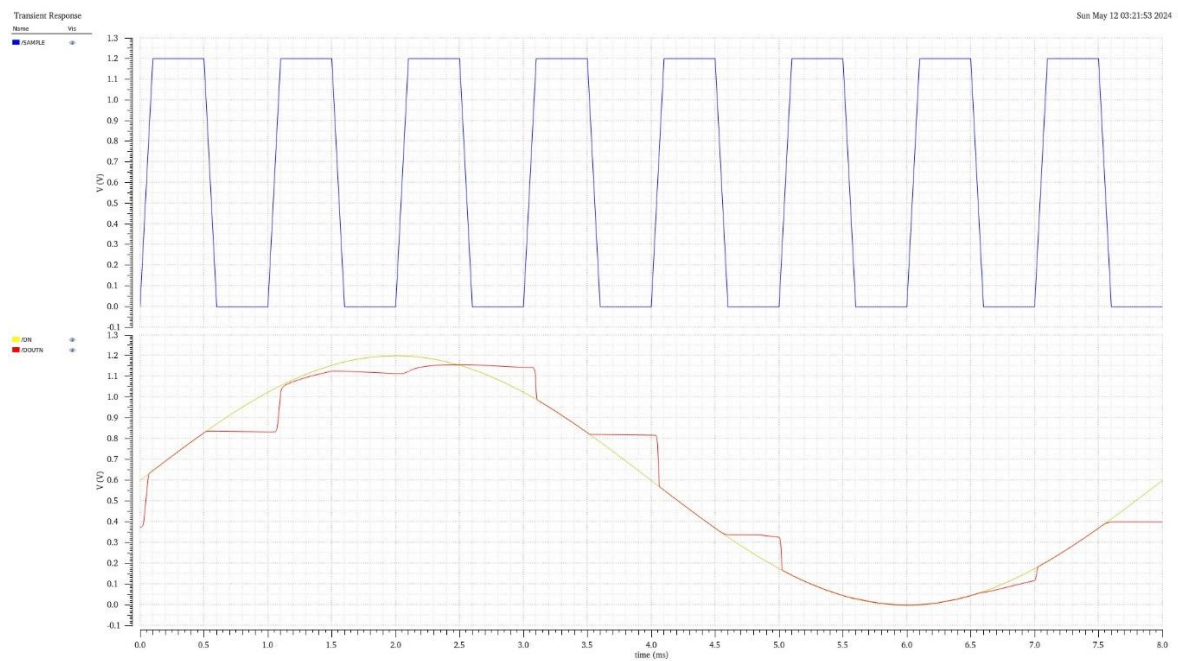
Question 1:



Hình 4: DOUTN output Waveform

Voffset giữa D_n và D_{outn} khi CLK lên cao vẫn còn lớn do K_{ON} vẫn còn lớn

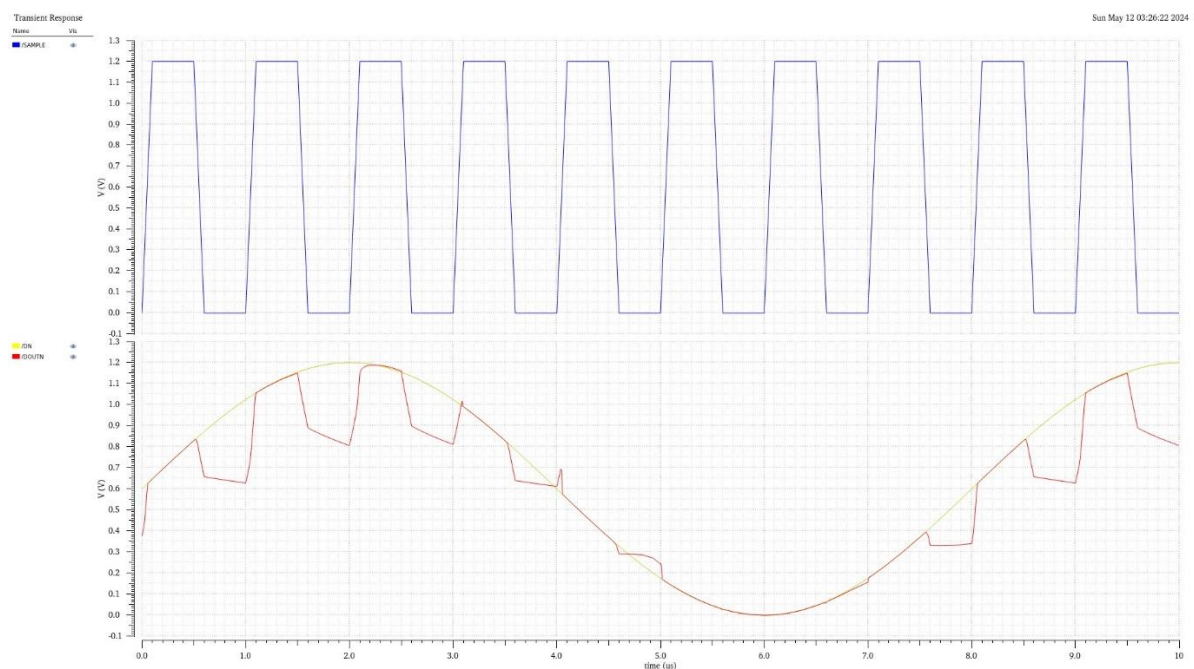
Question 2:



Hình 5: DOUTN output Waveform khi giảm freq

Dạng sóng D_{outn} đã gần giống với D_n hơn khi giảm freq1 từ 1M \rightarrow 1kHz. Vì điện áp được lưu trữ trong tụ, thời gian giữ càng dài tụ càng có nhiều thời gian để giữ chính xác điện áp.

Question 3:



Hình 6: DOUTN output Waveform khi giảm cap

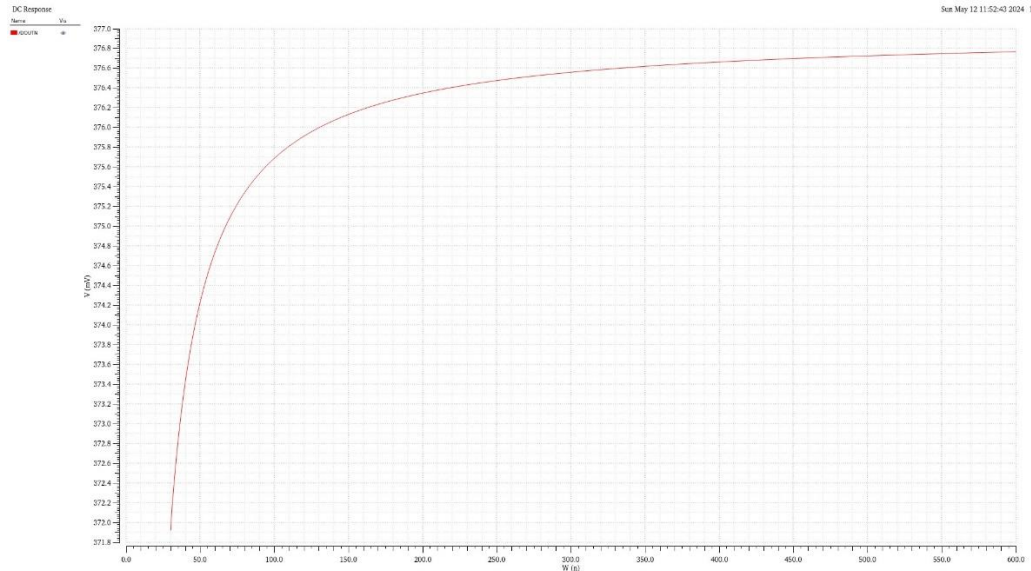
Dạng sóng của D_{outn} khi giảm giá trị của cap từ 4015f \rightarrow 4,015f gần giống với D_n hơn vì

$$V_{offset} = \frac{C_{ov}}{C_{ov} + C}. \text{ Khi giảm } C \rightarrow V_{offset} \text{ giảm.}$$

Question 4:

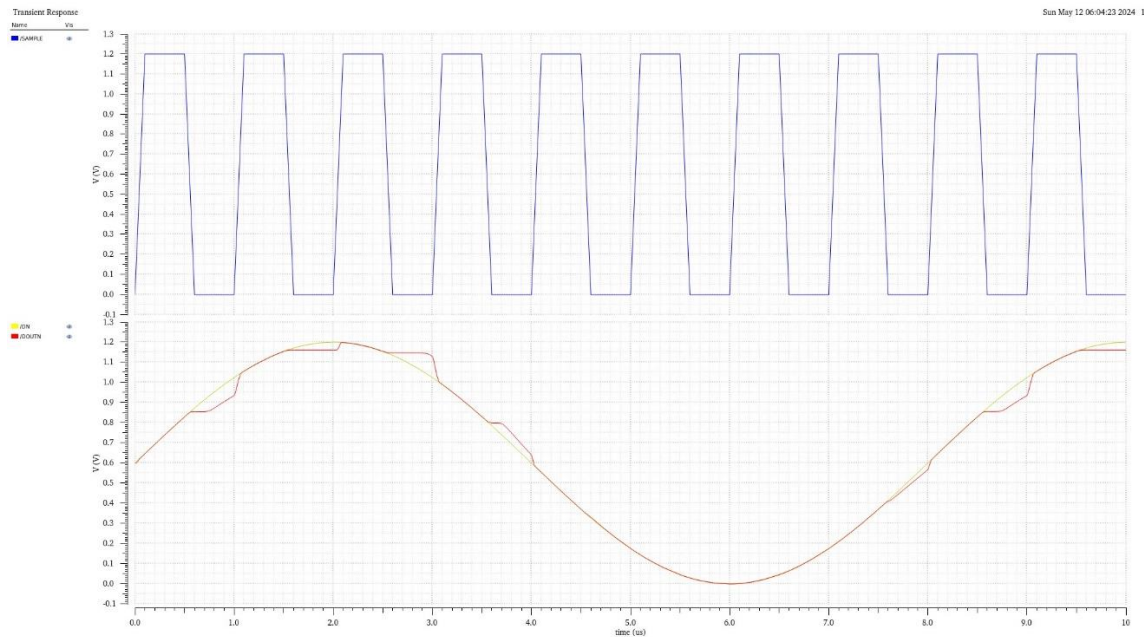
Để thu được dạng sóng chính xác hơn ta có thể:

- Tăng W
- Giảm L



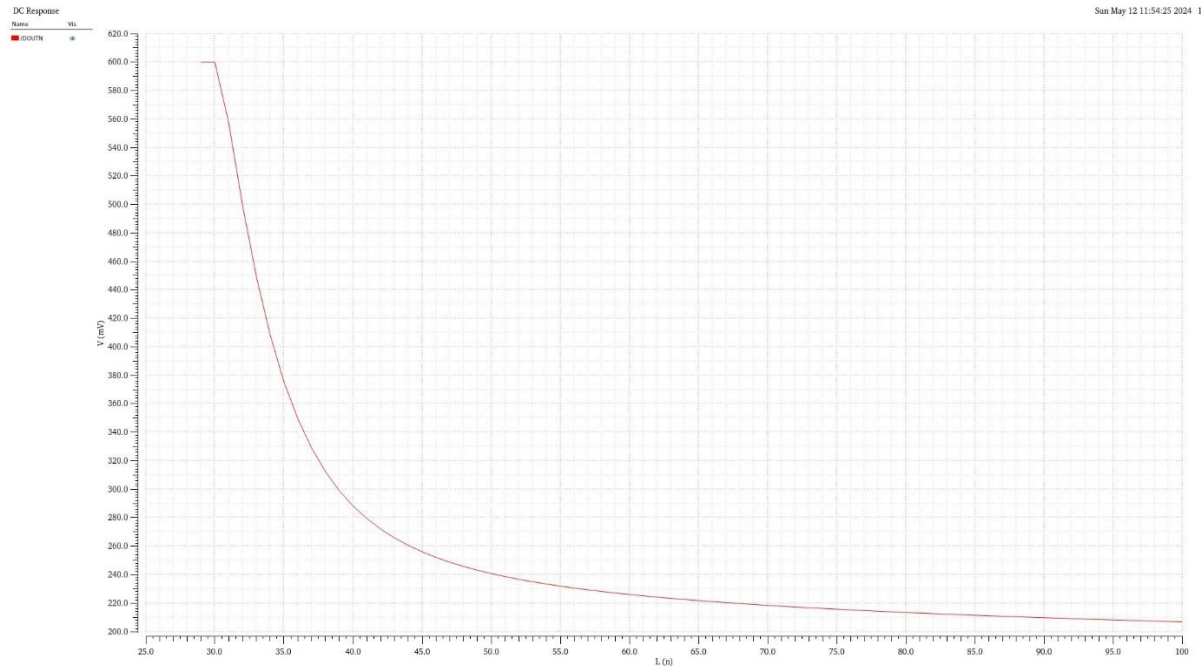
Hình 7: DC Response

Khi tăng W, ta thấy điện áp ngõ ra tăng.



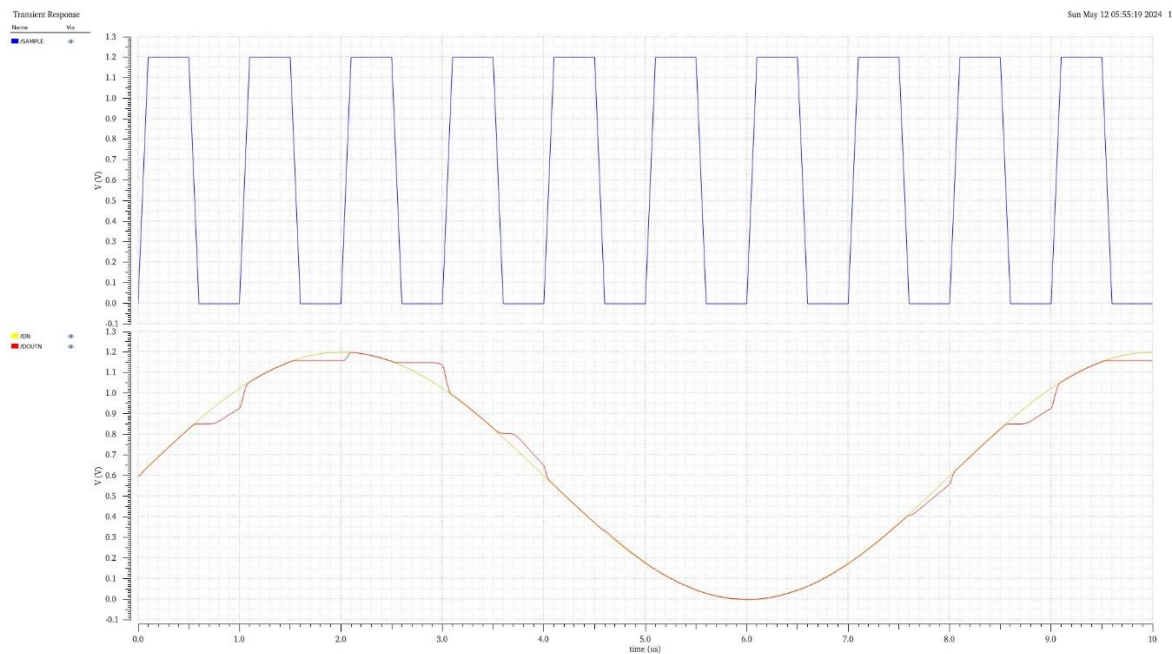
Hình 8: Transient Response khi W=400n

Khi chọn W=400n, dạng sóng có độ chính xác cao.



Hình 9: DC Response khi giảm L

Khi giảm L, ta thấy điện áp D_{outn} tăng.



Hình 10: Transient Response khi $L=30n$

Khi chọn $L=30n$, dạng sóng có độ chính xác cao so với D_n