

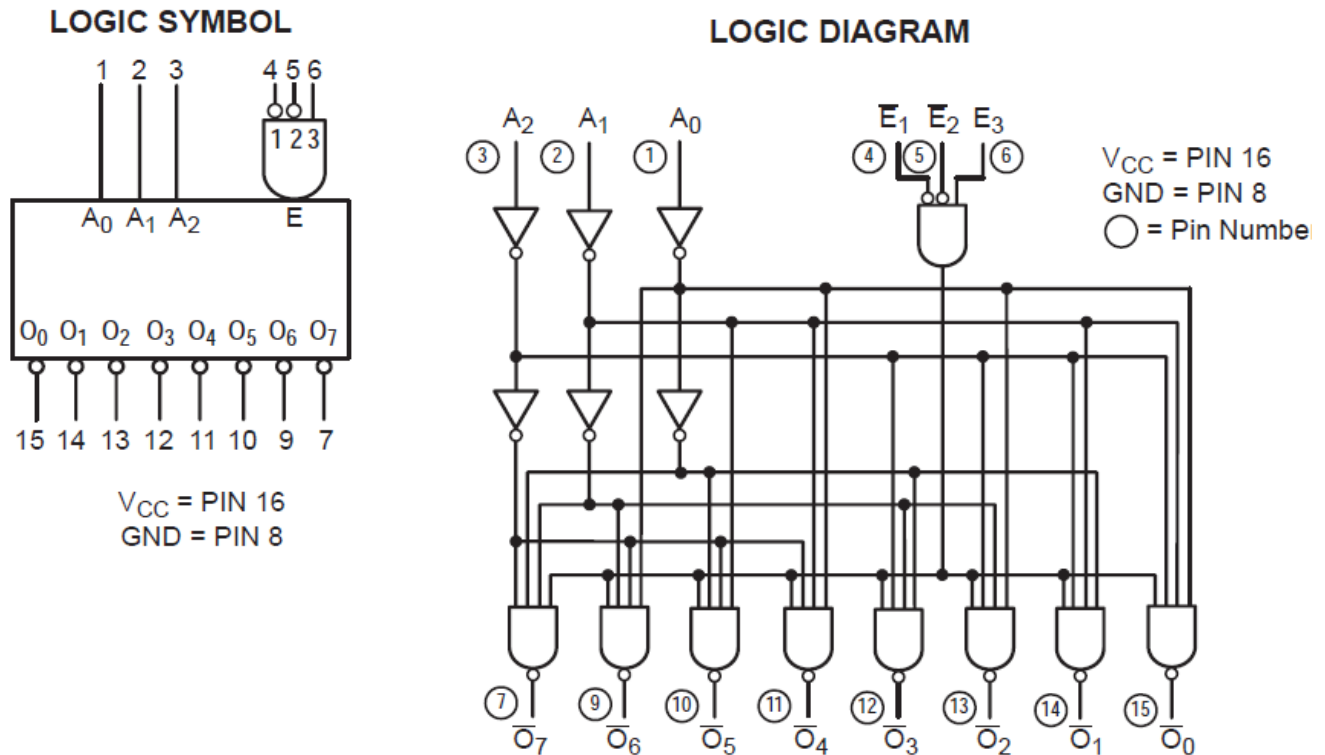
## Bài tập lớn môn Xử lý tín hiệu số với FPGA – HK222

### ❖ Lưu ý:

1. Bài tập lớn được thực hiện theo nhóm, gồm 2 phần: bài tập chung cho tất cả các nhóm (phần code SystemVerilog) và bài tập riêng cho từng nhóm (Nhóm xem làm đúng bài của nhóm mình).
  2. Nội dung file báo cáo bài tập lớn gồm:
    - a. Tên, MSSV và địa chỉ email của tất cả các thành viên nhóm
    - b. Bảng phân công nhiệm vụ cụ thể cho từng thành viên nhóm
    - c. Lời giải chi tiết các bài tập (SV đánh máy).
    - d. Đối với các bài code SystemVerilog :
      - i. Mô tả chi tiết thiết kế: Lý thuyết liên quan, Giải thuật, Sơ đồ khối, ...
      - ii. Chụp hình kết quả dạng sóng mô phỏng
      - iii. Chụp hình kết quả tổng hợp phần cứng trên FPGA (xem ví dụ ở trang bên dưới)
      - iv. Copy code SystemVerilog vào sau mỗi bài. Lưu ý: nhóm nào code giống nhau thì xem như không (0) điểm.
- ➔ Sinh viên nộp file báo cáo dưới định dạng pdf và nộp thông qua hệ thống BKeL.

## A. Phần chung cho tất cả các nhóm

**Bài 1.** Thiết kế mạch giải mã 74138 (đặt tên biến có bù bằng cách thêm “\_n” hay “\_bar” phía sau, TD: ngõ ra  $\overline{O_7}$  có thể dùng danh hiệu  $Q7\_n$  hay  $Q7\_bar$ , dùng Q vì O dễ nhầm số 0).



Hãy viết mã SystemVerilog với các cách sau:

- 1) Dùng mô hình cấu trúc.
- 2) Dùng mô hình luồng dữ liệu.
- 3) Dùng mô hình hành vi.
- 4) Đánh giá tài nguyên phần cứng (xem hình minh họa bên dưới) khi thực thi trên FPGA Cyclone II EP2C35F672C6.

Flow Summary	
Flow Status	Successful - Thu Sep 28 07:37:29 20
Quartus II Version	9.0 Build 132 02/25/2009 SJ Web E
Revision Name	test01
Top-level Entity Name	test01
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	0 / 33,216 (0 %)
Total combinational functions	0 / 33,216 (0 %)
Dedicated logic registers	0 / 33,216 (0 %)
Total registers	0
Total pins	4 / 475 (< 1 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

Ví dụ minh họa về kết quả tổng hợp phần cứng trên FPGA

**Bài 2.** Thiết kế mạch tổ hợp đếm số bit 1 của số nhị phân 3 bit A và ngõ ra là số nhị phân 2 bit Y (TD: A = 011 thì Y = 10; A = 111 thì Y = 11)

Hãy viết mã SystemVerilog mô tả mạch này với các cách sau:

- 1) Dùng mô hình cấu trúc.
- 2) Dùng mô hình luồng dữ liệu.
- 3) Dùng mô hình hành vi.
- 4) Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6

**Bài 3.** Thiết kế mạch đếm lên có modulo chính được (từ 1 đến 15), ngõ vào N dùng để chỉnh modulo.

Thí dụ: N=5 thì ngõ ra Q có chuỗi đếm 0000, 0001, 0010, 0011, 0100, 0000.

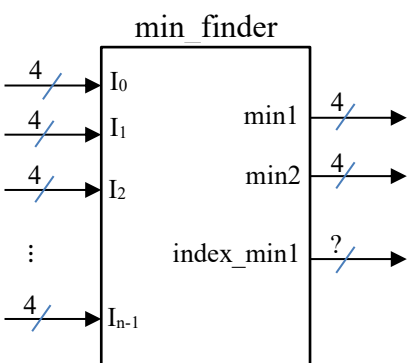
Bộ đếm này dùng xung nhịp CLK tác động cạnh lên và có ngõ reset bất đồng bộ tích cực thấp.

Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6

**Bài 4.** Ta cần thiết kế 1 mạch tuần tự đồng bộ có thể phát hiện chuỗi bit vào liên tiếp là 1010 (ngõ vào 1 bit nối tiếp) và khi có phát hiện thì ngõ ra sẽ là 1. Hãy viết mã Verilog với

- a) Máy trạng thái Moore.
- b) Máy trạng thái Mealy.
- c) Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6

**Bài 5.** Cho sơ đồ khối của hệ thống tìm số nhỏ nhất thứ nhất (*min1*), số nhỏ nhất thứ 2 (*min2*) và vị trí của số nhỏ nhất thứ nhất (*index\_min1*) trong *n* số không dấu ngõ vào như hình bên dưới.



**Lưu ý:**

- Thực thi hệ thống trên với  $n = 10$
- Các ngõ vào  $I_0, I_1, \dots, I_{n-1}$  là các số nhị phân 4 bit không dấu.
- Trường hợp ngõ vào có nhiều hơn 2 giá trị *min1*, thì ngõ ra *index\_min1* chỉ vị trí ngõ vào có chỉ số nhỏ hơn.

**Ví dụ: với  $n = 6$**

$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	min1	min2	index_min1
2	3	1	2	5	6	1	2	2
1	4	2	1	2	12	1	1	0
5	2	10	0	4	1	0	1	3

1. Đề xuất 2 giải thuật thực thi hệ thống trên (sơ đồ khối, giải thích chi tiết).
2. Viết code SystemVerilog mô tả 2 giải thuật đã đề xuất ở trên. Sử dụng phần mềm mô phỏng kiểm tra chức năng hệ thống (chụp lại hình kết quả mô phỏng).
3. Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6

**Bài 6.** Tìm hiểu ít nhất 1 giải thuật và viết code SystemVerilog **tính gần đúng** giá trị  $\log_2(x)$ , với  $x$  là số 16 bit không dấu.

1. Sử dụng phần mềm mô phỏng kiểm tra chức năng hệ thống (chụp lại hình kết quả mô phỏng). Đánh giá sai số giữa kết quả mô phỏng này với kết quả dùng phần mềm Matlab.
2. Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6.

**Bài 7.** Tìm hiểu ít nhất 1 giải thuật và viết code SystemVerilog **tính gần đúng** giá trị của biểu thức  $\sqrt{x^2 + y^2}$ , với  $x$  và  $y$  là các số 16 bit không dấu.

1. Sử dụng phần mềm mô phỏng kiểm tra chức năng hệ thống (chụp lại hình kết quả mô phỏng). Đánh giá sai số giữa kết quả mô phỏng này với kết quả dùng phần mềm Matlab.
2. Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6.

**Bài 8.** Cho 2 số M và N, mỗi số 8 bit không dấu. Thực hiện phép toán cộng:  $M + N$  bằng 2 cách:

- Cách 1: cộng nối tiếp từng bit
- Cách 2: cộng song song (nhiều bit cùng lúc)

1. Viết code SystemVerilog mô tả 2 cách trên. Sử dụng phần mềm mô phỏng kiểm tra chức năng hệ thống (chụp lại hình kết quả mô phỏng).
2. So sánh tài nguyên phần cứng của 2 cách trên khi thực thi trên FPGA Cyclone II EP2C35F672C6.

**Bài 9.** Cho 2 số M và N, mỗi số 8 bit biểu diễn theo số có dấu bù 2. Viết code SystemVerilog thực hiện phép toán nhân:  $M * N$  bằng cách sử dụng giải thuật **Modified Booth Multiplier**

1. Sử dụng phần mềm mô phỏng kiểm tra chức năng hệ thống (chụp lại hình kết quả mô phỏng).
2. Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6.

**Bài 10.** Bài toán GCD (Great Common Divisor = Ước số chung lớn nhất) với giải thuật sau: /

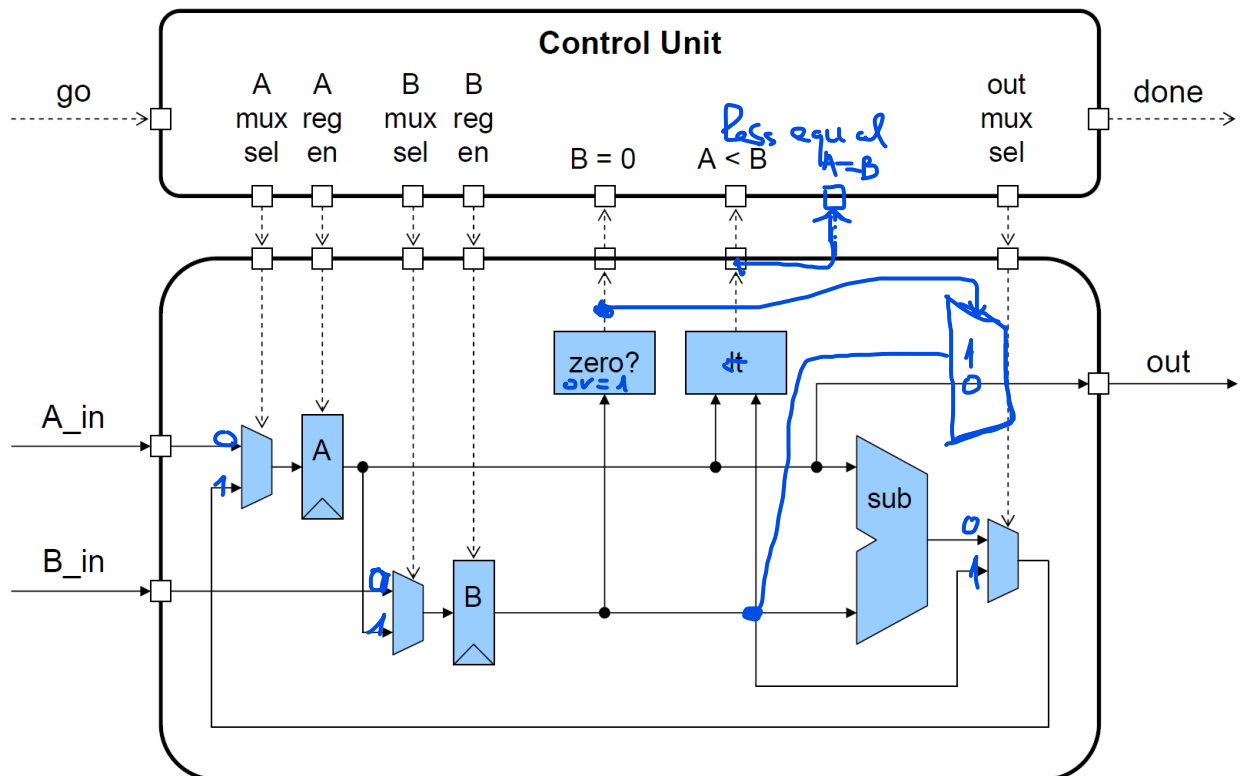
Cho trước pseudocode:

```

a = a_in;
b = b_in;
swap: if (a = b) then
      goto stop;
      else
        if (a < b) then — swap a and b
          a = b; — assume the two operations
          b = a; — can be done in parallel
        end if;
        a = a - b;
        goto swap;
      end if;
stop: r = a;

```

- 1) Hãy viết giải thuật theo kiểu RTL cho giải thuật GCD và viết mã SystemVerilog dùng mô hình hành vi cho giải thuật RTL.
- 2) Phân tích giải thuật trên thành Datapath và Controller rồi viết lại GCD với Datapath và Controller.
- 3) Viết lại mã SystemVerilog với datapath cho trước (khối dưới khối “Control Unit”) sau:
- 4) Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6



**Bài 11.** Hãy viết mã SystemVerilog để thực hiện giải thuật tính tổng tích lũy của  $n$  ( $1 \leq n \leq 255$ ) số 8 bit với dữ liệu vào mỗi lần 1 mẫu (8 bit). Hệ này có ngõ Start (xung 1 trong khoảng thời gian  $> 1$  chu kỳ clock – để cho phép hệ chạy) và Done (=1 khi thực hiện xong).

Thí dụ:  $n = 3$

Trước khi chạy Sum = 0

Lần 1: Mẫu = 10  $\Rightarrow$  Sum = 10

Lần 2: Mẫu = 15  $\Rightarrow$  Sum = 25

Lần 3: Mẫu = 12  $\Rightarrow$  Sum = 37

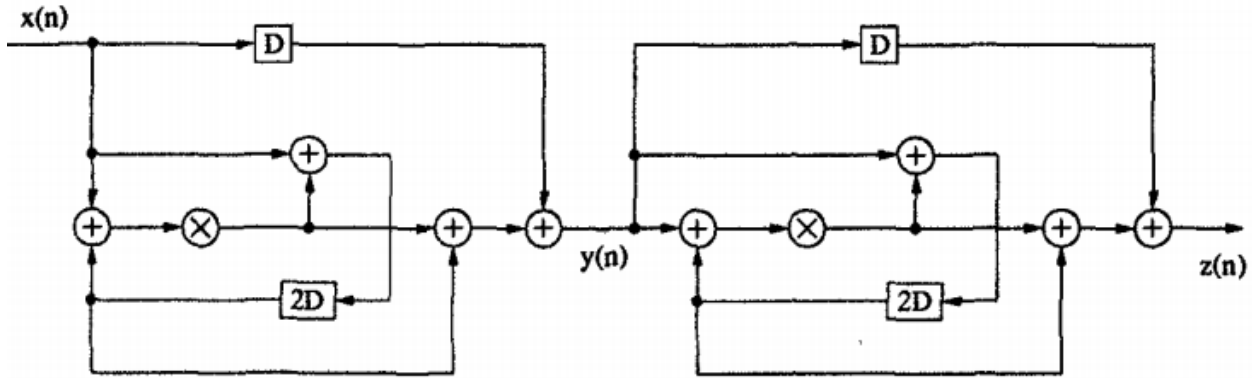
Done = 1

Đánh giá tài nguyên phần cứng khi thực thi trên FPGA Cyclone II EP2C35F672C6

## B. Phần riêng cho từng nhóm

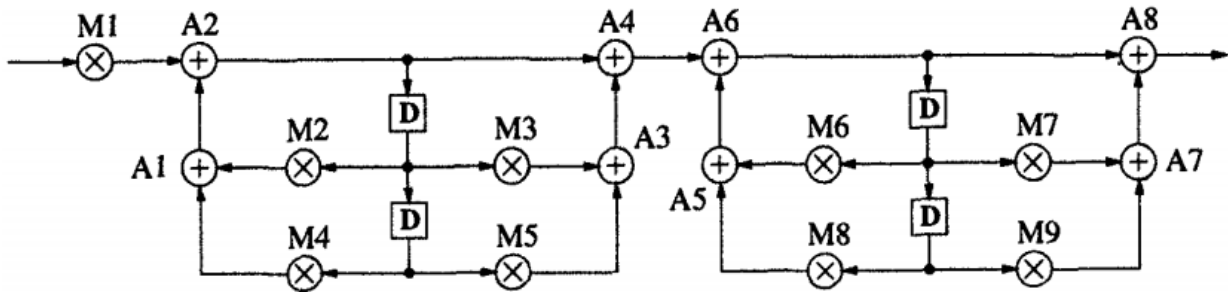
### B.1 – Đề tài nhóm 1

**Bài 1.** Cho sơ đồ DFG của mạch lọc số như hình bên dưới. Giả sử thời gian tính toán của bộ nhân là  $T_M = 20\text{u.t.}$ , và thời gian tính toán của bộ cộng là  $T_A = 8\text{u.t.}$



1. Tính giới hạn lặp  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = T_\infty$

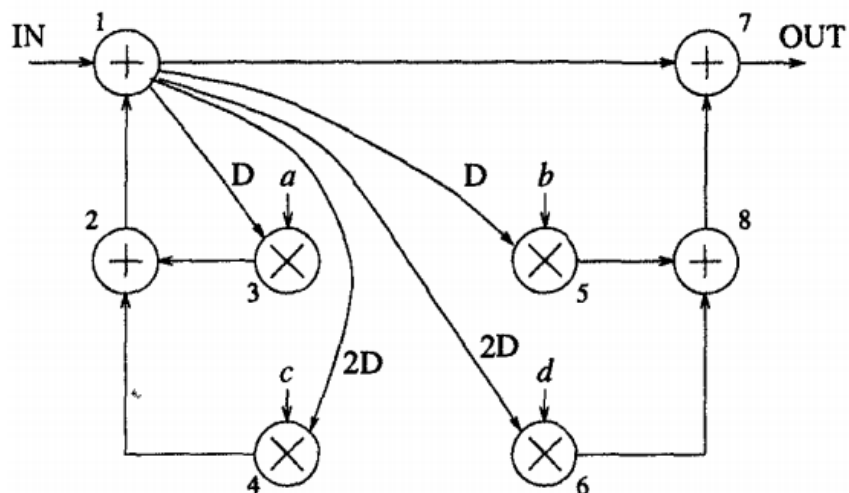
**Bài 2.** Cho sơ đồ DFG của mạch lọc IIR bậc 4 như hình bên dưới. Giả sử thời gian tính toán của bộ nhân là  $T_M = 2\text{u.t.}$ , và thời gian tính toán của bộ cộng là  $T_A = 1\text{u.t.}$



1. Tính giới hạn lặp  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì hệ thống trên sao cho hệ thống hoạt động với chu kỳ xung clock nhỏ nhất có thể.

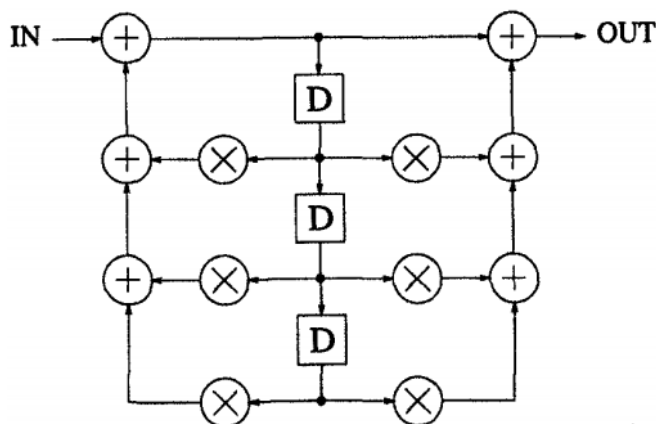
## B.2 – Đề tài nhóm 2

**Bài 1.** Cho sơ đồ DFG của mạch logic như hình bên dưới.



- Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{critical}$ ?
- Tìm sơ đồ DFG sau khi tái định thì của mạch logic trên, biết rằng giá trị tái định thì các nút như sau:  $r(1) = 0, r(2) = 0, r(3) = -1, r(4) = -2, r(5) = -1, r(6) = 0, r(7) = 0$  và  $r(8) = 0$ . Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T'_{critical}$ ?

**Bài 2.** Cho sơ đồ DFG của mạch lọc IIR bậc 3 như hình bên dưới. Giả sử thời gian tính toán của bộ nhân là  $T_M = 2\text{u.t.}$ , và thời gian tính toán của bộ cộng là  $T_A = 1\text{u.t.}$



Tái định thì hệ thống trên với số thanh ghi nhỏ nhất và đạt chu kỳ xung clock nhỏ nhất là  $4u.t$ .

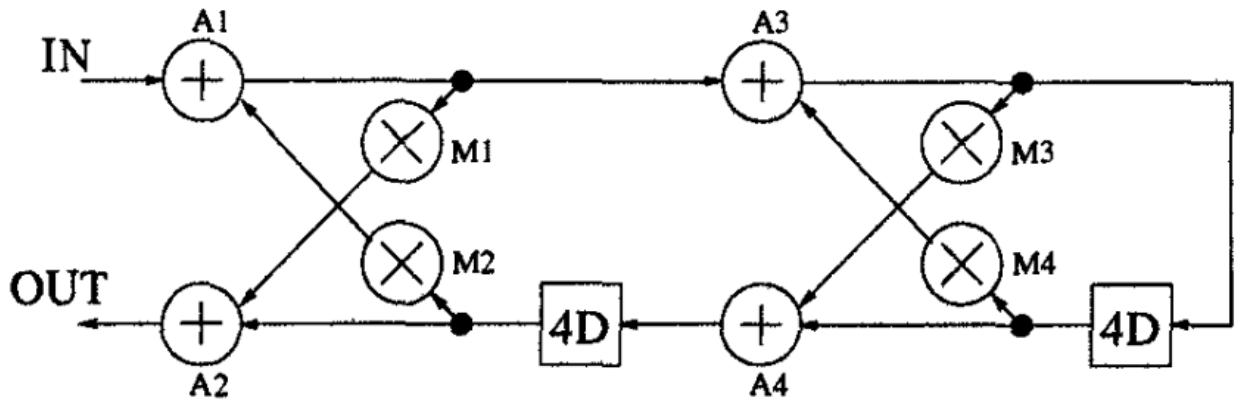


### B.3 – Đề tài nhóm 3

**Bài 1.** Vẽ giản đồ ràng buộc (constraint graph) và sử dụng giải thuật Bellman-Ford để tìm nghiệm của hệ bất phương trình dưới:

$$\begin{aligned} r_1 - r_2 &\leq 1 \\ r_3 - r_1 &\leq 3 \\ r_4 - r_1 &\leq 2 \\ r_4 - r_3 &\leq -1 \\ r_3 - r_2 &\leq 1 \\ r_5 - r_1 &\leq 2 \\ r_3 - r_5 &\leq -1 \\ r_4 - r_5 &\leq -2. \end{aligned}$$

**Bài 2.** Cho sơ đồ DFG của mạch lọc IIR bậc 8 như hình bên dưới. Giả sử thời gian tính toán của bộ nhân là  $T_M = 2\text{u.t.}$ , và thời gian tính toán của bộ cộng là  $T_A = 1\text{u.t.}$



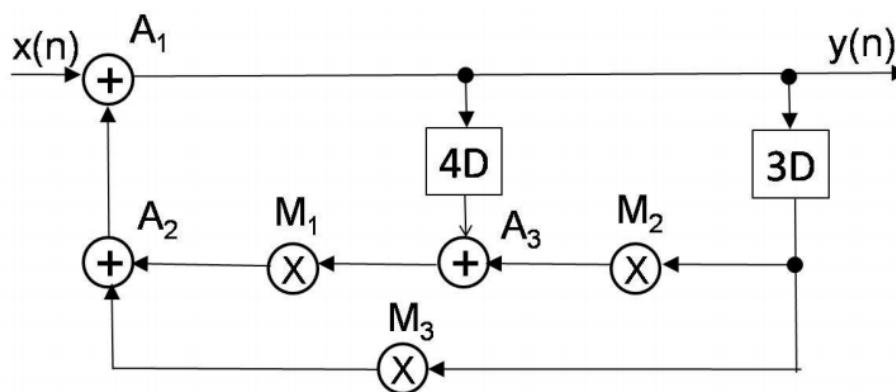
Tái định thì hệ thống trên với số thanh ghi nhỏ nhất và đạt chu kỳ xung clock nhỏ nhất là  $2\text{u.t.}$

## B.4 – Đề tài nhóm 4

**Bài 1.** Vẽ giản đồ ràng buộc (constraint graph) và sử dụng giải thuật Floyd-Warshall để tìm nghiệm của hệ bất phương trình dưới:

$$\begin{aligned} r_1 - r_2 &\leq 1 \\ r_3 - r_1 &\leq 3 \\ r_4 - r_1 &\leq 2 \\ r_4 - r_3 &\leq -1 \\ r_3 - r_2 &\leq 1 \\ r_5 - r_1 &\leq 2 \\ r_3 - r_5 &\leq -1 \\ r_4 - r_5 &\leq -2. \end{aligned}$$

**Bài 2.** Cho sơ đồ DFG của mạch lọc số như hình bên dưới. Giả sử thời gian tính toán của bộ nhân là  $T_M = 2\text{u.t.}$ , và thời gian tính toán của bộ cộng là  $T_A = 1\text{u.t.}$



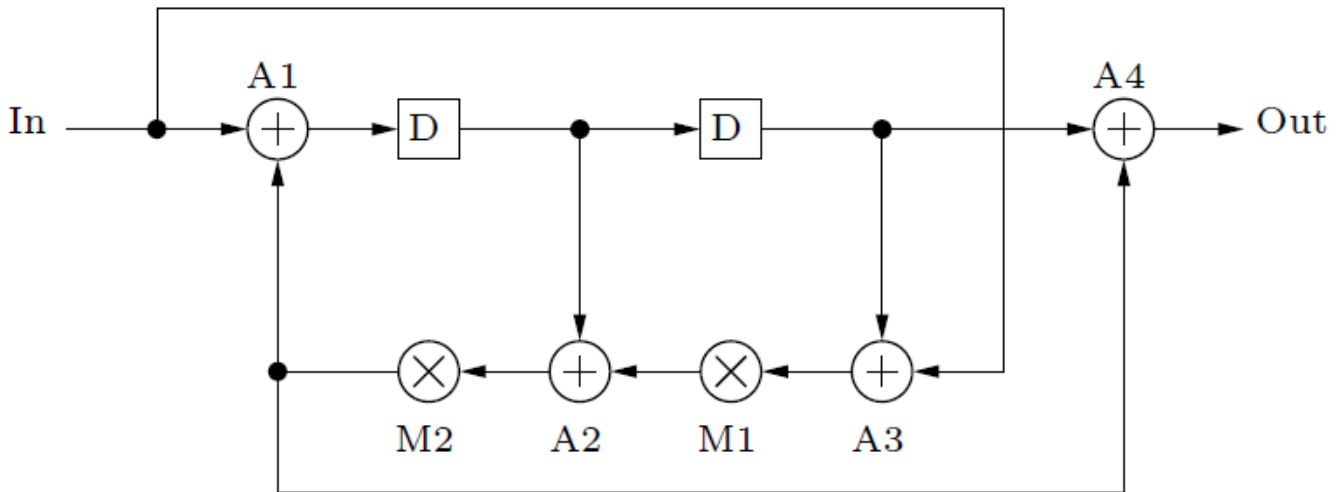
Tái định thì hệ thống trên với số thanh ghi nhỏ nhất và đạt chu kỳ xung clock nhỏ nhất là  $2\text{u.t.}$

## B.5 – Đề tài nhóm 5

**Bài 1.** Vẽ giản đồ ràng buộc (constraint graph) và sử dụng giải thuật Bellman-Ford để tìm nghiệm của hệ bất phương trình dưới:

$$\begin{aligned} r_1 - r_2 &\leq 1 \\ r_3 - r_1 &\leq 3 \\ r_4 - r_1 &\leq 2 \\ r_4 - r_3 &\leq -1 \\ r_3 - r_2 &\leq 1 \\ r_5 - r_1 &\leq 2 \\ r_3 - r_5 &\leq -6 \\ r_4 - r_5 &\leq -2. \end{aligned}$$

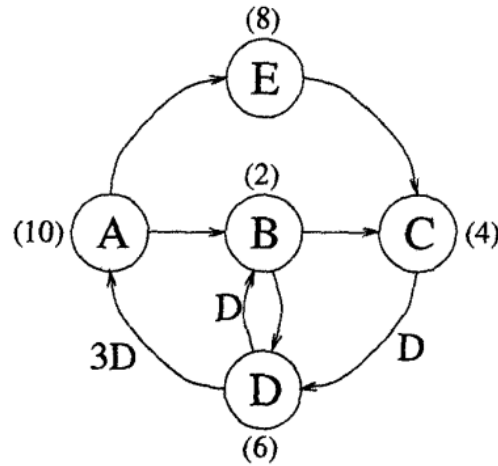
**Bài 2.** Cho sơ đồ DFG của mạch lọc số như hình bên dưới. Giả sử thời gian tính toán của bộ nhân là  $T_M = 2\text{u.t.}$ , và thời gian tính toán của bộ cộng là  $T_A = 1\text{u.t.}$



1. Tính giới hạn lặp  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = T_\infty$

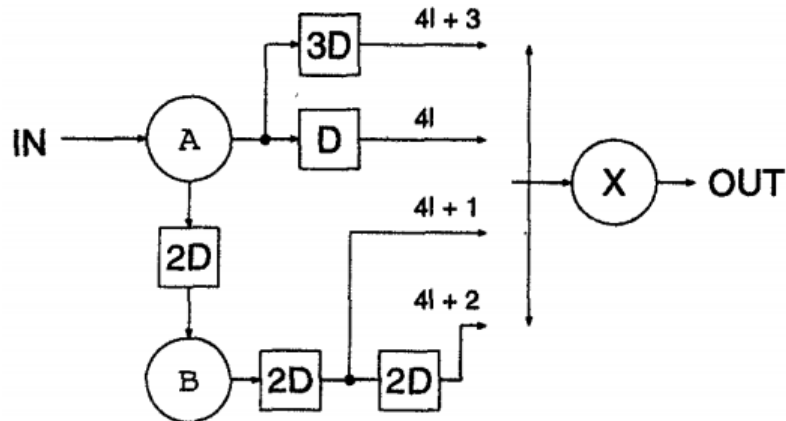
## B.6 – Đề tài nhóm 6

**Bài 1.** Cho trước hệ thống có sơ đồ DFG như hình bên dưới. Thời gian tính toán của các nút được cho bởi số trong dấu ngoặc () (ví dụ : (2) = 2 u.t.)



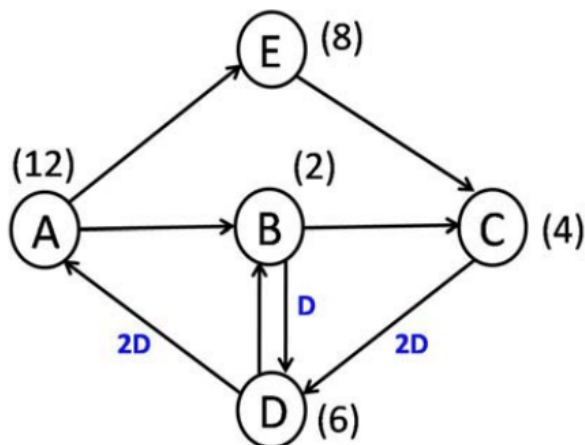
1. Tính giới hạn lặp  $T_{\infty}$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = 10$  u.t.

**Bài 2.** Hãy trải (Unfold) hệ thống DFG bên dưới với hệ số trải  $J = 3$ .



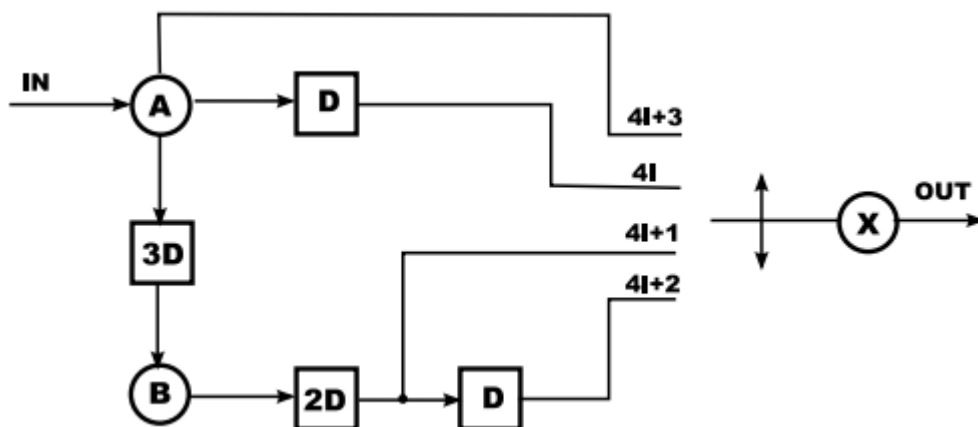
## B.7 – Đề tài nhóm 7

**Bài 1.** Cho trước hệ thống có sơ đồ DFG như hình bên dưới. Thời gian tính toán của các nút được cho bởi số trong dấu ngoặc () (ví dụ : (2) = 2 u.t.)



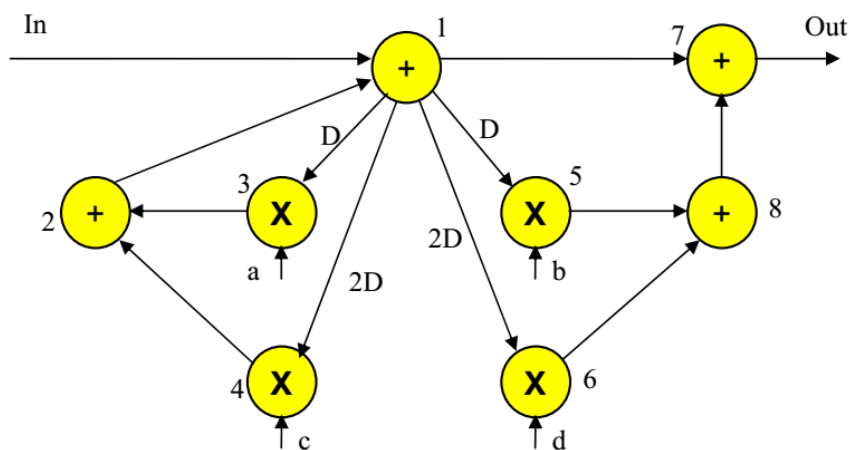
1. Tính giới hạn lặp  $T_{\infty}$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = 10$  u.t.

**Bài 2.** Hãy trải (Unfold) hệ thống DFG bên dưới với hệ số trải  $J = 3$ .



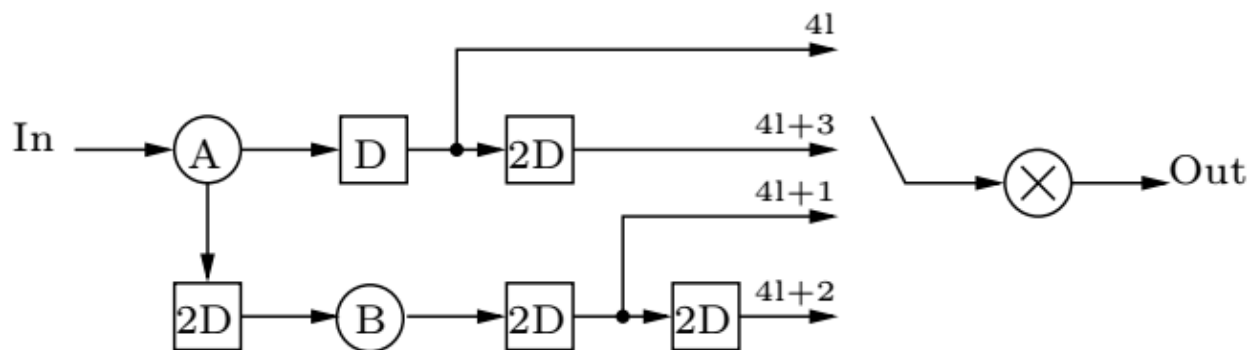
## B.8 – Đề tài nhóm 8

**1. Bài 1.** Cho trước hệ thống có sơ đồ DFG như hình bên dưới. Giả sử  $T_A = 2$  u.t. và  $T_M = 5$  u.t.



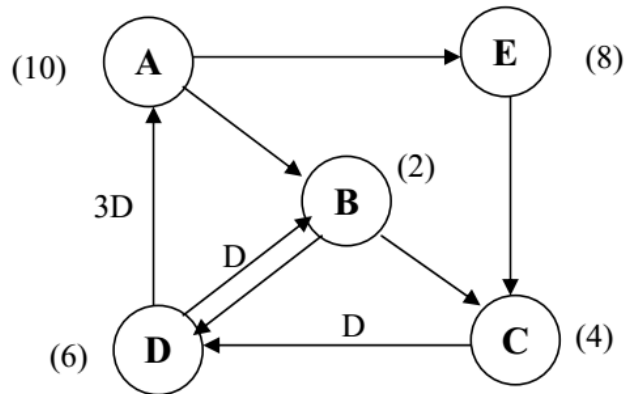
1. Tính giới hạn lặp  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{critical}$ ?
3. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{critical} = T_\infty$  (ở câu 1)

**Bài 2.** Hãy trải (Unfold) hệ thống DFG bên dưới với hệ số trải  $J = 3$ .



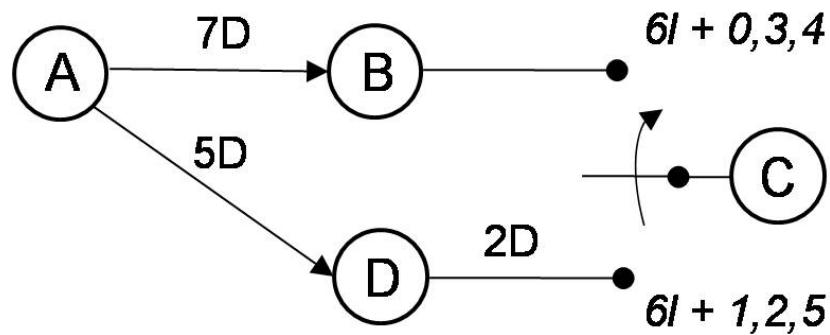
## B.9 – Đề tài nhóm 9

**Bài 1.** Cho trước hệ thống có sơ đồ DFG như hình bên dưới. Thời gian tính toán của các nút được cho bởi số trong dấu ngoặc () (ví dụ : (2) = 2 u.t.)



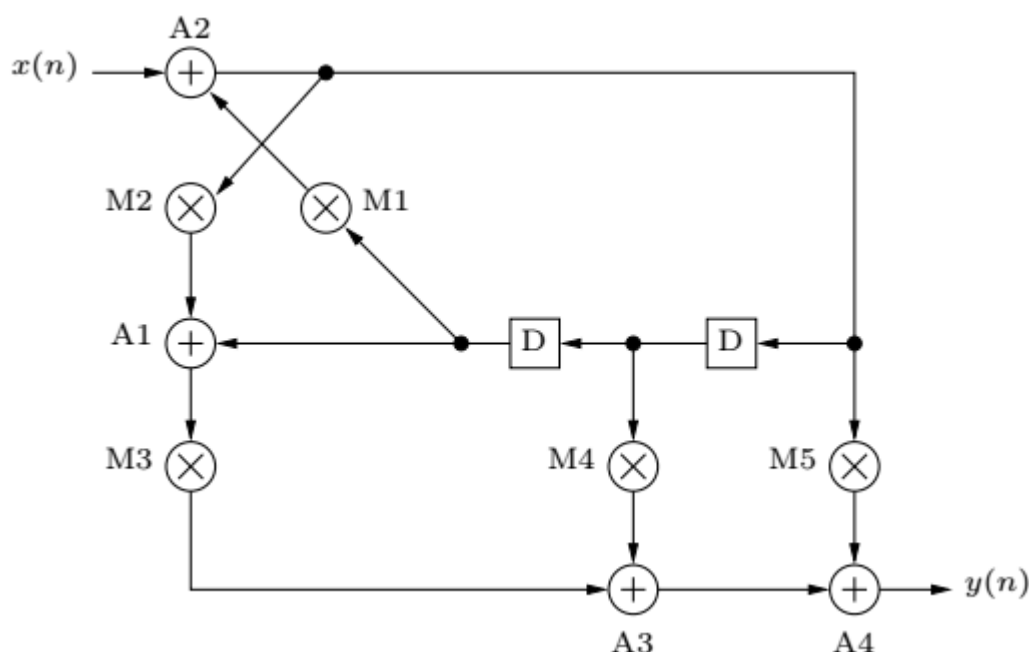
1. Tính giới hạn lặp  $T_{\infty}$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = T_{\infty}$  (ở câu 1)

**Bài 2.** Hãy trải (Unfold) hệ thống DFG bên dưới với hệ số trải  $J = 3$ .



### B.10 – Đề tài nhóm 10

Cho trước mạch logic có sơ đồ DFG như hình bên dưới.



Mỗi bộ nhân được pipeline 2 tầng và phép toán nhân cần 2 u.t., mỗi bộ cộng được pipeline 1 tầng và phép toán cộng cần 1 u.t. Thực hiện gấp (fold) DFG này với hệ số gấp  $N = 2$  với các tập gấp sau ( $-$  là ký hiệu cho phép toán rỗng):

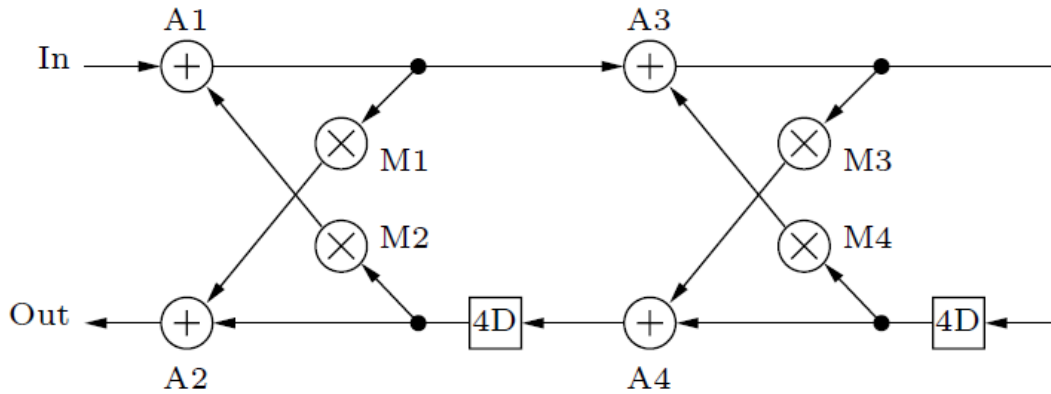
$$\begin{array}{lll} S_{A1} = \{A2, A1\} & S_{A2} = \{A3, A4\} & \\ S_{M1} = \{M1, M2\} & S_{M2} = \{M3, M4\} & S_{M3} = \{—, M5\} \end{array}$$

1. Tính giới hạn lập  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì (nếu cần) sao cho các phương trình gấp  $D_F$  có trì hoãn không âm.
4. Giả sử chưa áp dụng kỹ thuật tối thiểu hóa số thanh ghi, vẽ sơ đồ thiết kế DFG đã được tái định thì với hệ số gấp  $N = 2$ .
5. Lập bảng thời gian sống (lifetime table), biểu đồ thời gian sống (lifetime chart), bảng cấp phát thanh ghi thuận-nghịch (forward-backward register allocation) và vẽ sơ đồ khối thiết kế DFG đã được tái định thì (hệ số gấp  $N = 2$ ) trong trường hợp áp dụng kỹ thuật tối thiểu hóa số thanh ghi. Nhân xét về số thanh ghi cần dùng so với trường hợp trên?



## B.11 – Đề tài nhóm 11

Cho trước mạch lọc số có sơ đồ DFG như hình bên dưới.



Mỗi bộ nhân được pipeline 2 tầng và phép toán nhân cần 2 u.t., mỗi bộ cộng được pipeline 1 tầng và phép toán cộng cần 1 u.t. Thực hiện gấp (fold) DFG này với hệ số gấp  $N = 2$  với các tập gấp sau:

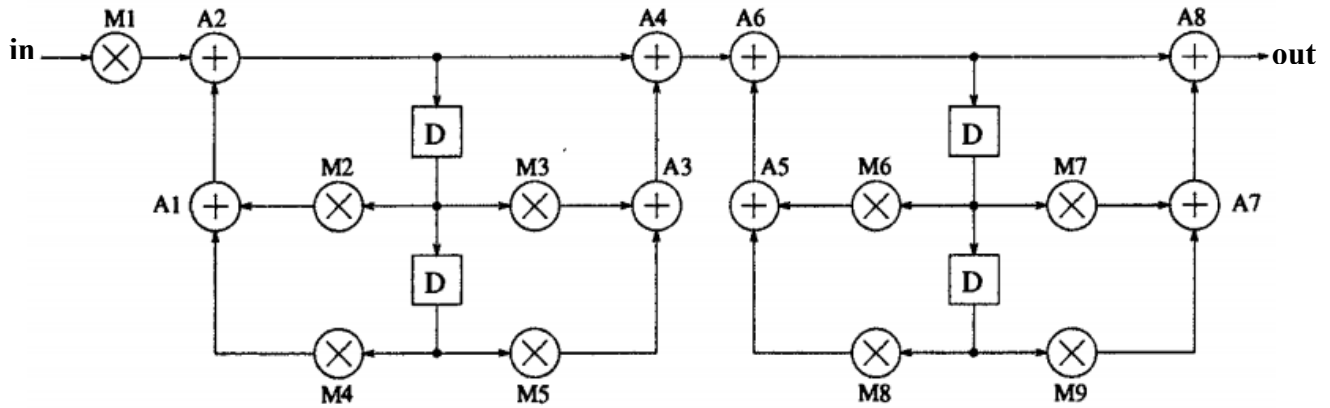
$$S_{M1} = \{M2, M1\}; S_{M2} = \{M3, M4\};$$

$$S_{A1} = \{A1, A2\}; S_{A2} = \{A4, A3\}$$

1. Tính giới hạn lặp  $T_{\infty}$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{critical}$ ?
3. Tái định thì (nếu cần) sao cho các phương trình gấp  $D_F$  có trị hoãn không âm.
4. Giả sử chưa áp dụng kỹ thuật tối thiểu hóa số thanh ghi, vẽ sơ đồ thiết kế DFG đã được tái định thì với hệ số gấp  $N = 2$ .
5. Lập bảng thời gian sống (lifetime table), biểu đồ thời gian sống (lifetime chart), bảng cấp phát thanh ghi thuận-nghịch (forward-backward register allocation) và vẽ sơ đồ khối thiết kế DFG đã được tái định thì (hệ số gấp  $N = 2$ ) trong trường hợp áp dụng kỹ thuật tối thiểu hóa số thanh ghi. Nhận xét về số thanh ghi cần dùng so với trường hợp trên?

## B.12 – Đề tài nhóm 12

Cho trước mạch lọc số có sơ đồ DFG như hình bên dưới.



Mỗi bộ nhân được pipeline 2 tầng và phép toán nhân cần 2 u.t., mỗi bộ cộng được pipeline 1 tầng và phép toán cộng cần 1 u.t. Thực hiện gấp (fold) DFG này với hệ số gấp  $N = 5$  với các tập gấp sau ( $\emptyset$  là ký hiệu cho phép toán rỗng):

$$S_{M1} = \{M_2, M_1, M_3, M_6, M_7\}$$

$$S_{M2} = \{M_4, \phi, M_5, M_8, M_9\}$$

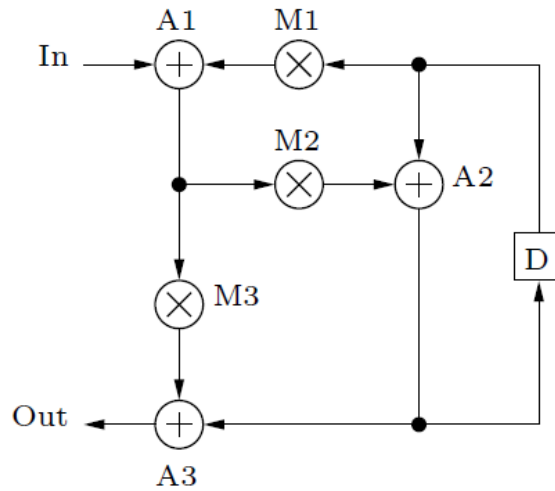
$$S_{A1} = \{A_4, \phi, A_1, A_2, A_3\}$$

$$S_{A2} = \{A_5, A_6, A_7, A_8, \phi\}$$

1. Tính giới hạn lặp  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{critical}$ ?
3. Tái định thì (nếu cần) sao cho các phương trình gấp  $D_F$  có trị hoãn không âm.
4. Giả sử chưa áp dụng kỹ thuật tối thiểu hóa số thanh ghi, vẽ sơ đồ thiết kế DFG đã được tái định thì với hệ số gấp  $N = 5$ .
5. Lập bảng thời gian sống (lifetime table), biểu đồ thời gian sống (lifetime chart), bảng cấp phát thanh ghi thuận-nghịch (forward-backward register allocation) và vẽ sơ đồ khối thiết kế DFG đã được tái định thì (hệ số gấp  $N = 5$ ) trong trường hợp áp dụng kỹ thuật tối thiểu hóa số thanh ghi. Nhận xét về số thanh ghi cần dùng so với trường hợp trên?

### B.13 – Đề tài nhóm 13

Cho trước mạch lọc số có sơ đồ DFG như hình bên dưới.



Mỗi bộ nhân được pipeline 2 tầng và phép toán nhân cần 2 u.t., mỗi bộ cộng được pipeline 1 tầng và phép toán cộng cần 1 u.t. Thực hiện gấp (fold) DFG này với hệ số gấp  $N = 6$  với các tập gấp sau (– là ký hiệu cho phép toán rỗng):

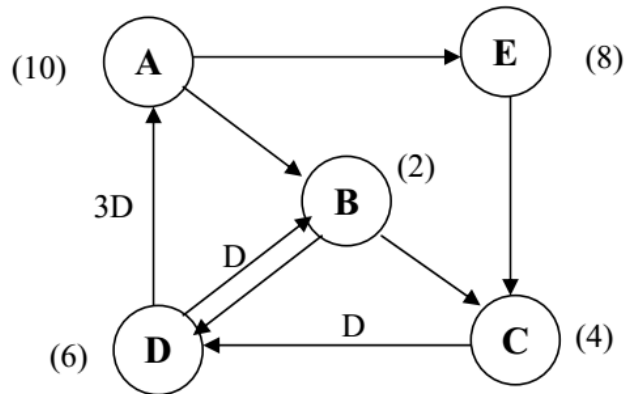
$$S_M = \{-, M2, M3, -, M1, -\}$$

$$S_A = \{A1, -, -, A2, A3, -\}$$

1. Tính giới hạn lặp  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{critical}$ ?
3. Tái định thì (nếu cần) sao cho các phương trình gấp  $D_F$  có trì hoãn không âm.
4. Giả sử chưa áp dụng kỹ thuật tối thiểu hóa số thanh ghi, vẽ sơ đồ thiết kế DFG đã được tái định thì với hệ số gấp  $N = 6$ .
5. Lập bảng thời gian sống (lifetime table), biểu đồ thời gian sống (lifetime chart), bảng cấp phát thanh ghi thuận-nghịch (forward-backward register allocation) và vẽ sơ đồ khối thiết kế DFG đã được tái định thì (hệ số gấp  $N = 6$ ) trong trường hợp áp dụng kỹ thuật tối thiểu hóa số thanh ghi. Nhận xét về số thanh ghi cần dùng so với trường hợp trên?

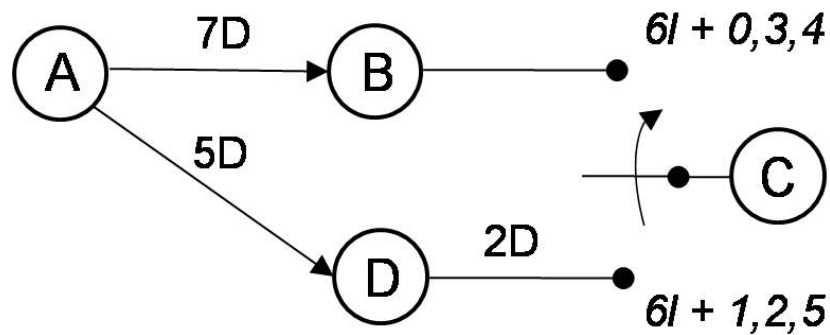
## B.14 – Đề tài nhóm 14

**Bài 1.** Cho trước hệ thống có sơ đồ DFG như hình bên dưới. Thời gian tính toán của các nút được cho bởi số trong dấu ngoặc () (ví dụ : (2) = 2 u.t.)



1. Tính giới hạn lặp  $T_{\infty}$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
2. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
3. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = T_{\infty}$  (ở câu 1)

**Bài 2.** Hãy trải (Unfold) hệ thống DFG bên dưới với hệ số trải  $J = 3$ .

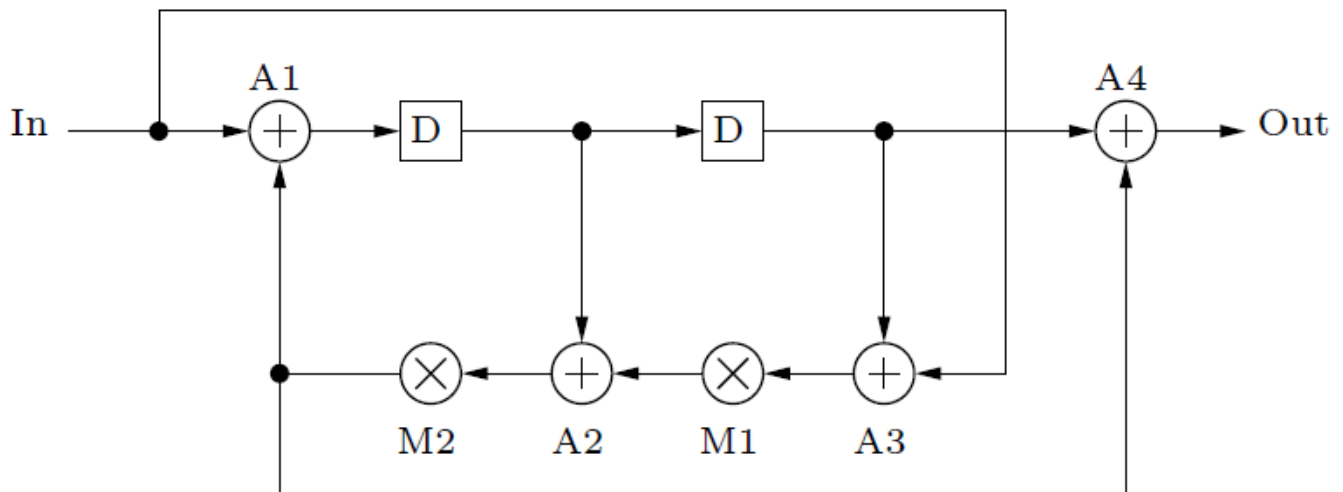


## B.15 – Đề tài nhóm 15

**Bài 1.** Vẽ giản đồ ràng buộc (constraint graph) và sử dụng giải thuật Bellman-Ford để tìm nghiệm của hệ bất phương trình dưới:

$$\begin{aligned}r_1 - r_2 &\leq 1 \\r_3 - r_1 &\leq 3 \\r_4 - r_1 &\leq 2 \\r_4 - r_3 &\leq -1 \\r_3 - r_2 &\leq 1 \\r_5 - r_1 &\leq 2 \\r_3 - r_5 &\leq -6 \\r_4 - r_5 &\leq -2.\end{aligned}$$

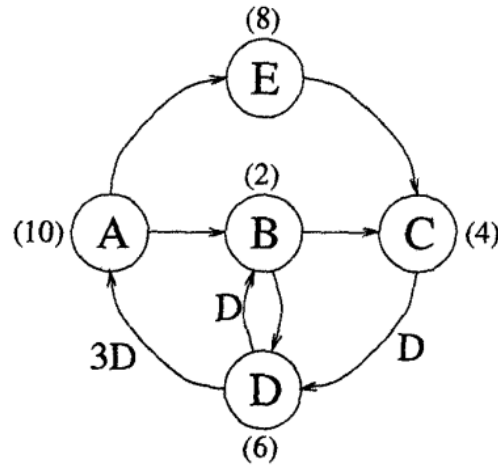
**Bài 2.** Cho sơ đồ DFG của mạch lọc số như hình bên dưới. Giả sử thời gian tính toán của bộ nhân là  $T_M = 2\text{u.t.}$ , và thời gian tính toán của bộ cộng là  $T_A = 1\text{u.t.}$



4. Tính giới hạn lặp  $T_\infty$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
5. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
6. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = T_\infty$

## B.16 – Đề tài nhóm 16

**Bài 1.** Cho trước hệ thống có sơ đồ DFG như hình bên dưới. Thời gian tính toán của các nút được cho bởi số trong dấu ngoặc () (ví dụ : (2) = 2 u.t.)



4. Tính giới hạn lặp  $T_{\infty}$  bằng quan sát và giải thuật LPM (Sinh viên tự quy ước cách đánh số thứ tự các phần tử delay).
5. Chỉ ra (các) đường tới hạn và thời gian tính toán tới hạn  $T_{\text{critical}}$ ?
6. Tái định thì hệ thống trên sao cho đường tới hạn mới  $T'_{\text{critical}} = 10$  u.t.

**Bài 2.** Hãy trải (Unfold) hệ thống DFG bên dưới với hệ số trải  $J = 3$ .

