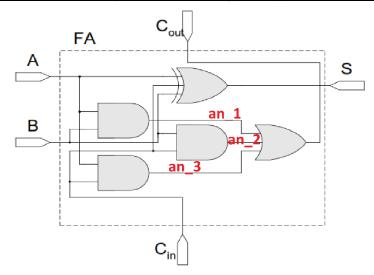
Ερωτήματα:

1. a) structural περιγραφή του full adder

Σχήμα Full Adder με τα αντίστοιχα ονόματα καλωδίων:



Κώδικας Verilog του αρχείου FAStruct.v:

```
module FAStruct(input a,b,cin,output sum,cout);
  wire an_1,an_2,an_3;
  and(an_1,a,b);
  and(an_3,a,cin);
  and(an_2,b,cin);
  or(cout,an_1,an_2,an_3);
  xor(sum,a,b,cin);
endmodule
```

β) behavioral περιγραφή του full adder

Κώδικας Verilog του αρχείου FABehav.v:

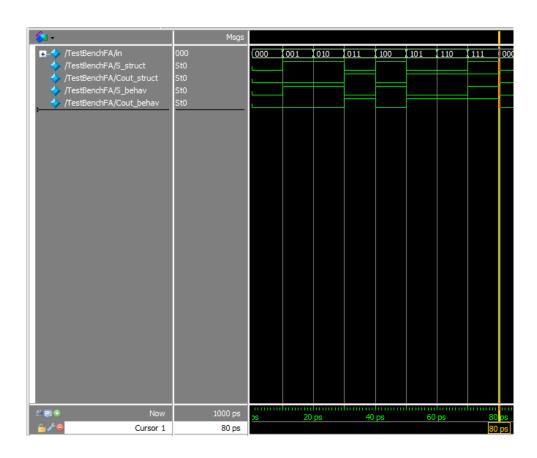
```
module FABehav(input a,b,cin,output sum,cout);
  assign {cout,sum} = a + b + cin;
endmodule
```

2. Στην συνέχεια εξομοιώνουμε και τις δύο περιγραφές με το παρακάτω test bench.

Κώδικας Verilog του αρχείου TestBenchFA.v:

```
module TestBenchFA;
  reg [2:0] in;
  wire S_struct, Cout_struct;
  wire S_behav, Cout_behav;
  FAStruct fa0(in[2], in[1], in[0], S_struct, Cout_struct);
  FABehav fa1(in[2], in[1], in[0], S_behav, Cout_behav);
  initial
    in = 3'b000;
  always
  #10 in = in + 1;
endmodule
```

Παρακάτω φαίνονται τα σήματα που παίρνουμε για τις εξόδους S, Cout για όλες τις τιμές τριών bit του in και για τις δύο περιγραφές. Τα S_struct, Cout_struct αφορούν την structural περιγραφή, ενώ τα S_behav Cout_behav αφορούν την behavioral περιγραφή.



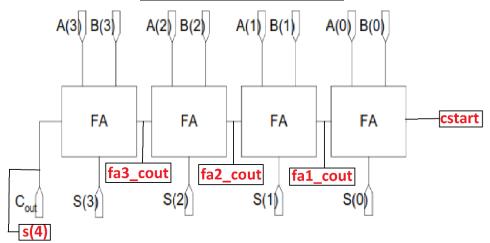
Παρατηρούμε πως και στις δύο περιγραφές παίρνουμε ακριβώς τα ίδια σήματα το οποίο είναι αναμενόμενο αφού περιγράφουμε ακριβώς το ίδιο κύκλωμα. Τέλος συγκρίνουμε τα αποτελέσματα με τον πίνακα αλήθειας του full adder που φαίνεται παρακάτω.

Πίνακας αλήθειας του Full Adder

A	В	Cin	Sum	Cout			
0	0	0	0	0			
0	0	1	1	0			
0	1	0	1	0			
0	1	1	0	1			
1	0	0	1	0			
1	0	1	0	1			
1	1	0	0	1			
1	1	1	1	1			

3. Σύμφωνα με το παρακάτω σχήμα του 4-bit ripple carry adder που μας δίνεται φτιάχνουμε το αντίστοιχο αρχείο Verilog.

4-bit Ripple Carry Adder



Κώδικας Verilog του αρχείου FourBitRippleCarryAdder.v:

```
module FourBitRippleCarryAdder(a,b,cstart,s);
output [4:0] s;
input [3:0] a,b;
input cstart;
wire fa1_Cout,fa2_Cout,fa3_Cout;
FABehav fa1(a[0], b[0], cstart, s[0], fa1_Cout);
FABehav fa2(a[1], b[1], fa1_Cout, s[1], fa2_Cout);
FABehav fa3(a[2], b[2], fa2_Cout, s[2], fa3_Cout);
FABehav fa4(a[3], b[3], fa3_Cout, s[3], s[4]);
endmodule
```

Στην συνέχεια προχωράμε σε εξομοίωση όλων των δυνατών συνδυασμών a,b αριθμών των 4άρων bit χρησιμοποιώντας το test bench που φαίνεται παρακάτω.

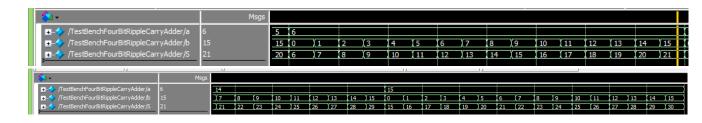
Κώδικας Verilog του αρχείου

TestBenchFourBitRippleCarryAdder.v:

```
module TestBenchFourBitRippleCarryAdder; reg [3:0] a,b; wire [4:0] S; FourBitRippleCarryAdder fbrca(a,b,1'b0,S); initial begin a=4'b0000; b=4'b0000; end always #160 a <= a + 1; always #10 b <= b + 1; endmodule
```

Παρακάτω βλέπουμε ενδεικτικά 3 screenshots από την εξομοίωση.

€1+	Msgs																
I — ♦ /TestBenchFourBitRippleCarryAdder/a	6	2															
≖ - ∜ /TestBenchFourBitRippleCarryAdder/b	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	(15
→ /TestBenchFourBitRippleCarryAdder/S	21	2	(3	4	5	6	7	8	9	10	11	12	13	14	15	16	17



4. Τέλος χρησιμοποιώντας δύο 4-bit αθροιστές που φτιάξαμε στο 3° ερώτημα δημιουργούμε έναν 8-bit αθροιστή.

Κώδικας Verilog του αρχείου EightBitRippleCarryAdder.v:

```
module EightBitRippleCarryAdder(a,b,cstart,s);
output [8:0] s;
input [7:0] a,b;
input cstart;
wire [9:0] c;
FourBitRippleCarryAdder fbrca1(a[3:0],b[3:0],cstart,c[4:0]);
FourBitRippleCarryAdder fbrca2(a[7:4],b[7:4],c[4],c[9:5]);
assign s[3:0]=c[3:0];
assign s[8:4]=c[9:5];
endmodule
```

Κώδικας Verilog του αρχείου

TestBenchEightBitRippleCarryAdder.v:

```
module TestBenchEightBitRippleCarryAdder; reg [7:0] a,b; wire [8:0] S; EightBitRippleCarryAdder ebrca(a,b,1'b0,S); initial begin a=8'b000000000; b=8'b00001111; end always \#20 a <= a + 1; always \#10 b <= b + 1; endmodule
```

Παρακάτω φαίνονται 3 ενδεικτικά screenshots από την εξομοίωση του 8-bit αθροιστή:

