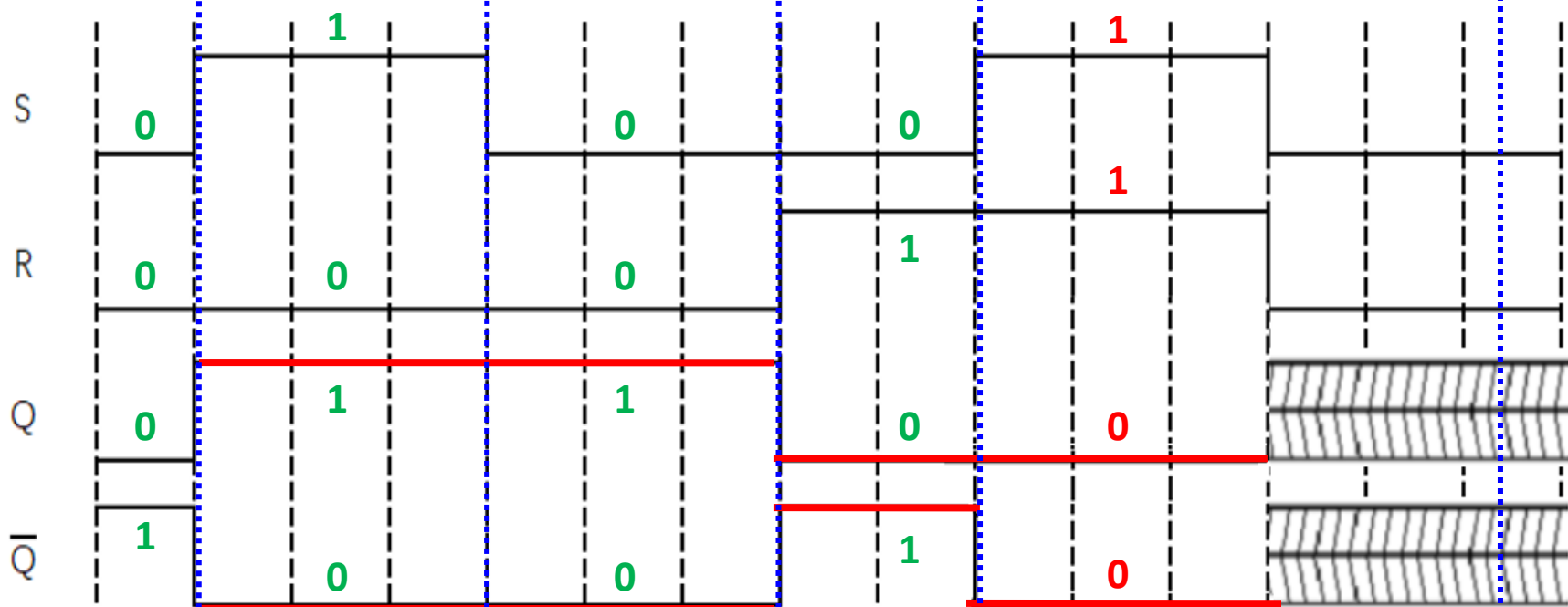
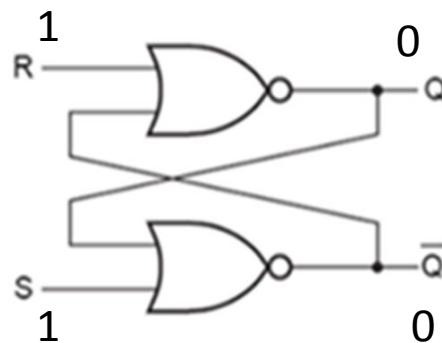


4 假设 SR 锁存器的输入端  $S$ 、 $R$  的波形如图 4.27 所示，图中信号的上升延迟和下降延迟设为 0，要求画出图 4.27 中输出端  $Q$  和  $\bar{Q}$  的输出波形。

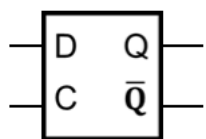


$S=R=1$ 之后， $Q$ 和 $\bar{Q}$ 都为0  
造成后续的错误

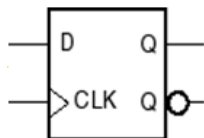
5 假设 D 锁存器和 D 触发器的各输入端波形分别如图 4.28a 和 b 所示，图中信号的上升延迟和下降延迟设为 0，并且不考虑逻辑门的传输延迟，要求画出图 4.28a 和 b 中输出端  $Q$  和  $\bar{Q}$  的输出波形。

假设 D 锁存器的控制端 C 为高电平有效，D 触发器是上升沿触发，则它们的输出波形图如下：

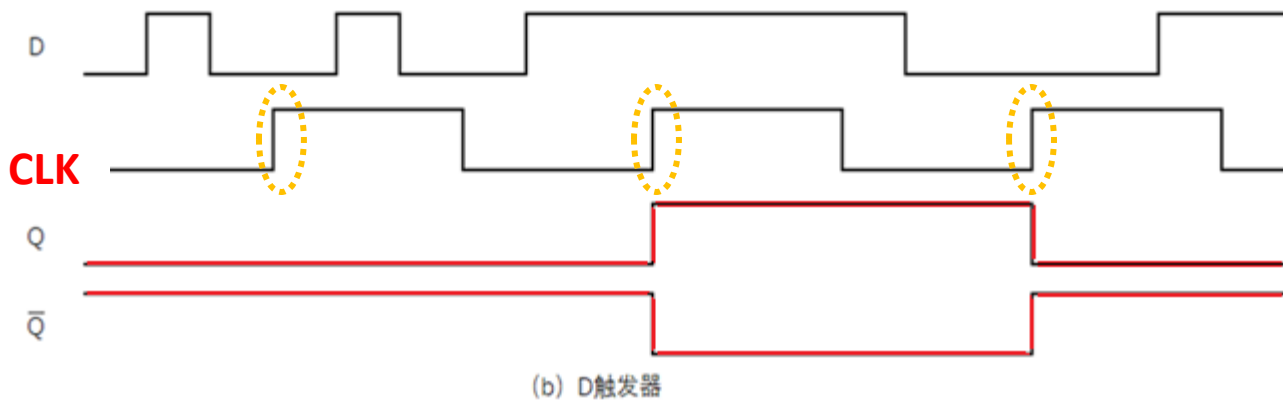
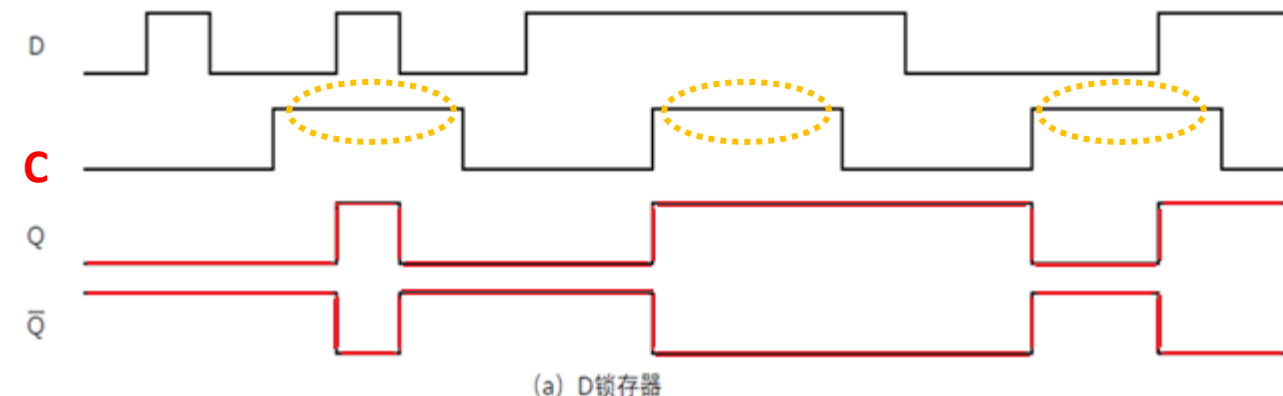
D在C高电平之前稳定  
或者  
D在C高电平之后变化  
都会改变Q



$Q = D$



$Q = D$



只有D先稳定，CLK边沿随后到来（D继续保持稳定一会），才会改变Q

6 请用带使能端的 T 触发器和组合逻辑构造 D 触发器。

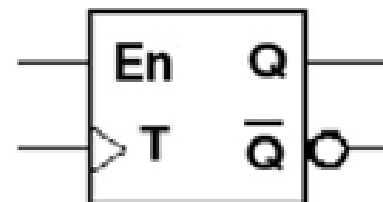
D 触发器的次态方程  $Q^*=D$ ；使能 T 触发器的次态方程为： $Q^*=\overline{EN}\cdot Q+EN\cdot\overline{Q}$ 。

根据这两个次态方程得到以下表中的结果：

不管原来的Q是0还是1，时钟到来之后Q\*就必须=D

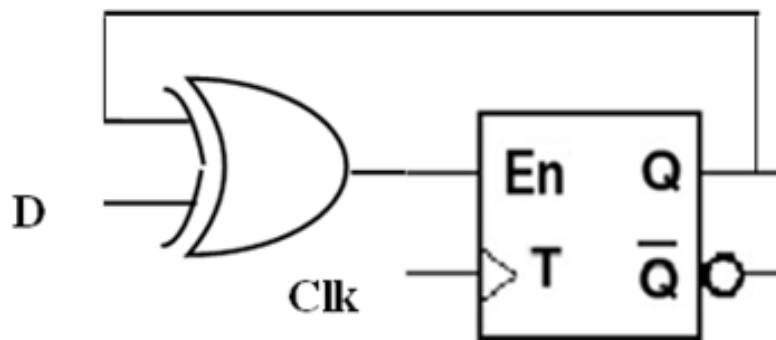
所以，不能允许T触发器的Q\*在每次时钟到来之后都反转

所以，增加D输入端，利用D和原来的Q对EN进行控制，从而控制Q\*



Q	D	Q*	EN
0	0	0	0
0	1	1	1
1	0	0	1
1	1	1	0

当Q=0时，如果D=0，那么Q\*必须=0，所以EN要为0



由此可以推得： $EN=\overline{D}\cdot Q+D\cdot\overline{Q}$ 。（也可以由  $z=x\oplus y\rightarrow x=z\oplus y\rightarrow y=z\oplus x$  推出）

9 请用尽量少的 D 触发器实现一个能检测输入信号 X 中是否出现“110”序列的电路。若出现“110”序列，则输出 Z 为 1，否则 Z 为 0。请分析你实现的电路是否能够自启动。如果 D 触发器的个数没有限制，你是否有更简洁的实现方案？

根据题意设计如下状态表：

现态 Y	次态 Y*/输出 Z	
	X=0	X=1
S0（初态）	S0 / Z=0	S1 / Z=0
S1（检测到第一位 1）	S0 / Z=0	S2 / Z=0
S2（检测到两位 11）	S0 / Z=1	S2 / Z=0

根据次优状态分配策略，  
三个状态都有编码相邻的需求，  
设置 S0 为 00，S1 为 01，S2 为 10  
得到如下状态转换表：

状态转移表			
Y0	Y1	X	Y0*Y1*Z
0	0	0	0 0 0
0	0	1	0 1 0
0	1	0	0 0 0
0	1	1	1 0 0
1	0	0	0 0 1
1	0	1	1 0 0
1	1	0	d d d
1	1	1	d d d

考察状态变化情况：当电路处于 11 状态时，  
若 X=0，则经过一个时钟周期，电路状态回到初态 00。  
若 X=1，则经过一个时钟周期，电路变成 10（S2）状态，  
此时若再输入 X=1，则出现两个连续的 1，变成 S2 状态；  
若再输入 X=0，则经过一个时钟周期，回到初态 00。

考察输出 Z 的情况：当电路处于 11 状态时，  
若 X=0，则输出 Z=1，输出错误。  
因此，输出逻辑应调整为：  
 $Z = \overline{X} \cdot Y0 \cdot \overline{Y1}$

分析未用状态  
： Y0Y1=11

利用无关项进行化简，可得如下次态函数：

$$Y0^* = X \cdot Y1 + X \cdot Y0 = X \cdot (Y1 + Y0)$$

$$Y1^* = X \cdot \overline{Y0} \cdot \overline{Y1}$$

$$Z = \overline{X} \cdot Y0$$

不化简:  $Y0^* = XY0\sim Y1 + XY0Y1\sim$

化简:  $Y0^* = X \cdot Y1 + X \cdot Y0 = X \cdot (Y1 + Y0)$

**Y0\***

X \ Y0Y1				
	00	01	11	10
0			d	
1		1	d	1

考试时是否有唯一正确的做法，我们会提前说明

状态转移表

Y0	Y1	X	Y0*Y1*Z
0	0	0	0 0 0
0	0	1	0 1 0
0	1	0	0 0 0
0	1	1	1 0 0
1	0	0	0 0 1
1	0	1	1 0 0
1	1	0	d d d
1	1	1	d d d

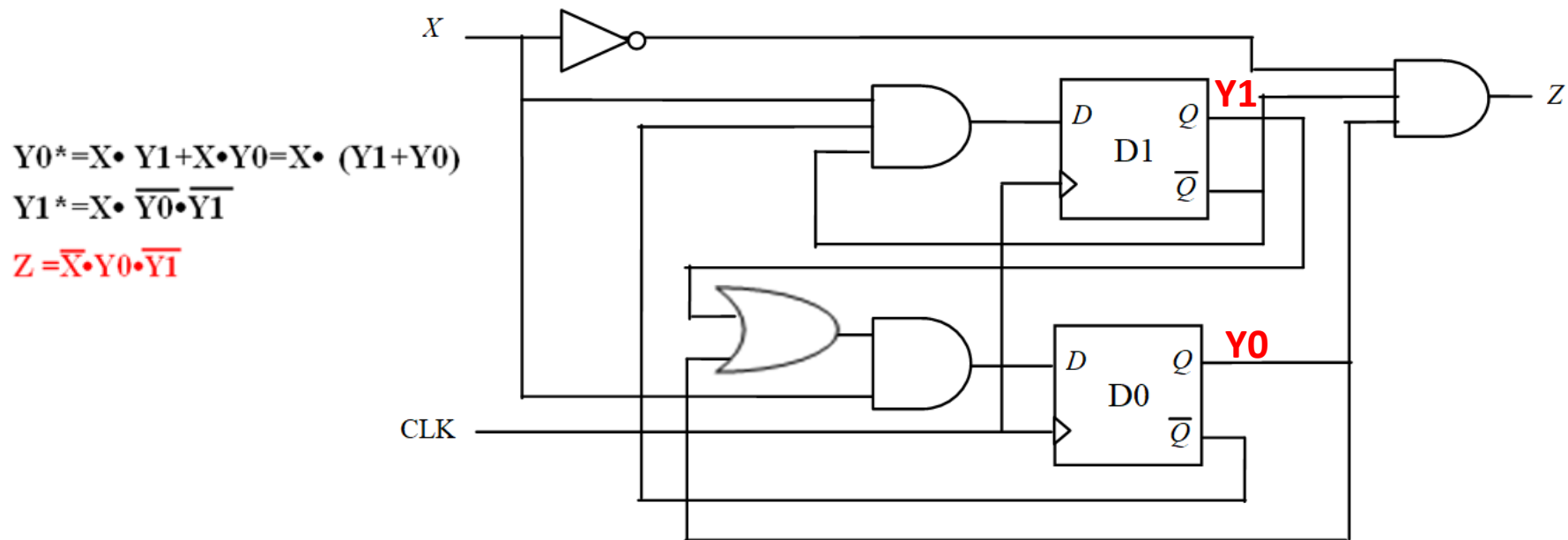
**Y1\***       $Y1^* = X \cdot \overline{Y0} \cdot \overline{Y1}$

X \ Y0Y1				
	00	01	11	10
0			d	
1	1		d/1	

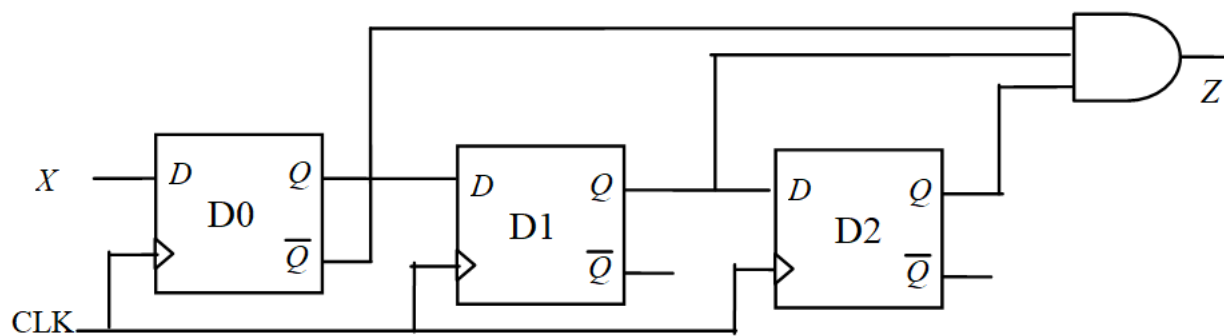
**Z**

X \ Y0Y1				
	00	01	11	10
0			d	1
1			d	

如果在初始为11状态时，希望X=1之后变为01状态，则需要把一个d改为1，并重新修改Y1\*方程。（随后再经过若干周期也可以回到00状态）

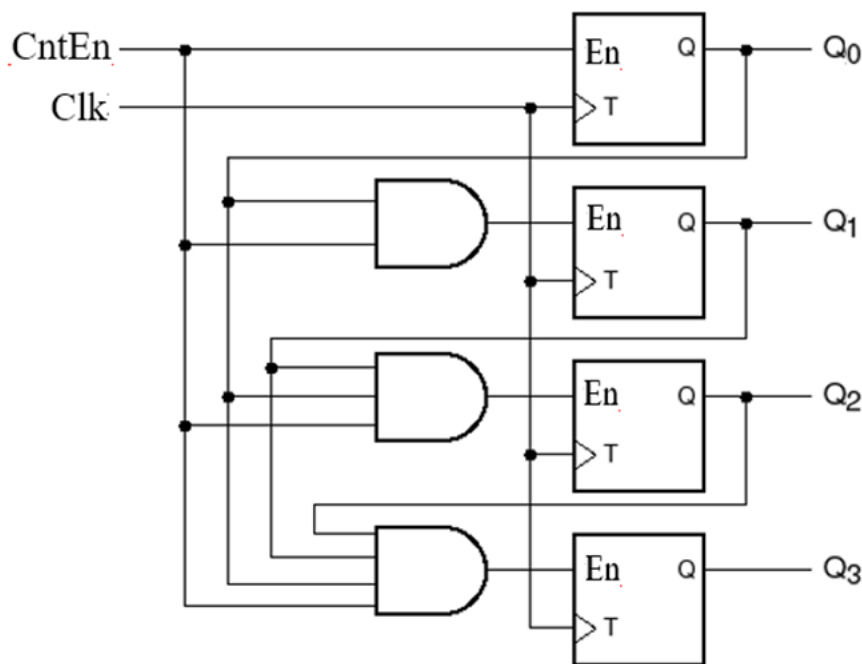


可以通过增加一个触发器来简化组合逻辑设计。



连续输入110，则这三个时钟周期后D0=0，D1=D2=1，则Z=1

**11** 假设图 4.20 所示的 4 位同步并行加法计数器中 T 触发器的信号传输延迟是  $T_{tq}$ ，与门的传输延迟为  $T_{and}$ ，T 触发器 En 信号的建立时间是  $T_{setup}$ ，请计算该计数器外部时钟 Clk 的最大工作频率。



由时序逻辑电路的时序分析可知：

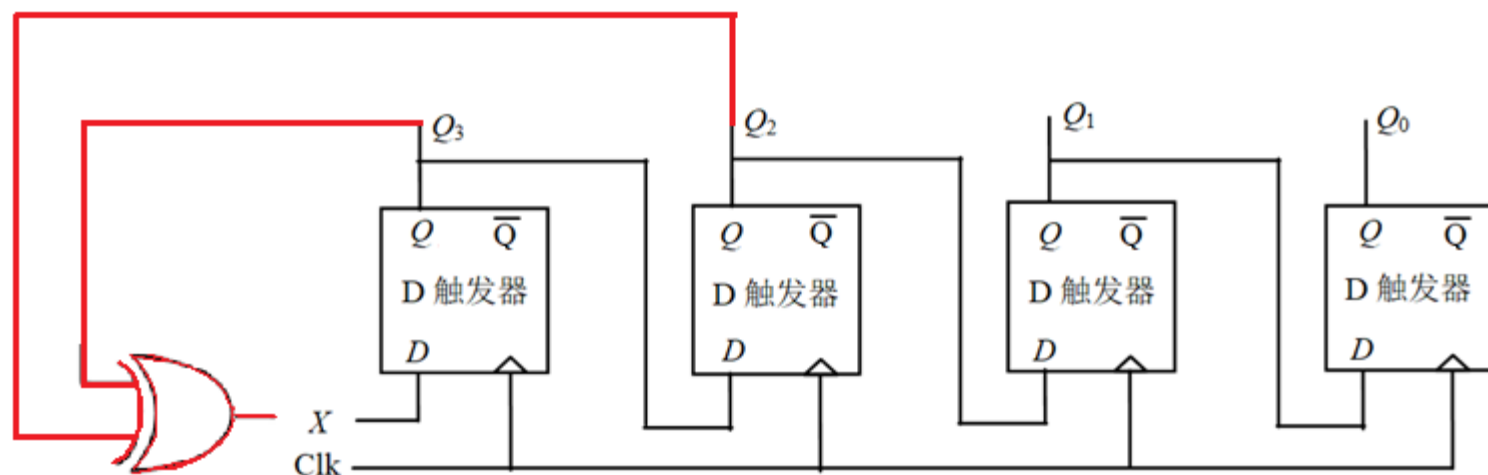
时钟周期  $t_{clk} > \text{触发器锁存延迟 } t_{ffpd} + \text{次态激励延迟 } t_{nspd} + \text{触发器建立时间 } t_{setup}$

根据题意可知： $t_{ffpd} = T_{tq}$ ， $t_{nspd} = T_{and}$ ， $t_{setup} = T_{setup}$

因此可知，该计数器最大工作频率为：

$$1 / (T_{tq} + T_{and} + T_{setup})$$

**12** 将图示的右移一位寄存器中  $Q_3$  和  $Q_2$  异或后送入输入端  $X$ ，可构成一个线性反馈移位寄存器计数器。请分析该设计中  $Q_3Q_2Q_1Q_0$  构成的状态编码转移情况，并分析总结其特点。



$Q_3Q_2Q_1Q_0$  编码状态转移的情况如下：

0000 → 0000;

0001 → 0000;

0010 → 0001 → 0000;

0011 → 0001 → 0000;

0100 → 1010 → 1101 → 0110 → 1011 → 1101

0101 → 1010

1000 → 1100 → 0110

1111 → 0111 → 1011

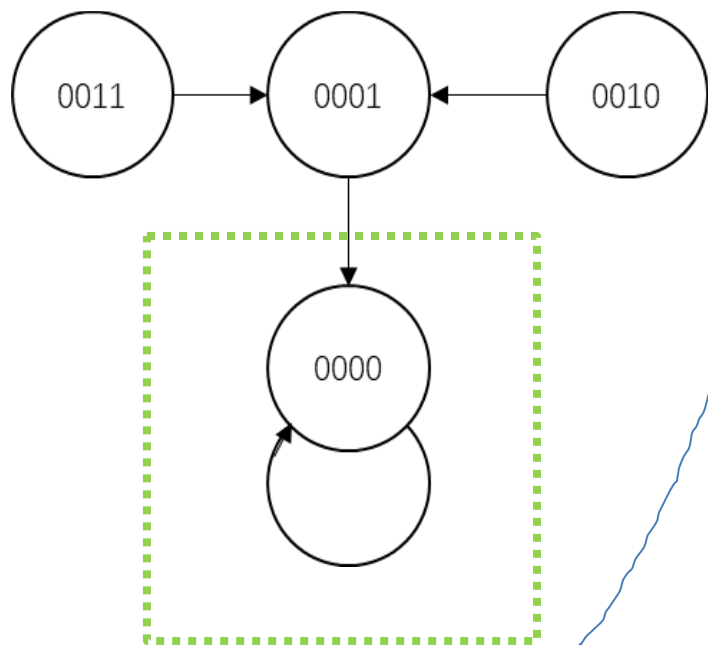
1001 → 1100

1110 → 0111

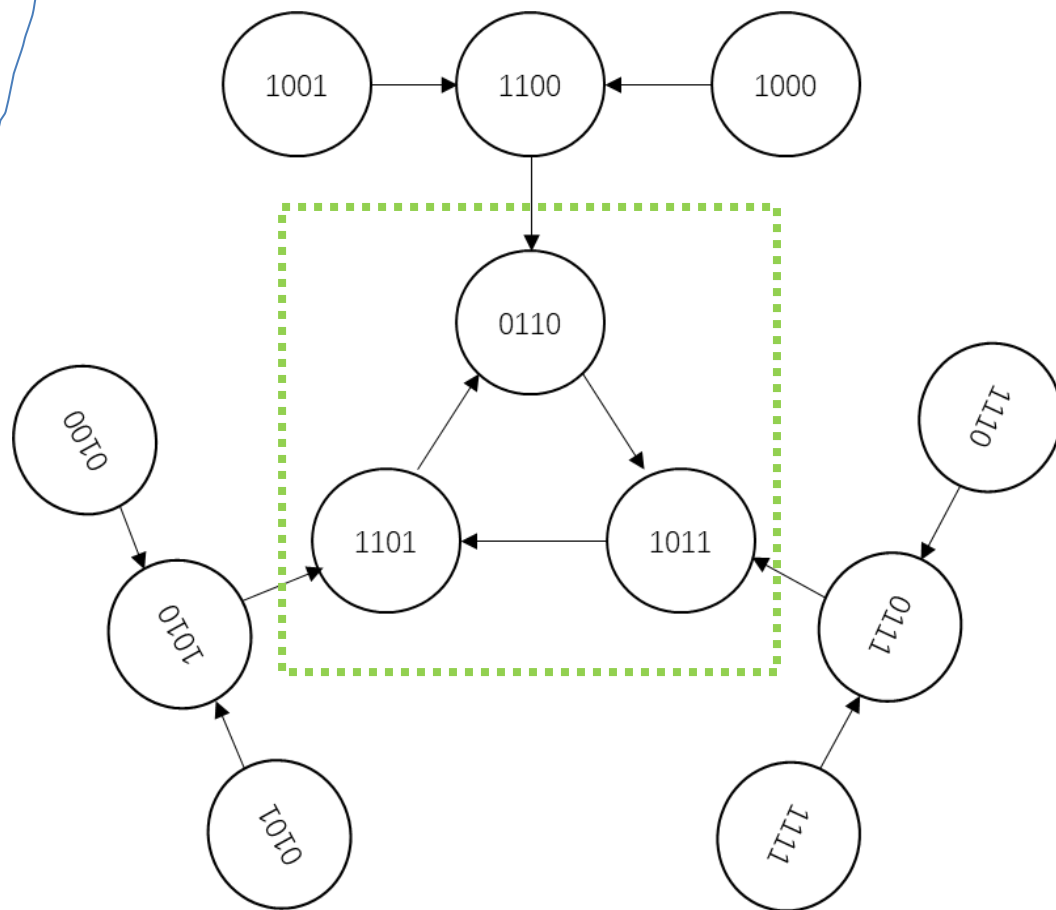
蓝色编码是所有不重复的16种情况



0000→0000;  
 0001→0000;  
 0010→0001→0000;  
 0011→0001→0000;



0100→1010→1101→0110→1011→1101  
 0101→1010  
 1000→1100→0110  
 1111→0111→1011  
 1001→1100  
 1110→0111



图中有两个工作循环（两个绿色虚线大框），一个是三状态，一个单状态。其它状态都会在有限个时钟周期后，进入工作循环中。