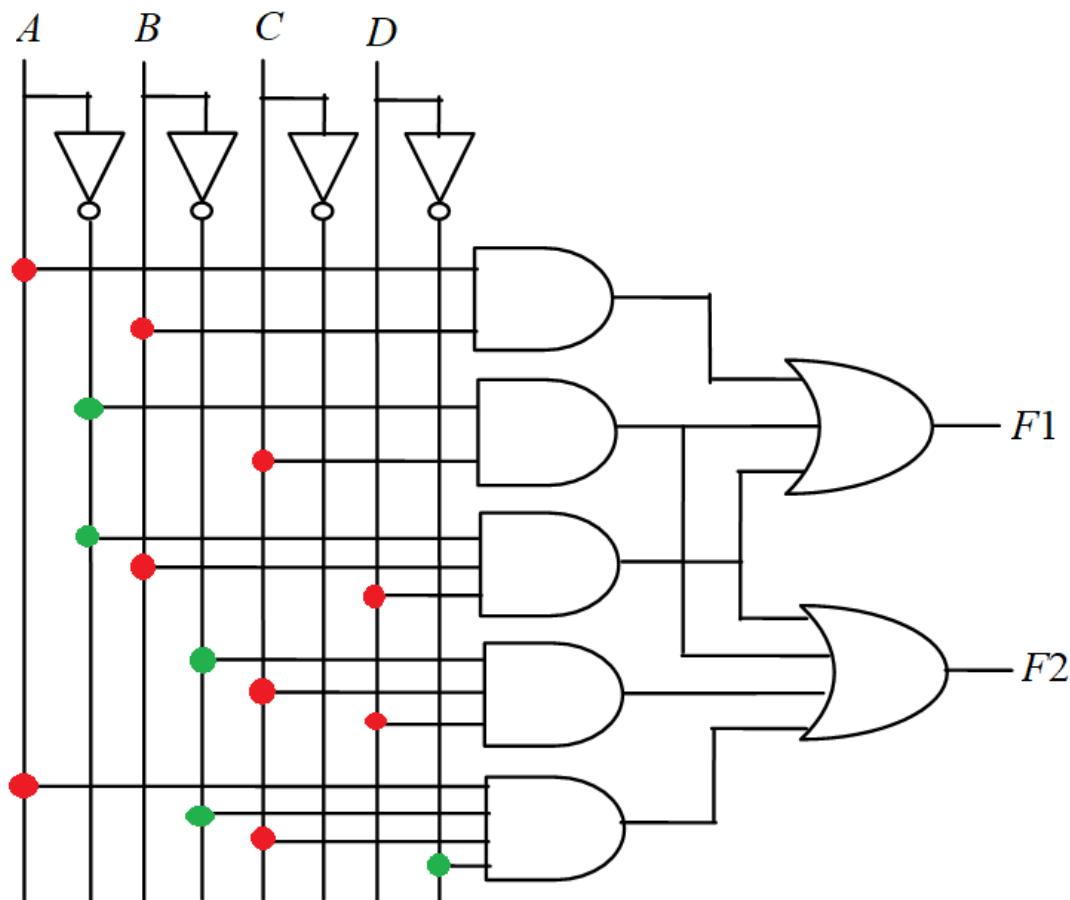


3

$$F1 = A \cdot B + \overline{A} \cdot C + \overline{A} \cdot B \cdot D$$

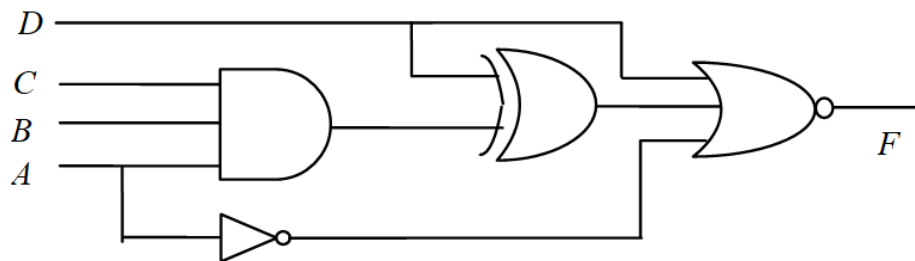
与或运算符必须统一用+和·

$$F2 = \overline{A} \cdot B \cdot D + \overline{A} \cdot C + \overline{B} \cdot C \cdot D + A \cdot \overline{B} \cdot C \cdot \overline{D}$$

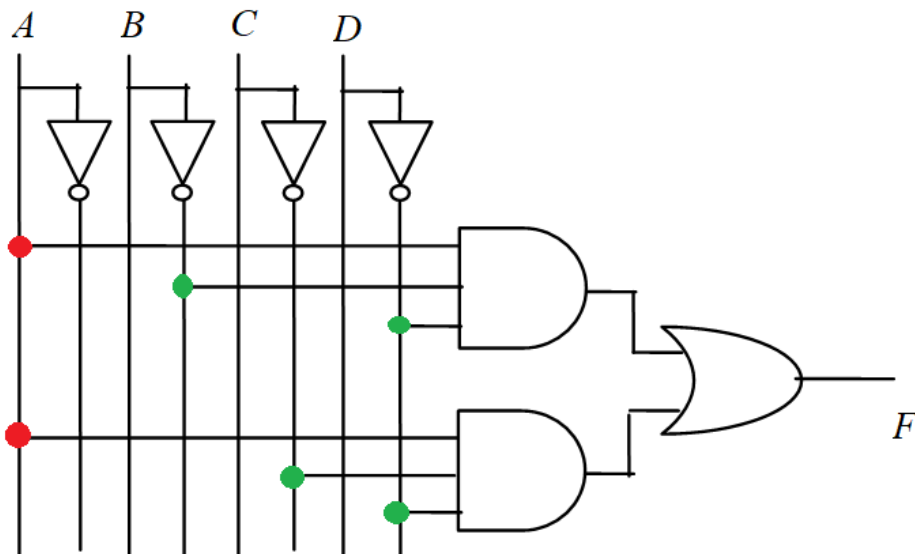


假定输出 F 的逻辑表达式为 $\overline{A \cdot B \cdot C \oplus D + \bar{A} + D}$ ，画出对应的逻辑电路图，并将该逻辑表达式转换成与-或表达式后，画出对应的两级组合逻辑电路图。

异或运算的优先级高于或运算，但低于与运算



输出 F 转换为与-或表达式为: $F = A \cdot \bar{B} \cdot \bar{D} + A \cdot \bar{C} \cdot \bar{D}$



$$\begin{aligned}
 & \overline{A \cdot B \cdot C \oplus D + \bar{A} + D} \\
 = & \overline{A \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot D + \bar{A} + D} \\
 = & \overline{A \cdot B \cdot C \cdot \bar{D}} \cdot \overline{\bar{A} \cdot B \cdot C \cdot D} \cdot \overline{A \cdot \bar{D}} \\
 = & (\bar{A} + \bar{B} + \bar{C} + D) \cdot (A \cdot B \cdot C + \bar{D}) \cdot A \cdot \bar{D} \\
 = & (\bar{A} \cdot A \cdot B \cdot C + \bar{B} \cdot A \cdot B \cdot C + \bar{C} \cdot A \cdot B \cdot C + D \cdot A \cdot B \cdot C \\
 & + (\bar{A} + \bar{B} + \bar{C}) \cdot \bar{D} + D \cdot \bar{D}) \cdot A \cdot \bar{D} \\
 = & (A \cdot B \cdot C \cdot D + (\bar{A} + \bar{B} + \bar{C}) \cdot \bar{D}) \cdot A \cdot \bar{D} \\
 = & A \cdot C \cdot \bar{A} + \bar{B} + \bar{C}) \cdot \bar{D} \\
 = & A \cdot \bar{B} \cdot \bar{D} + A \cdot \bar{C} \cdot \bar{D}
 \end{aligned}$$

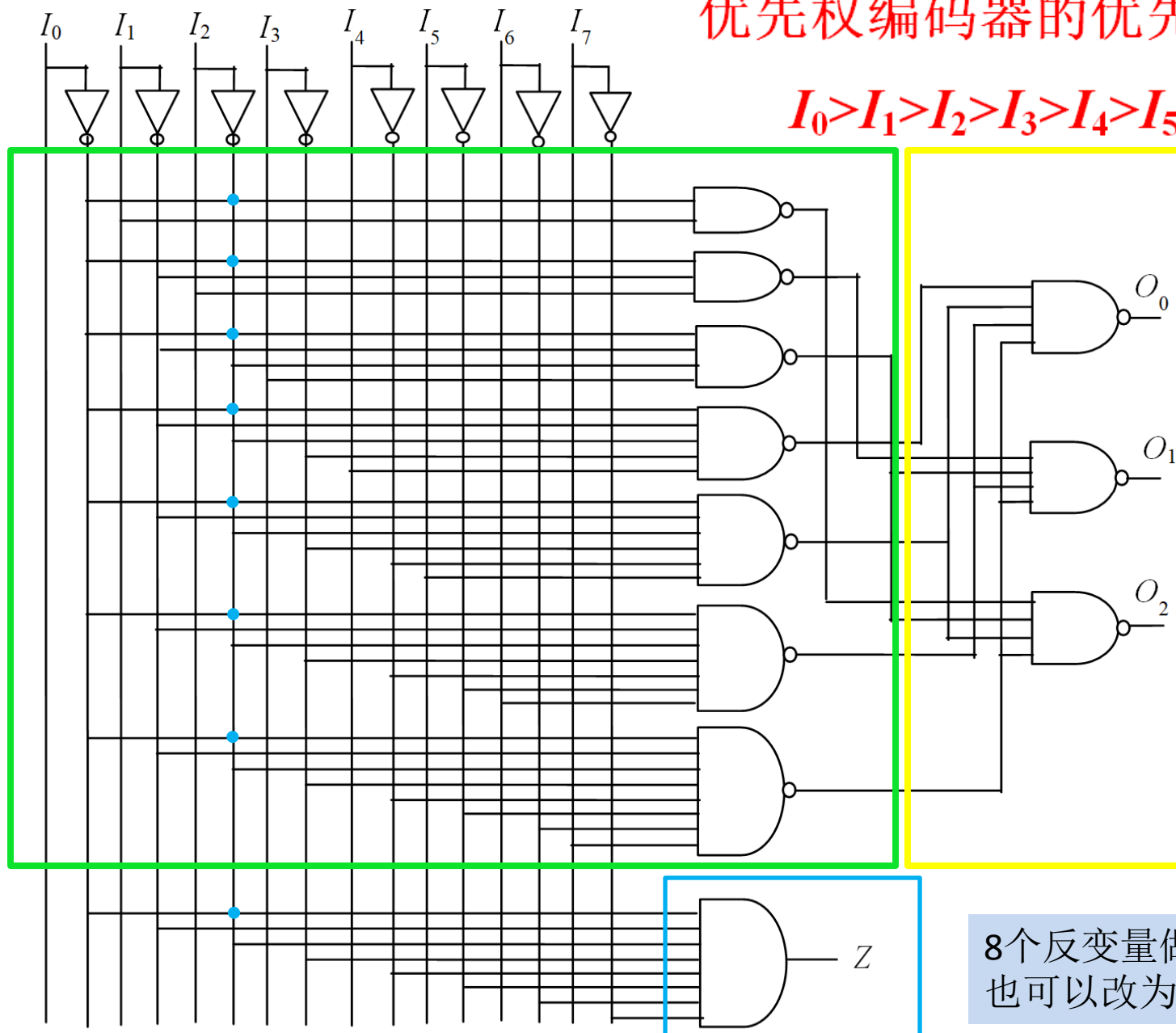
假定一个优先权编码器的输入端为 I_0, I_1, \dots, I_7 , 输出端为 O_0, O_1, O_2 和 Z , 8 个输入端构成一个 8 位二进制数 $I_0I_1I_2I_3I_4I_5I_6I_7$, 3 个输出端 O_0, O_1, O_2 构成一个 3 位二进制数 $O_0O_1O_2$ 。若输入二进制数 $I_0I_1I_2I_3I_4I_5I_6I_7$ 为 0, 则输出二进制数 $O_0O_1O_2$ 为 0, Z 为 1; 否则, 若输入二进制数 $I_0I_1I_2I_3I_4I_5I_6I_7$ 中最左边的 1 所在位为 I_i , 则输出二进制数 $O_0O_1O_2$ 的值为 i , Z 为 0。请用与非门设计该优先权编码器电路, 并说明优先级顺序是什么。

根据题意，可画出真值表如下：

I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7		O_0	O_1	O_2	Z
1	x	x	x	x	x	x	x		0	0	0	0
0	1	x	x	x	x	x	x		0	0	1	0
0	0	1	x	x	x	x	x		0	1	0	0
0	0	0	1	x	x	x	x		0	1	1	0
0	0	0	0	1	x	x	x		1	0	0	0
0	0	0	0	0	1	x	x		1	0	1	0
0	0	0	0	0	0	1	x		1	1	0	0
0	0	0	0	0	0	0	1		1	1	1	0
0	0	0	0	0	0	0	0		0	0	0	1

优先权编码器的优先级顺序为：

$$I_0 > I_1 > I_2 > I_3 > I_4 > I_5 > I_6 > I_7$$



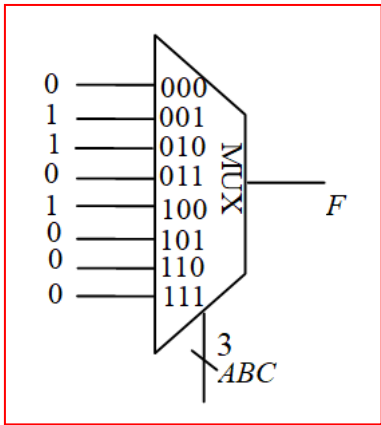
绿框里是
优先级排队
电路

黄框里是
负责编码
的电路

8个反变量做与运算
也可以改为原变量做或非

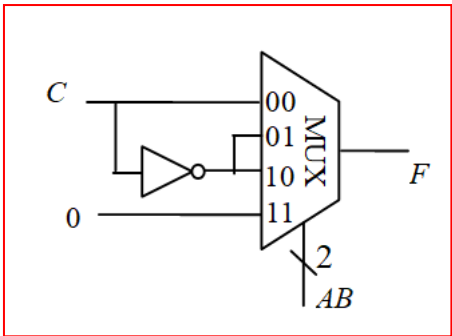
已知一个组合逻辑电路的功能可用如图所示的真值表来描述。分别用下列器件实现该电路。

(1) 一个8路选择器。



A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

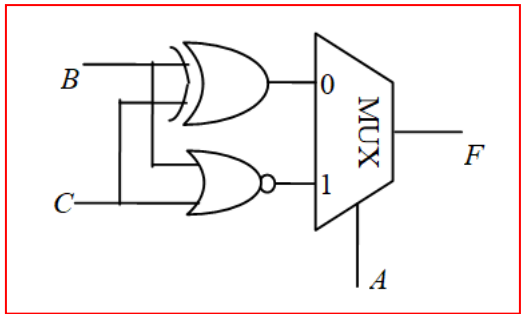
(2) 一个4路选择器和一个非门。



AB=00时, $F=C$
AB=01时, $F=C\sim$
。 。 。

(3) 一个2路选择器和两个逻辑门。

A=0时, $F=B \oplus C$
。 。 。



A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

- 9 已知一个组合逻辑电路的功能可用如图3.36所示的真值表来描述。要求完成以下任务。

- (1) 利用无关项进行化简，并写出函数 F 的最简逻辑表达式。
- (2) 根据最简逻辑表达式，画出函数 F 对应的逻辑电路图。
- (3) 对于(2)中的逻辑电路，请判断是否存在竞争冒险？若存在竞争冒险，则解释在什么情况下会出现毛刺，并画出发生毛刺时的时序图；若不存在竞争冒险，则分析说明其不存在竞争冒险的理由。

$CD \backslash AB$	00	01	11	10
00	d		1	1
01	d	d	1	
11		d	1	1
10	d		d	d

$BD+AC+AD\sim$

$CD \backslash AB$	00	01	11	10
00	d		1	1
01	d	d	1	
11		d	1	1
10	d		d	d

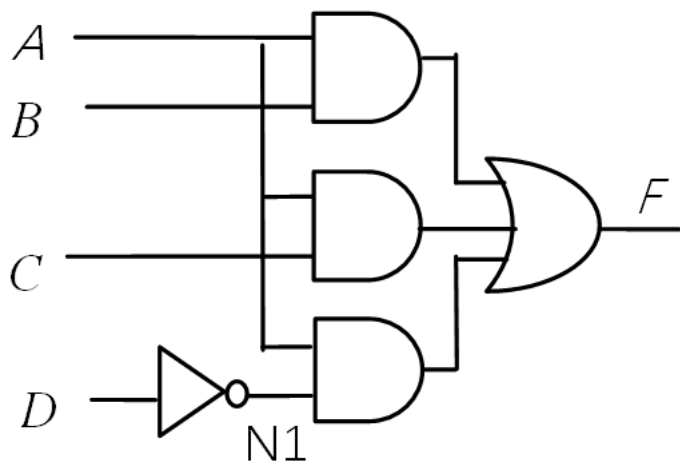
$AB+AC+B\sim D\sim$

A	B	C	D	F
0	0	0	0	x
0	0	0	1	x
0	0	1	0	x
0	0	1	1	0
0	1	0	0	0
0	1	0	1	x
0	1	1	0	0
0	1	1	1	x
1	0	0	0	1
1	0	0	1	0
1	0	1	0	x
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	x
1	1	1	1	1

$CD \backslash AB$	00	01	11	10
00	d		1	1
01	d	d	1	
11		d	1	1
10	d		d	d

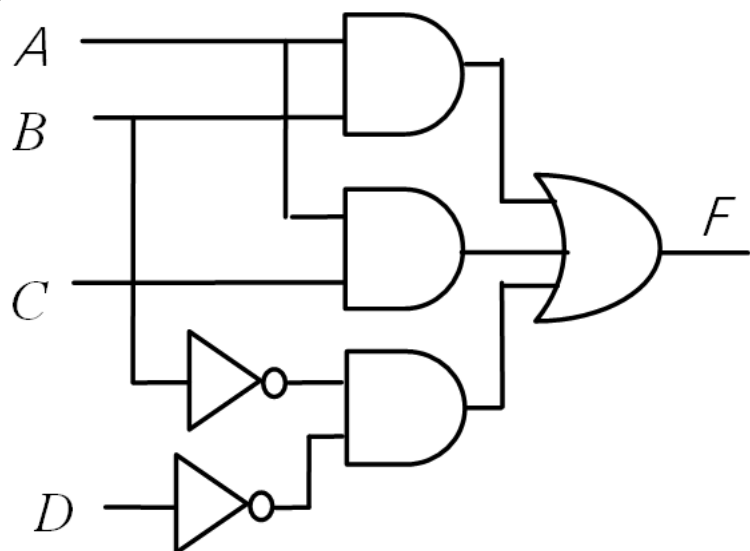
$AB+AC+AD\sim$

$$AB+AC+AD\sim$$



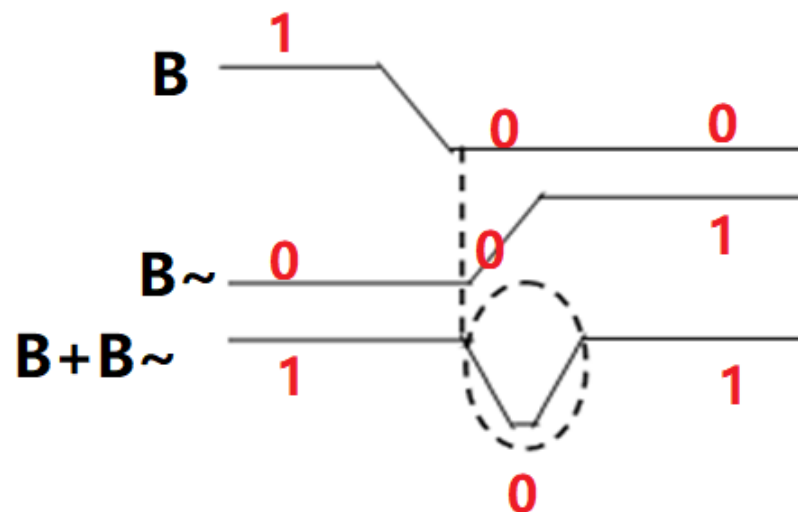
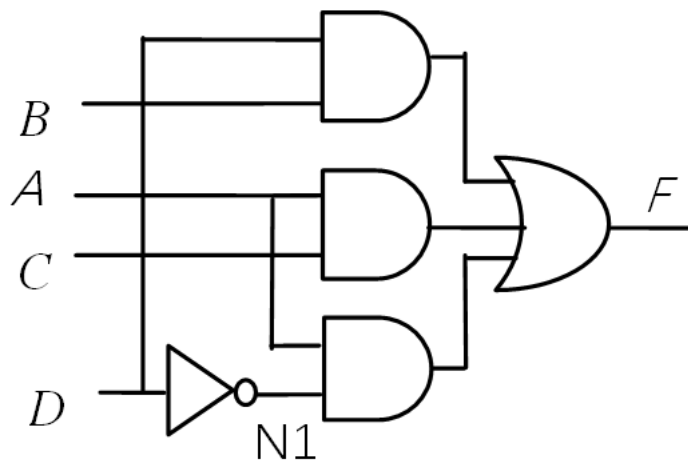
- 红框里电路不存在竞争冒险，因为得到的最简逻辑表达式中，各乘积项不存在逻辑相反的变量（不考虑 **ABCD** 信号不能同时到达的情况）。

$$AB + AC + B\sim D\sim$$

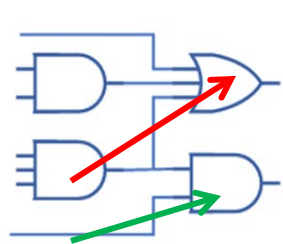


- 这两个都可能存在竞争冒险。
当 $ABC=110$ 时, $F=D+D\sim$, 或者,
当 $ACD=100$ 时, $F=B+B\sim$, 因而
输出F可能会出现毛刺。

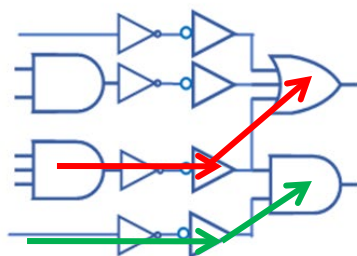
$$BD + AC + AD\sim$$



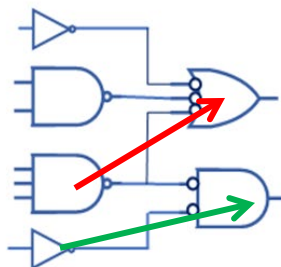
11 根据表中给出的逻辑门的传输延迟 T_{pd} 和最小延迟 T_{cd} ，计算下图所示组合逻辑电路的传输延迟和最小延迟，并比较哪个电路的传输延迟最长，哪个电路的传输延迟最短。



(a)初始电路



(b)加入反相器对的电路



(c)使用反相输出端和反向输入端的电路

逻辑门	T_{pd} (ps)	T_{cd}
NOT	15	10
2 输入 OR	40	30
3 输入 OR	55	45
2 输入 AND	30	25
3 输入 AND	40	30
2 输入 NOR	30	25
3 输入 NOR	45	35
2 输入 NAND	20	15
3 输入 NAND	30	25
2 输入 XOR	60	40

- 电路(a)的传输延迟为 $40+55=95\text{ps}$ ；最小延迟为 25ps 。
- 电路(b)的传输延迟为 $40+15+15+55=125\text{ps}$ ；最小延迟为 $10+10+25=45\text{ps}$ 。
- 电路(c)中，反向输入端与门是或非门的等效电路，反向输入端或门是与非门的等效电路，因此，传输延迟为 $30+30=60\text{ps}$ ；最小延迟为 $10+25=35\text{ps}$ 。
- 显然，上述电路中，电路(b)的传输延迟最长，(c)的传输延迟最短。