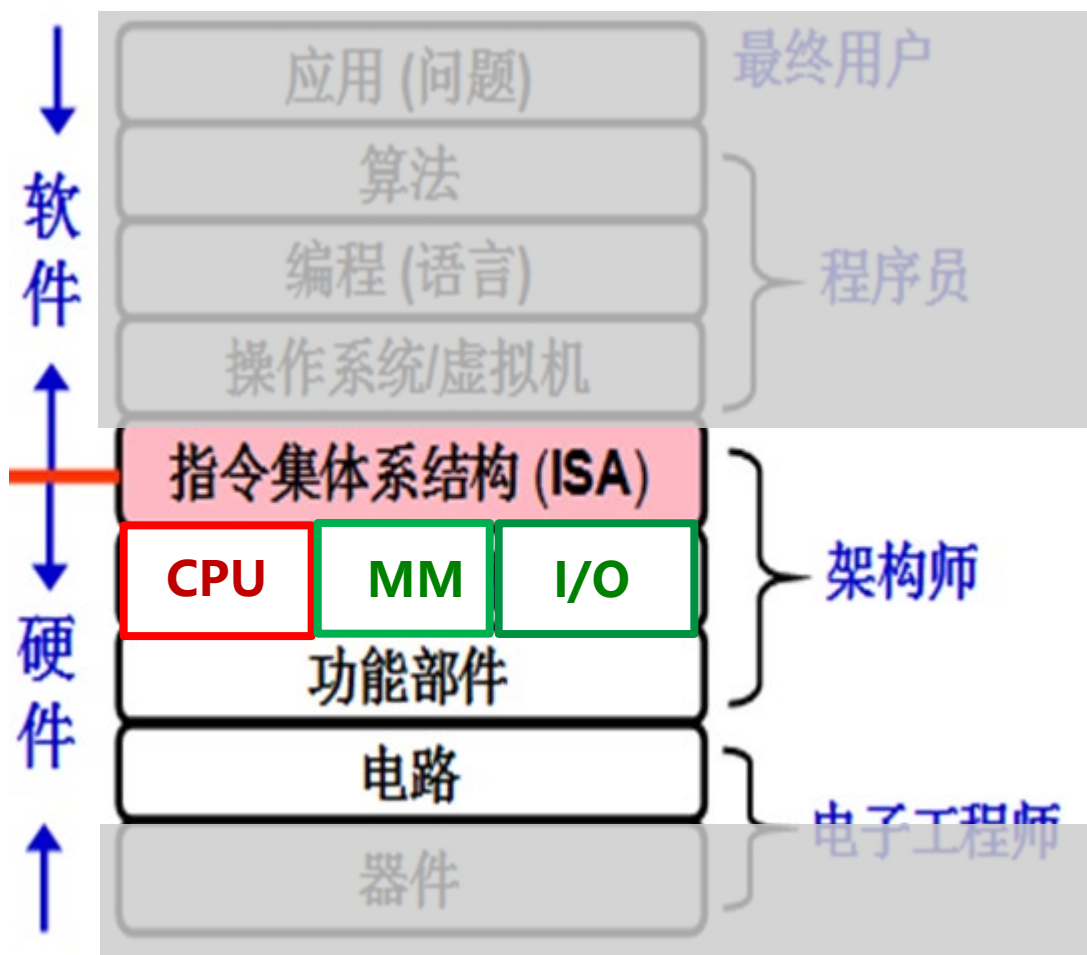


本课程教学内容的安排



主要内容

二进制编码

数字逻辑电路

硬件描述语言 (实验课)

运算功能部件

指令集体系结构

中央处理器 (CPU)

存储器层次结构 (ICS)

系统互连与输入/出 (ICS)

第一章：冯诺依曼结构，计算机的功能（执行指令，对数据进行处理），二进制（数据和指令）

第2章 数字逻辑基础

第一讲 逻辑门和数字抽象

第二讲 布尔代数

第三讲 逻辑关系描述

第四讲 逻辑函数化简

第一讲 逻辑门和数字抽象

◆ 逻辑门

- 逻辑关系、真值表、逻辑门符号

◆ 数字抽象

- 模拟信号与数字信号
- 直流噪声容限

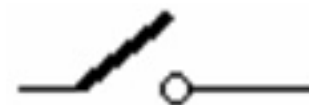
◆ CMOS晶体管

- PMOS和NMOS
- 常用CMOS门电路

◆ CMOS电路电气特性

1.1 逻辑门

◆ 逻辑门电路(logic gate)是最基础的数字电路，具有**允许**或**禁止**信号传输的功能，也称为门电路。



开关

- 一个或多个输入信号

- 一个输出信号：表明输入信号间的**逻辑关系**

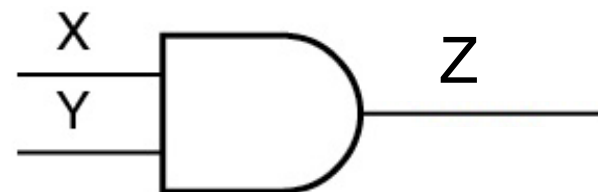
◆ 逻辑门都有自己特有的**图形符号**

- 左边：输入信号

- 右边：输出信号

- 使用标识符来命名输入和输出信号

如X、Y、Z、INPUT 等



XYZ都是逻辑符号
(逻辑变量)

◆ 输入信号、输出信号称为逻辑变量

◆ 输入信号的取值是**0**或**1**

◆ 逻辑运算的结果也是**0**或**1**

1.1 逻辑门

- ◆ 输入信号和输出信号之间的逻辑关系使用**真值表**或者**逻辑表达式**来描述。
- ◆ **逻辑表达式**就是用**逻辑运算符**来连接**逻辑变量**
- ◆ **真值表**是一个**二维表**
 - 表头左侧是输入信号，右侧是输出信号；
 - 按顺序列出**所有可能的输入组合**和该输入组合**对应的输出信号值**。
- ◆ 最基本的逻辑运算是**与、或、非**三种运算
 - 这三种运算可以表示任意组合逻辑关系。
 - 逻辑门分别称为与门、或门和非门，统称为基本逻辑门。

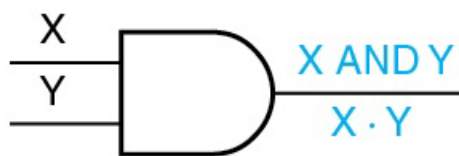


X	Y	X AND Y
0	0	0
0	1	0
1	0	0
1	1	1

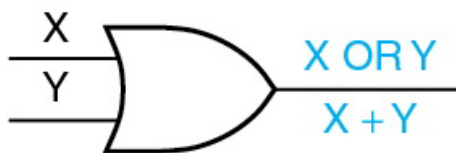
1.1 逻辑门

◆基本逻辑门

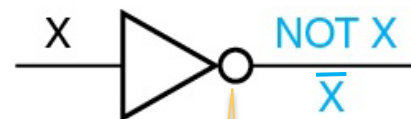
- **与门AND**: 当且仅当所有输入信号为1时, 输出信号才为1, 运算符用乘点号 “ \cdot ” 表示, 称为与运算或者逻辑乘运算。
- **或门OR**: 只要有一个输入信号为1时, 输出信号就为1。运算符用加号 “ $+$ ” 表示, 称为或运算或者逻辑加运算。
- **非门NOT**: 输出信号是输入信号的相反值, 也称反相器。运算符用上横线 “ $\bar{}$ ” 表示, 称为非运算或者取反运算。



X	Y	X AND Y
0	0	0
0	1	0
1	0	0
1	1	1



X	Y	X OR Y
0	0	0
0	1	1
1	0	1
1	1	1



X	NOT X
0	1
1	0

反相圈

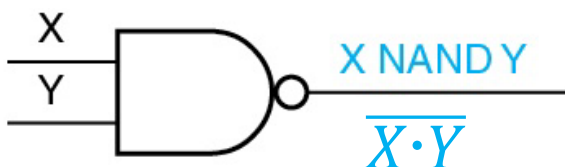
1.1 逻辑门

◆与非门 NAND

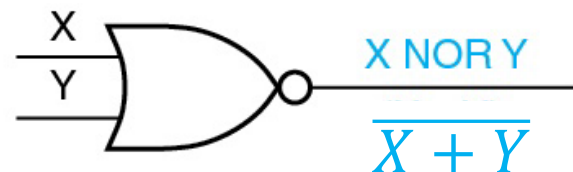
- 只要有一个输入信号为**0**，输出信号就为**1**。逻辑表达式用与运算加上横线来表示。

◆或非门 NOR

- 当且仅当所有输入信号为**0**时，输信号出才为**1**。逻辑表达式用或运算加上横线来表示。



X	Y	X NAND Y
0	0	1
0	1	1
1	0	1
1	1	0



X	Y	X NOR Y
0	0	1
0	1	0
1	0	0
1	1	0

1.1 逻辑门

◆异或门XOR

- 当两个输入**不同**时，输出为**1**。运算符用 “ \oplus ” 表示，逻辑表达式： $X \oplus Y = \bar{X} \cdot Y + X \cdot \bar{Y}$

◆同或门NXOR

- 当两个输入**相同**时，输出为**1**。也称为异或非门或等价关系门。运算符用 “ \odot ” 表示。 $X \odot Y = \bar{X} \cdot \bar{Y} + X \cdot Y$



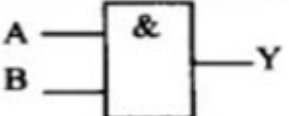
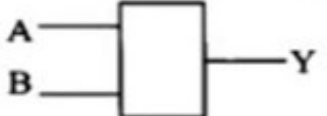

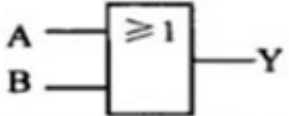
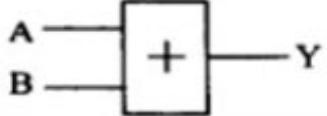

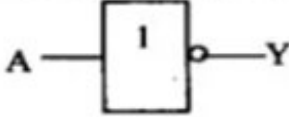
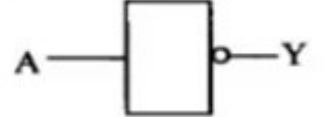
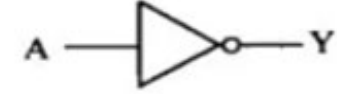
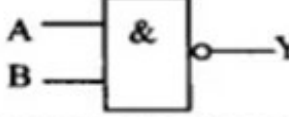

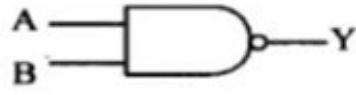
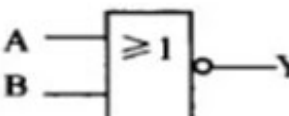
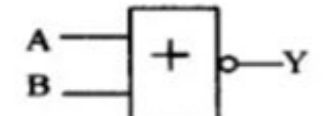

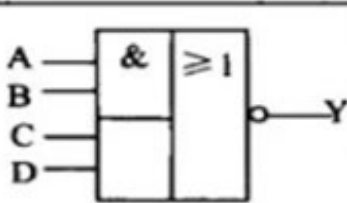
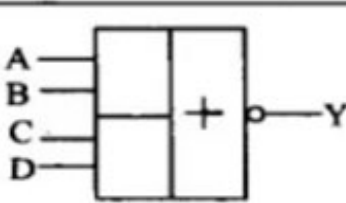
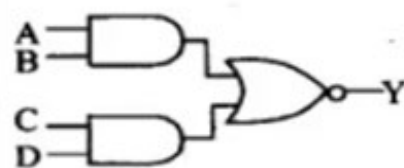
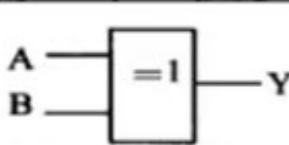
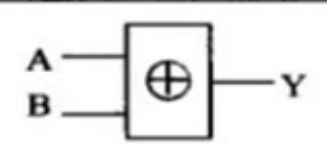

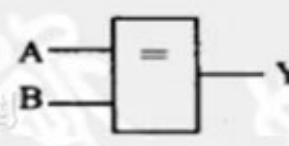
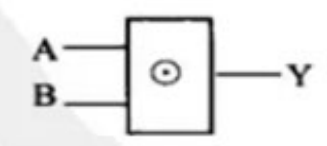

X	Y	$X \oplus Y$
0	0	0
0	1	1
1	0	1
1	1	0

(a)异或门



X	Y	$X \odot Y$
0	0	1
0	1	0
1	0	0
1	1	1

(b)同或门

名称	国标符号	曾用符号	国外流行符号
与			
或			
非			
与非			
或非			
与或非			
异或			
同或			

教材和
PPT中
都使用
国际流
行符号

有些出
版社的
教材使
用国标

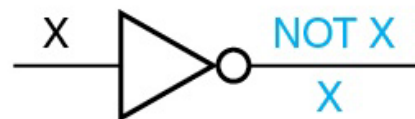
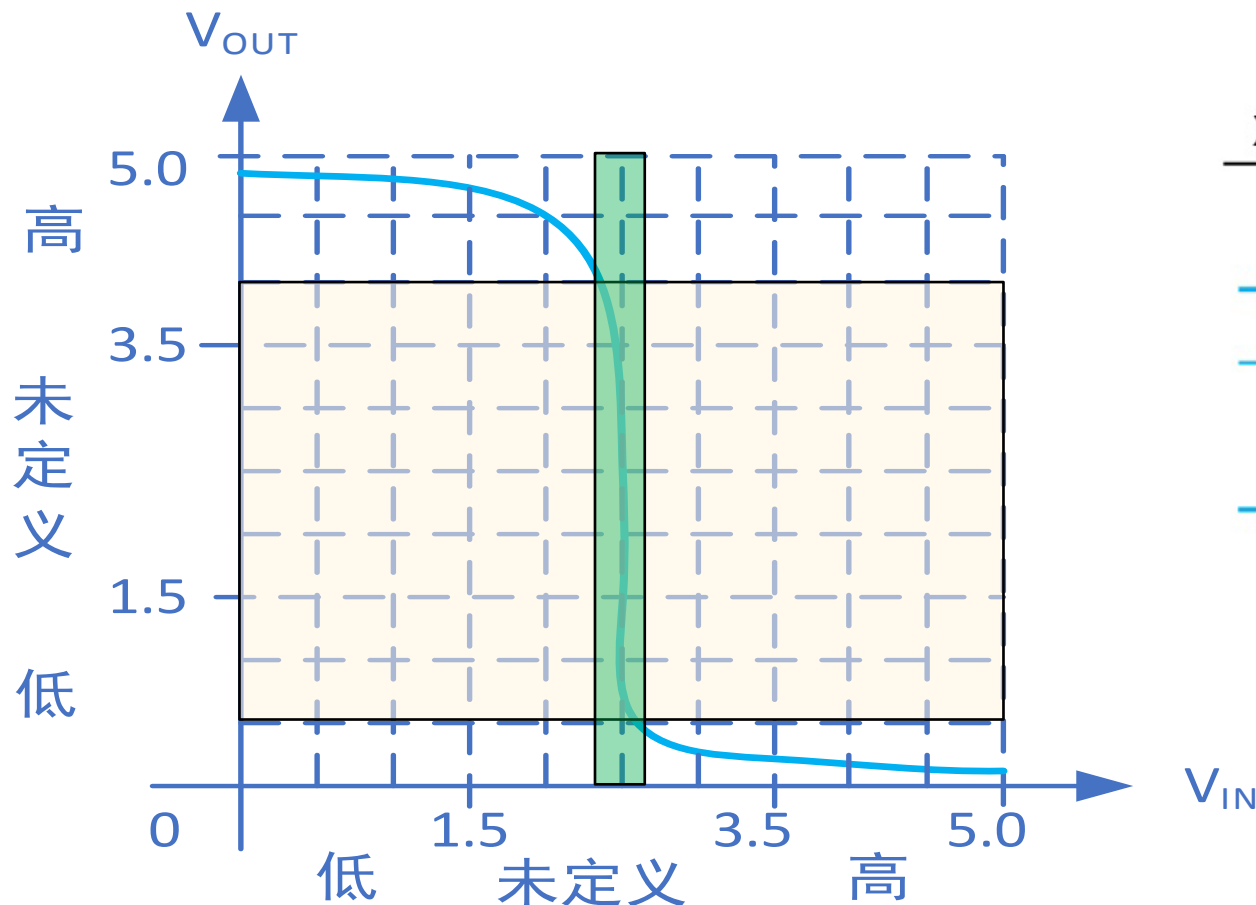
1.2 数字抽象

- ◆ **数字抽象（逻辑采样）**：将某个物理量的实际值集映射为两个子集，对应于两个**状态**或两个逻辑值**0**和**1**
- ◆ 0和1不表示数值的大小，而表示两种相反的状态。如电平高与低、电路导通与截止、灯亮与灭，开关的开与关，等
- ◆ 在数字系统中，将一定范围内的电压映射到两个状态：高态（high）和低态（low），并用0和1来表示
 - 设定**阈值范围/未定义区**。

逻辑值	正逻辑 Positive Logic	负逻辑 Negative Logic
0	低电平L	高电平H
1	高电平H	低电平L

1.2 数字抽象

- ◆ 由于受到**负载**及**噪声**的影响，输出电压可能不能保持稳定，但它必须能被其他逻辑门的输入端**准确识别**。



X	NOT X
0	1
1	0

当输入电压在2.4
~ 2.6V之间时，
输出处于不确定
(未定义) 状态

非门典型的输入-输出传输特性图

1.2 数字抽象

◆ 输入电压主要由晶体管（CMOS）的**开关阈值电压**决定，而输出电压则主要由晶体管**导通时的电阻**决定。

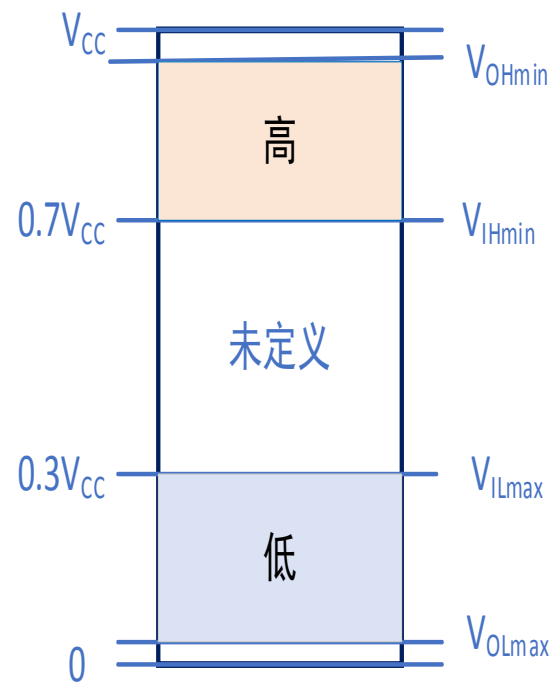
- V_{IHmin} ：确保能被识别为高态的最小输入电压值。
- V_{ILmax} ：确保能被识别为低态的最大输入电压值。
- V_{OHmin} ：输出为高态时的最小输出电压值。
- V_{OLmax} ：输出为低态时的最大输出电压值。

◆ 供电轨道

- V_{CC}/V_{DD} 称为电源电压，典型值为 $5.0V \pm 10\%$
- GND 称为地线， $0V$

◆ 电平参数的典型数值如下：

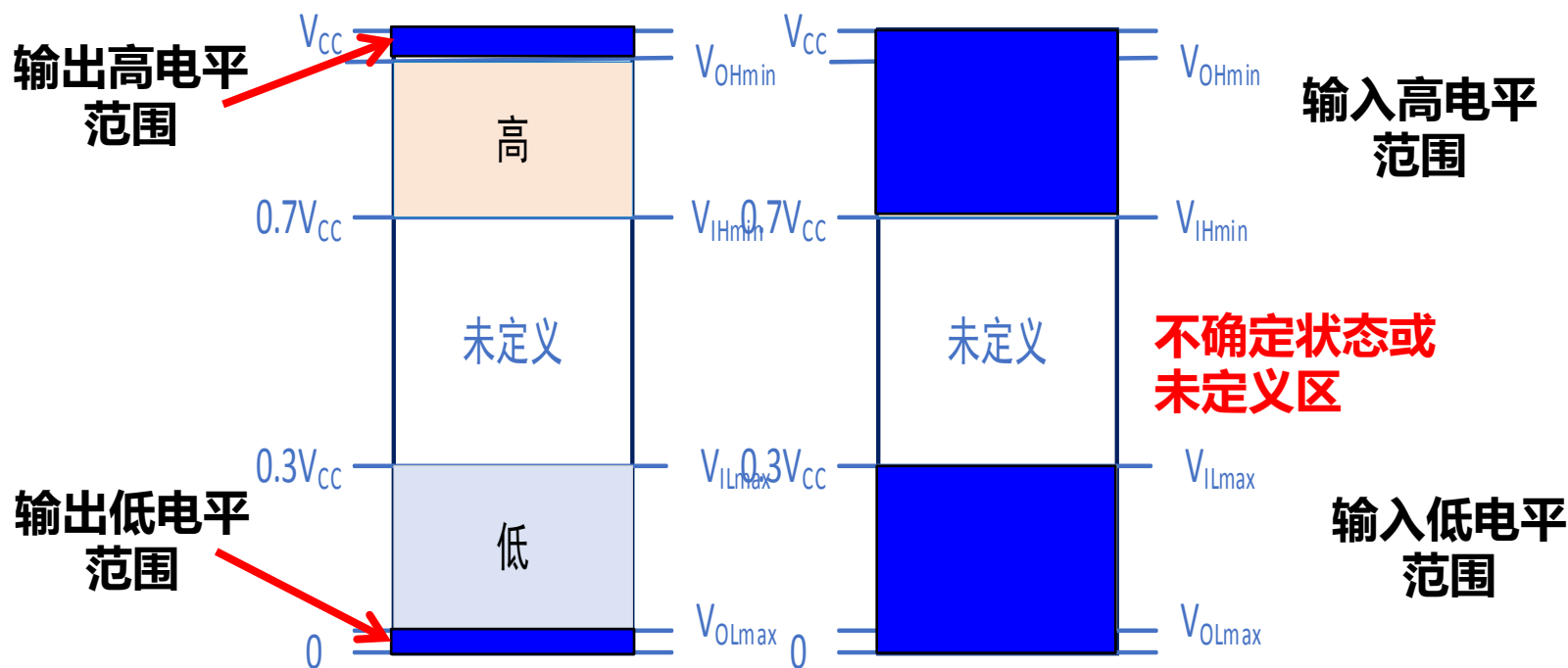
- V_{OHmin} ： V_{CC} 减 $0.1V$ ， V_{CC} 最小值是 $4.5V$ ，减去 $0.1V$ ，得到 $4.4V$ 。
- V_{OLmax} ：地线 GND ($0V$) + $0.1V$ 。
- V_{IHmin} ： V_{CC} 的 70% ，约为 $3.15V$ 。
- V_{ILmax} ： V_{CC} 的 30% ，约为 $1.35V$ 。



1.2 数字抽象

◆ **直流噪声容限DC noise margin**是一种对噪声程度的度量，表示多大的噪声会使输出电压被破坏，成为不可被输入端识别的值。

- 高态直流噪声容限 $NM_H = V_{OHmin} - V_{IHmin}$ 约为 $4.4 - 3.15 = 1.25V$
- 低态直流噪声容限 $NM_L = V_{ILmax} - V_{OLmax}$ 约为 $1.35 - 0.1 = 1.25V$

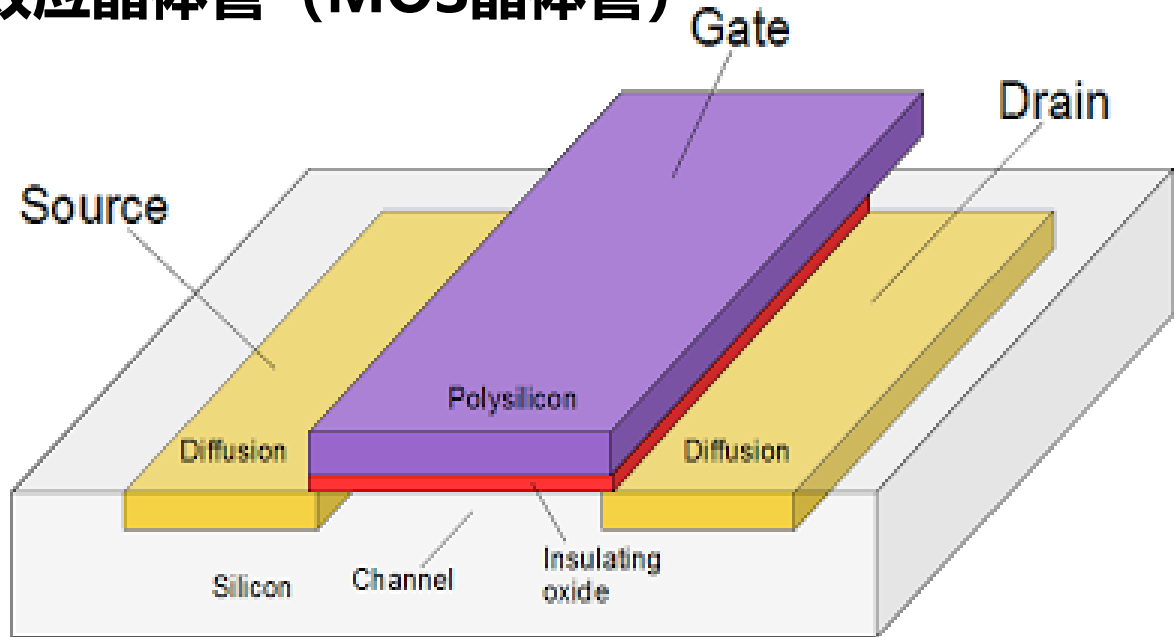


1.3 CMOS晶体管——MOS

◆ 金属氧化物半导体场效应晶体管（MOS晶体管）

◆ 也称三极晶体管

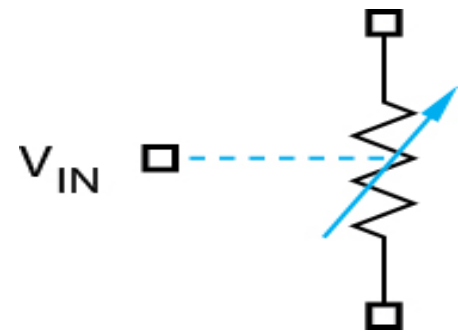
- 栅极gate
- 源极source
- 漏极drain



◆ MOS晶体管分为：

- n沟道型NMOS，杂质有磷或锑等(Negative)
- p沟道型PMOS，杂质有硼或铟等(Positive)

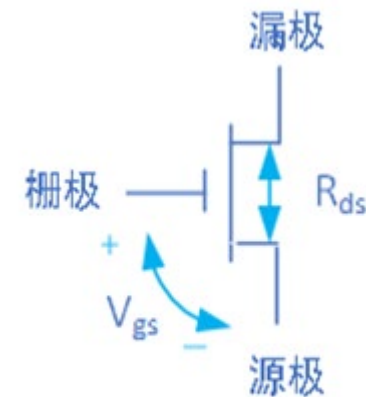
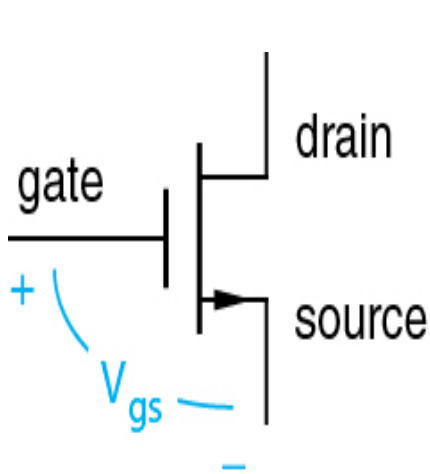
◆ MOS晶体管可被模型化为一种3端子压控电阻导体，将电压加到一个端子，来控制其他两个端子间的电阻。



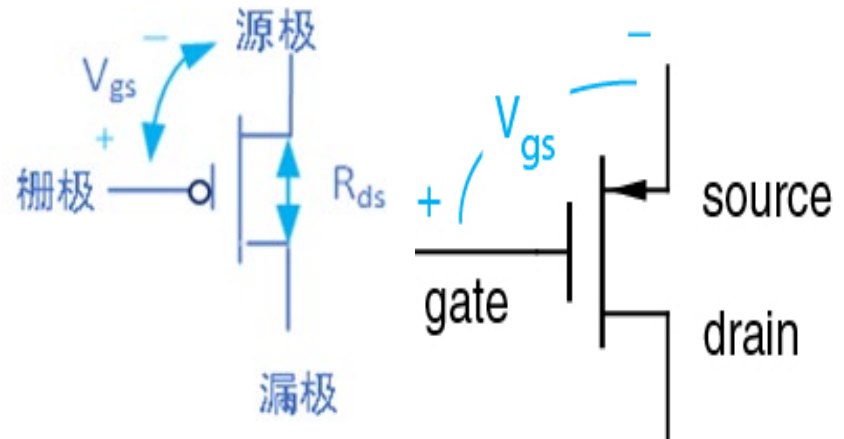
1.3 CMOS晶体管——NMOS和PMOS

◆ 栅极和源极之间电压 V_{gs} 控制源极和漏极间电阻 R_{ds} 的大小

V_{gs} 等于栅、源极电位之差。若栅、源极电位分别为0、+5V，则 $V_{gs} = -5V$



(a) NMOS 晶体管符号



(b) PMOS 晶体管符号

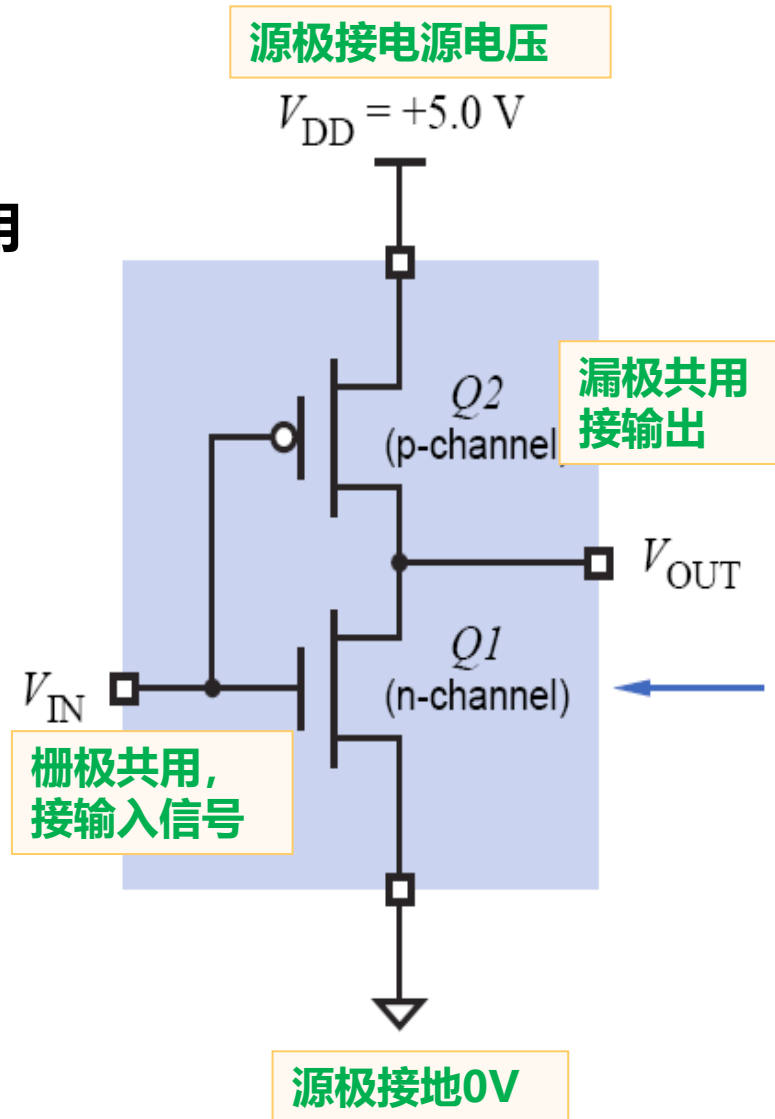
NMOS: 当 $V_{gs} \leq 0$, R_{ds} 很大;
随着 V_{gs} 的增大, R_{ds} 逐步下降
通常 $V_{gs} \geq 0$

PMOS: 当 $V_{gs} \geq 0$, R_{ds} 很大;
随着 V_{gs} 的降低, R_{ds} 逐步下降
通常 $V_{gs} \leq 0$

晶体管状态: 电阻很小时为**导通**状态; 电阻很大时为**截止**状态

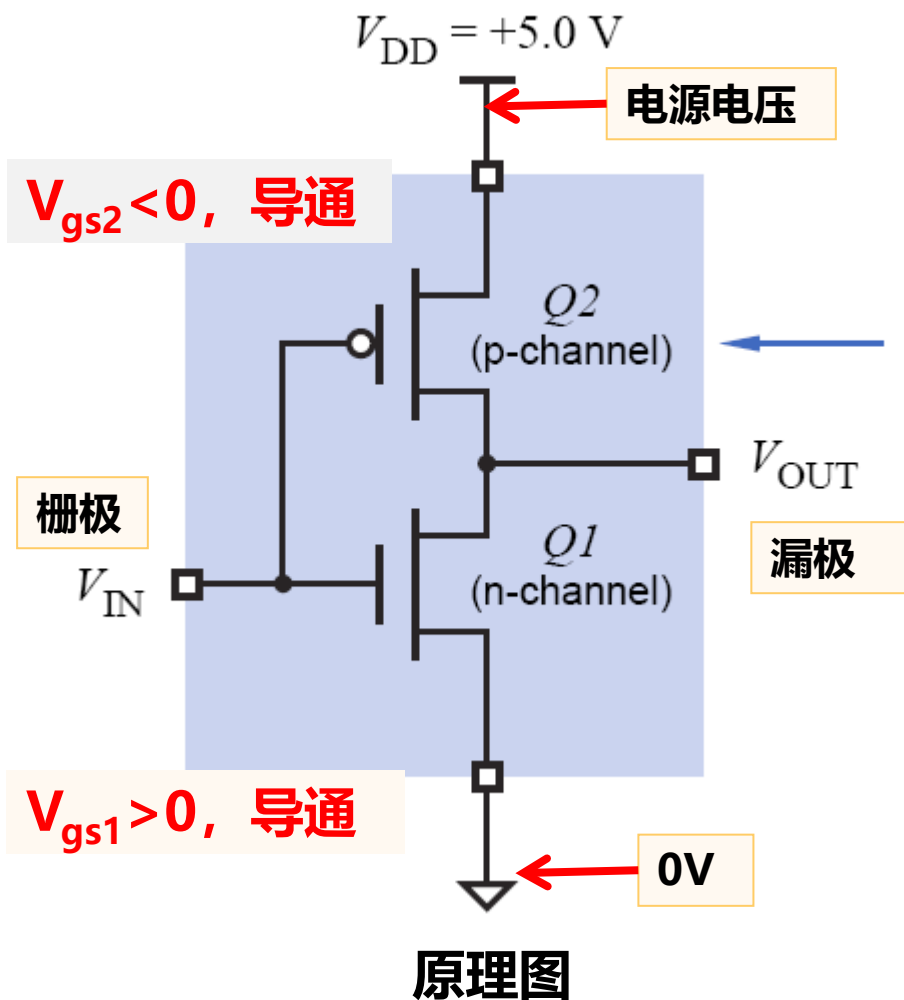
1.3 CMOS晶体管

- ◆ CMOS (Complementary Metal-Oxide Semiconductor) 晶体管以互补的形式共用一对NMOS 和PMOS 晶体管
- ◆ 栅极和漏极共用，分别连接输入和输出
 - NMOS 晶体管的源极连接地线GND
 - PMOS 晶体管的源极连接电源电压 V_{DD}
 - 通过改变栅极的输入电压值，从而改变漏极的输出电压值
 - 可以看成电压控制开关
 - 输入电压由CMOS开关阈值电压决定，输出电压由晶体管导通时的电阻决定
- ◆ 常用CMOS门电路
 - 反相器/与非门/或非门

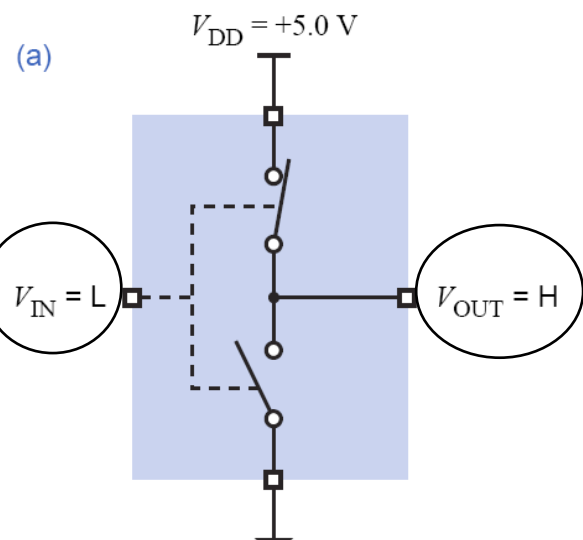


1.3 CMOS晶体管——实现非门

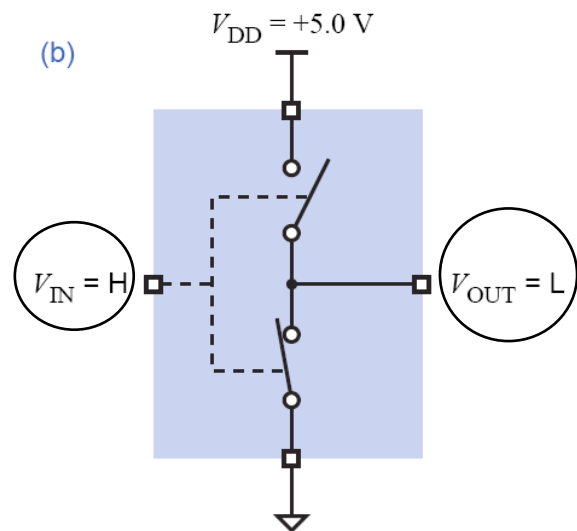
- **非门**使用一对CMOS 晶体管实现



$$\begin{aligned} V_{IN} &= L \\ V_{gs1} &= 0 \\ V_{gs2} &= -5\text{V} \end{aligned}$$



$$\begin{aligned} V_{IN} &= H \\ V_{gs1} &= 5\text{V} \\ V_{gs2} &= 0 \end{aligned}$$



开关模型

1.3 CMOS晶体管——实现非门

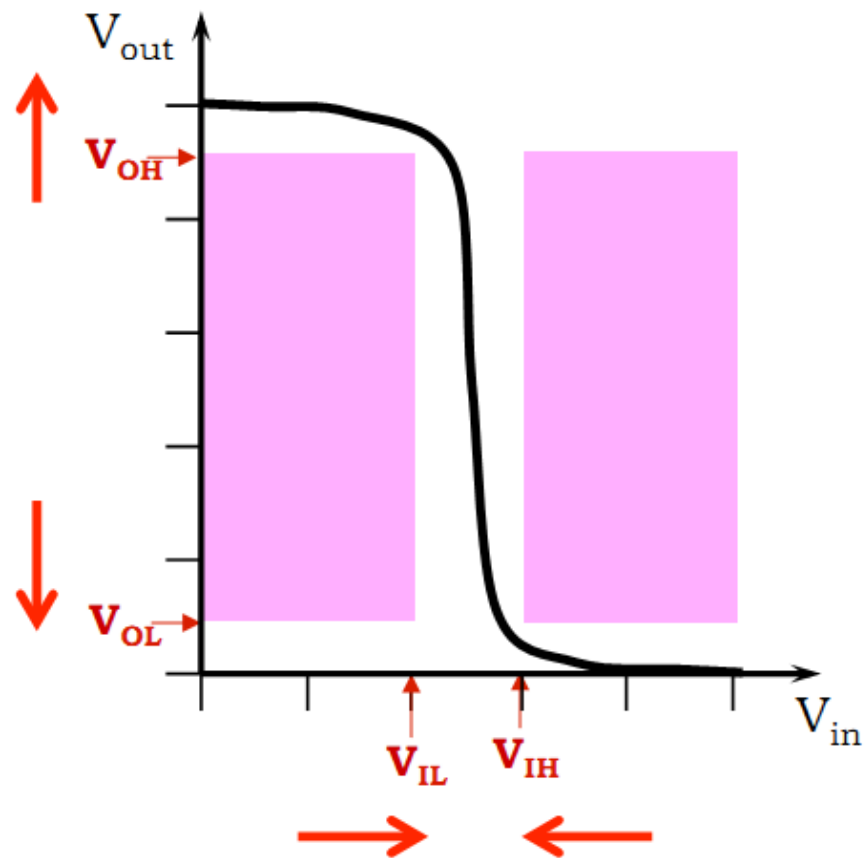
(b)

	N	P	
V_{IN}	$Q1$	$Q2$	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

功能表

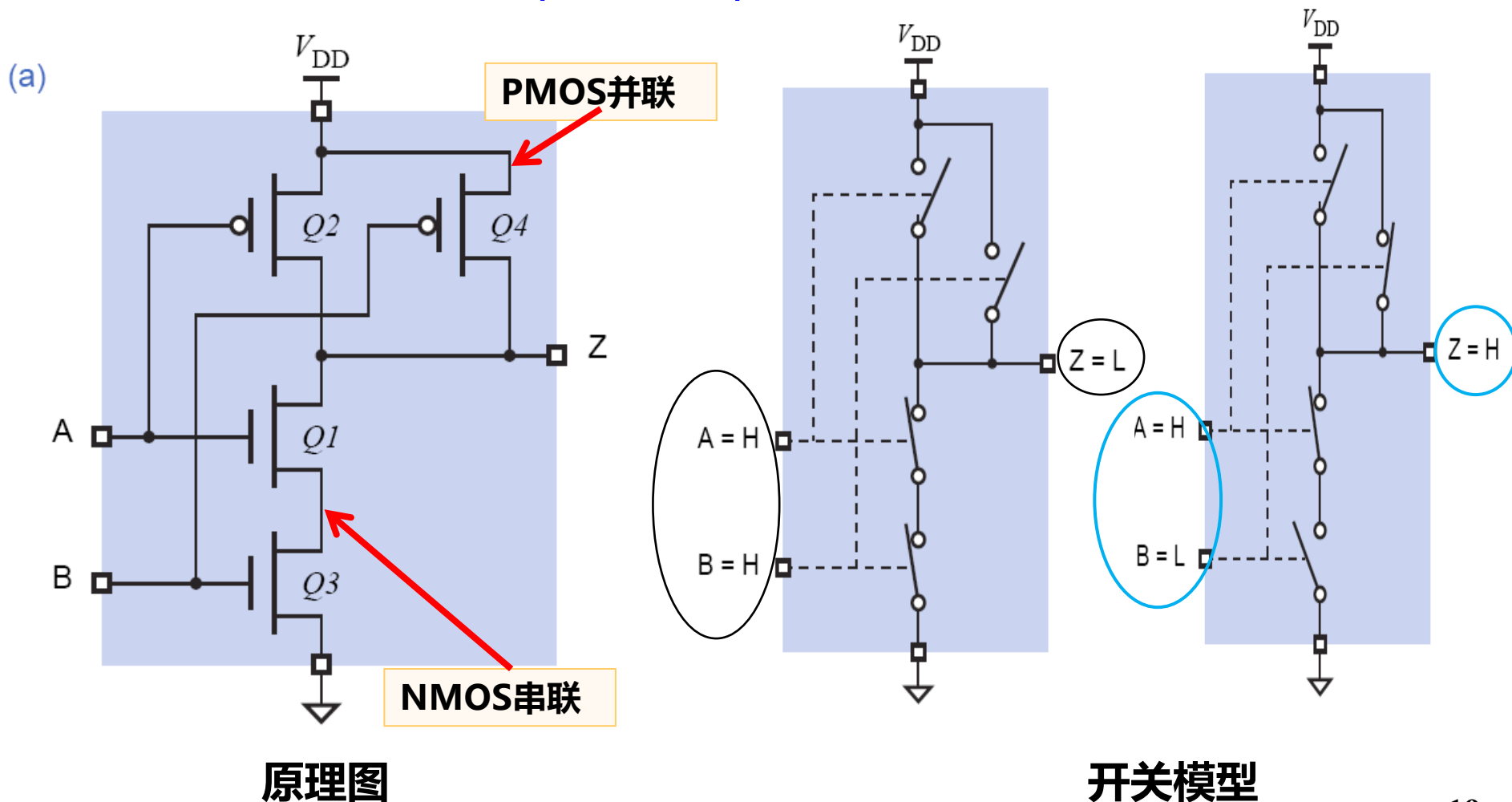


图形符号



1.3 CMOS晶体管——实现与非门

- 2输入与非门使用两对CMOS晶体管实现
 - NMOS管串联 (Q2、Q4)
 - PMOS管并联 (Q1、Q3)



1.3 CMOS晶体管——实现与非门

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

功能表



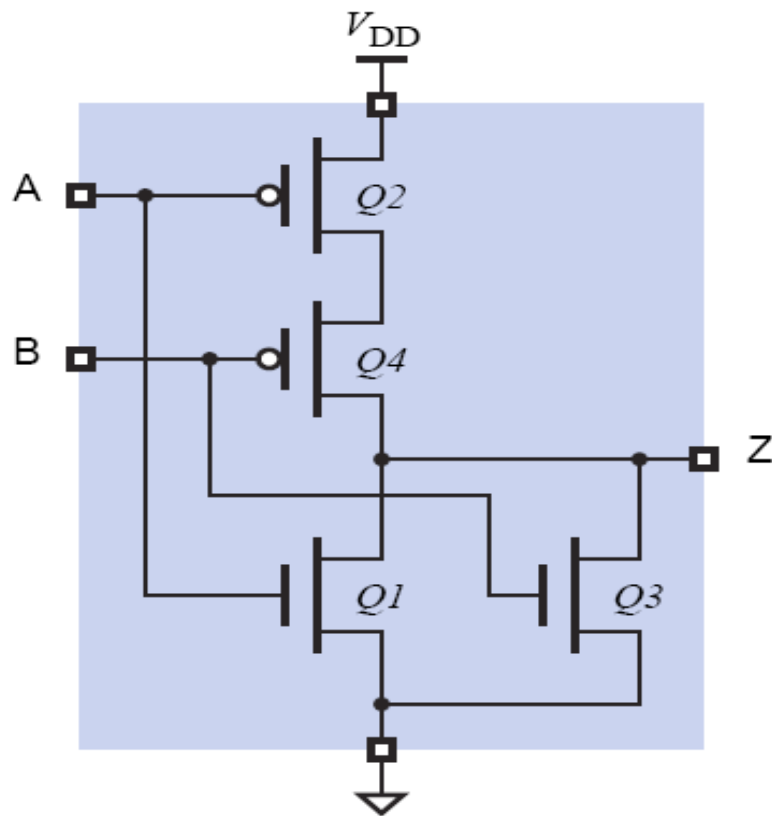
图形符号

2输入与非门真值表

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

1.3 CMOS晶体管——实现或非门

- 2输入或非门使用两对CMOS晶体管实现
 - NMOS管并联
 - PMOS管串联



原理图

功能表

A	B	$Q1$	$Q2$	$Q3$	$Q4$	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

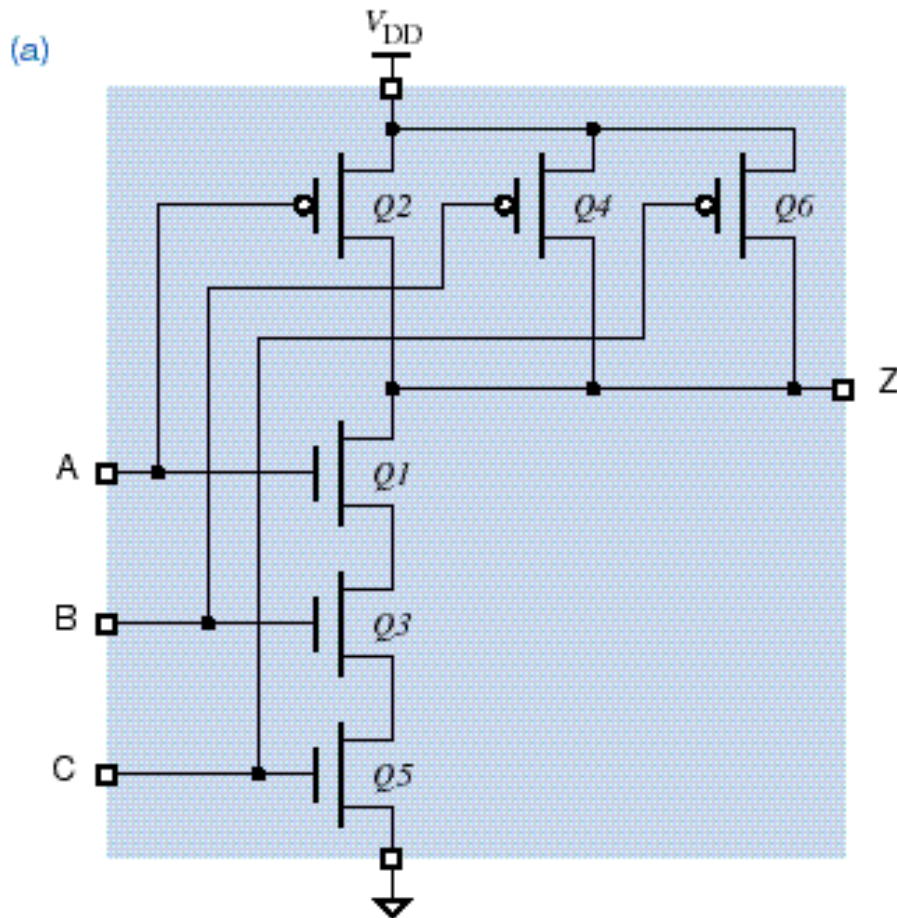


图形符号

CMOS的与门和或门如何得到?

1.3 CMOS晶体管——k输入

- 使用k对NMOS和PMOS晶体管通过串-并联结构构造一个k输入CMOS与非门/或非门
- 3输入与非门包含3对CMOS晶体管

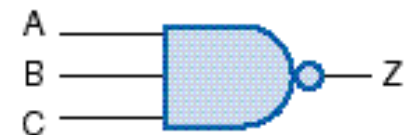


3 输入与非门

(b)

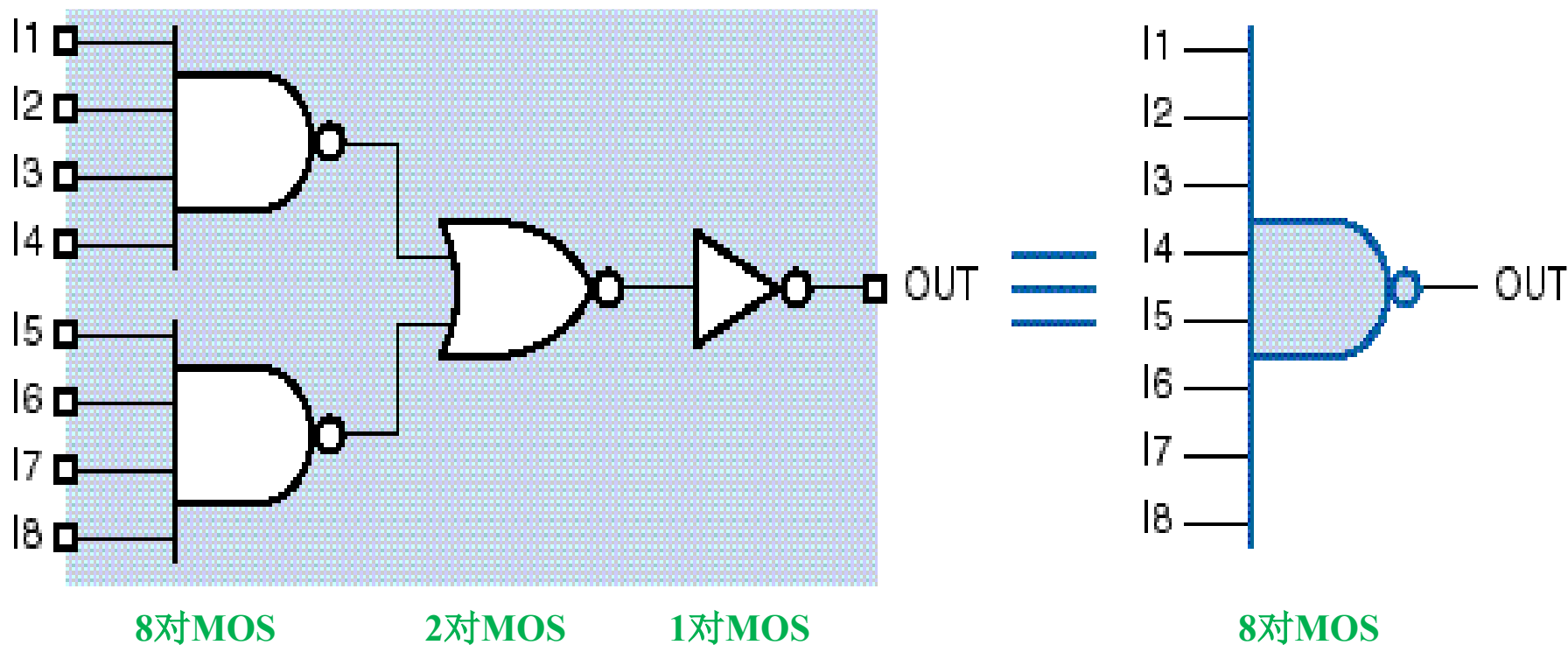
A	B	C	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	L	off	on	off	on	off	on	H
L	L	H	off	on	off	on	on	off	H
L	H	L	off	on	on	off	off	on	H
L	H	H	off	on	on	off	on	off	H
H	L	L	on	off	off	on	off	on	H
H	L	H	on	off	off	on	on	off	H
H	H	L	on	off	on	off	off	on	H
H	H	H	on	off	on	off	on	off	L

(c)



1.3 CMOS晶体管——级联

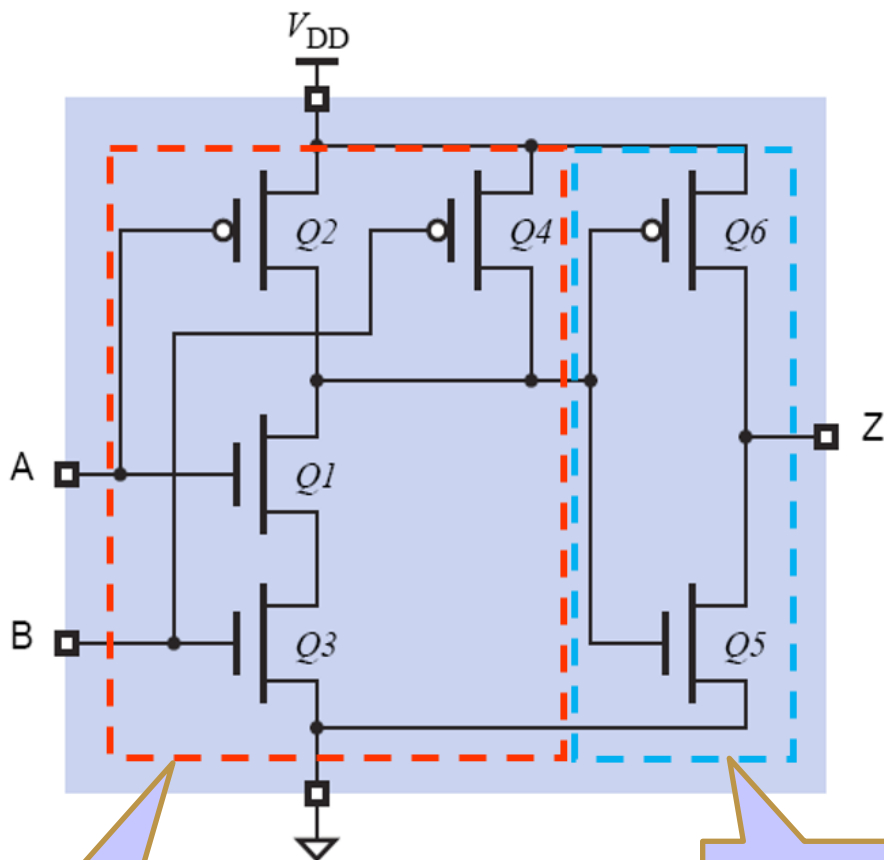
- 受电气特性的限制，输入端不能无限制增加。
- 一般输入端数目小于等于5，不超过8个。
- 输入端较多的门电路可用输入端较少的门电路级联而构成，速度更快、体积更小



8 输入与非门

1.3 CMOS晶体管——级联实现与门

- 通过与非门级联非门实现与门。
- 2输入与门使用了3对CMOS晶体管。



与非门

非门

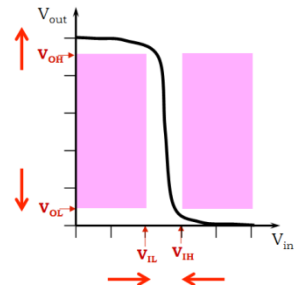
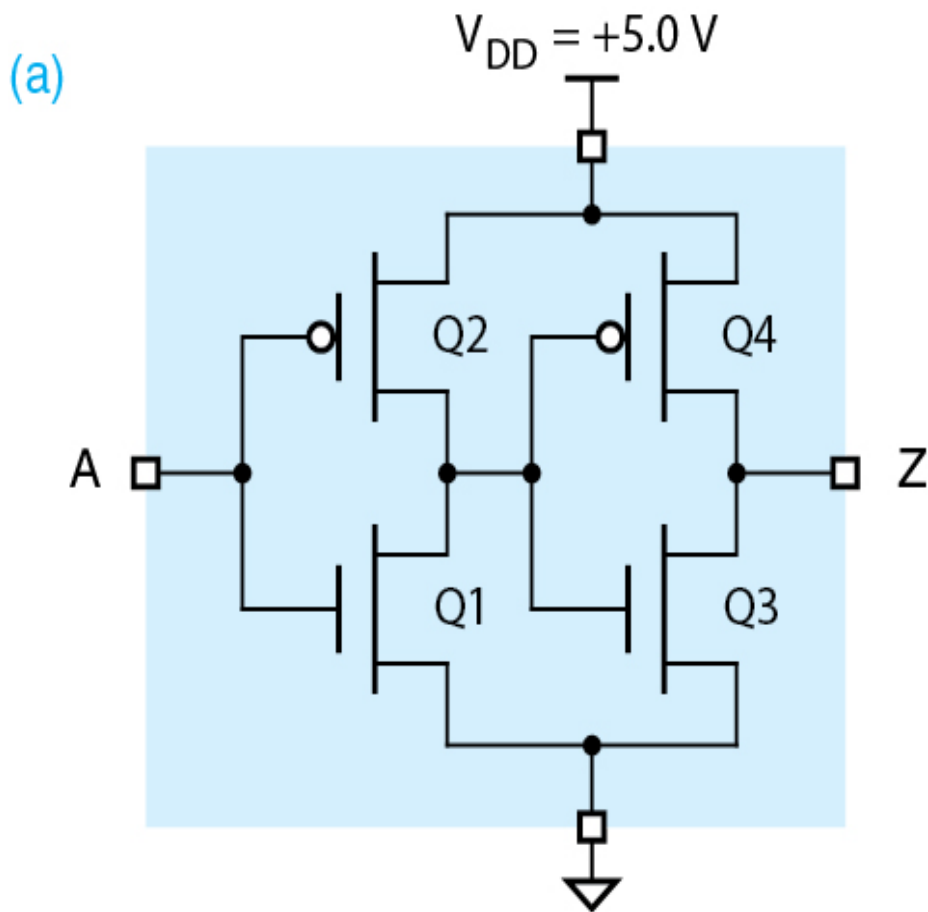
A	B	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Z
L	L	off	on	off	on	on	off	L
L	H	off	on	on	off	on	off	L
H	L	on	off	off	on	on	off	L
H	H	on	off	on	off	off	on	H



2 输入与门

1.3 CMOS晶体管——级联实现缓冲器

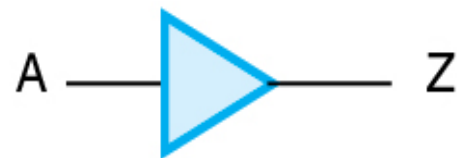
- 两级非门实现**缓冲器**，将一个“弱”信号转换为具有相同逻辑值的“强”信号



(b)

A	Q1	Q2	Q3	Q4	Z
L	off	on	on	off	L
H	on	off	off	on	H

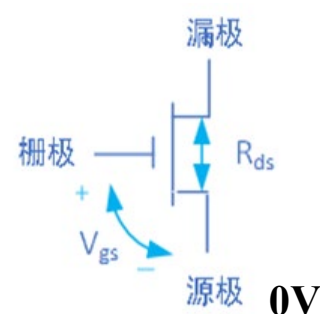
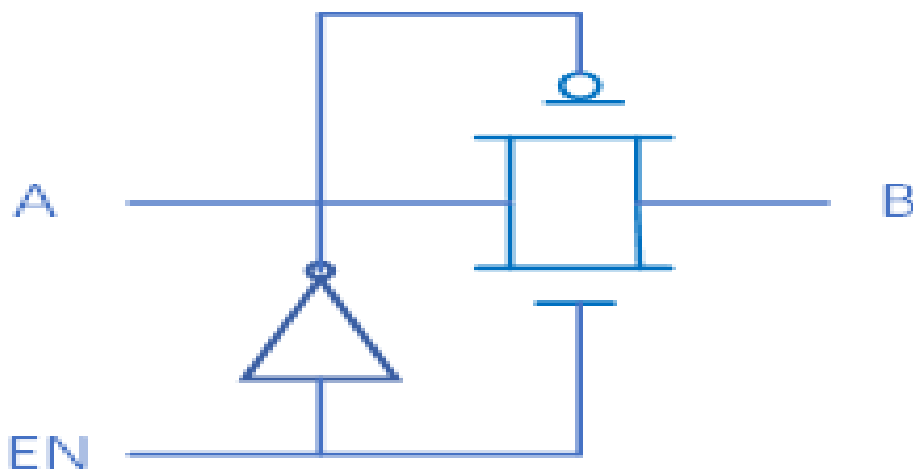
(c)



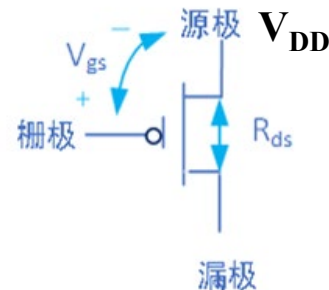
缓冲器

1.3 CMOS晶体管——实现传输门

- ◆ **传输门** (transmission gate) 由一对CMOS 晶体管以及控制信号EN构成。
 - 信号EN (**使能端**) 用于控制晶体管的导通与截止, 其功能相当于一个逻辑控制开关。
 - 当EN为高态时, 若传输的是低态信号, 则NMOS管导通; 否则是PMOS管导通。若EN为低态时, 两个MOS管都截止。
- ◆ 传输门的传播延迟非常短、电路简单, 可双向传输。



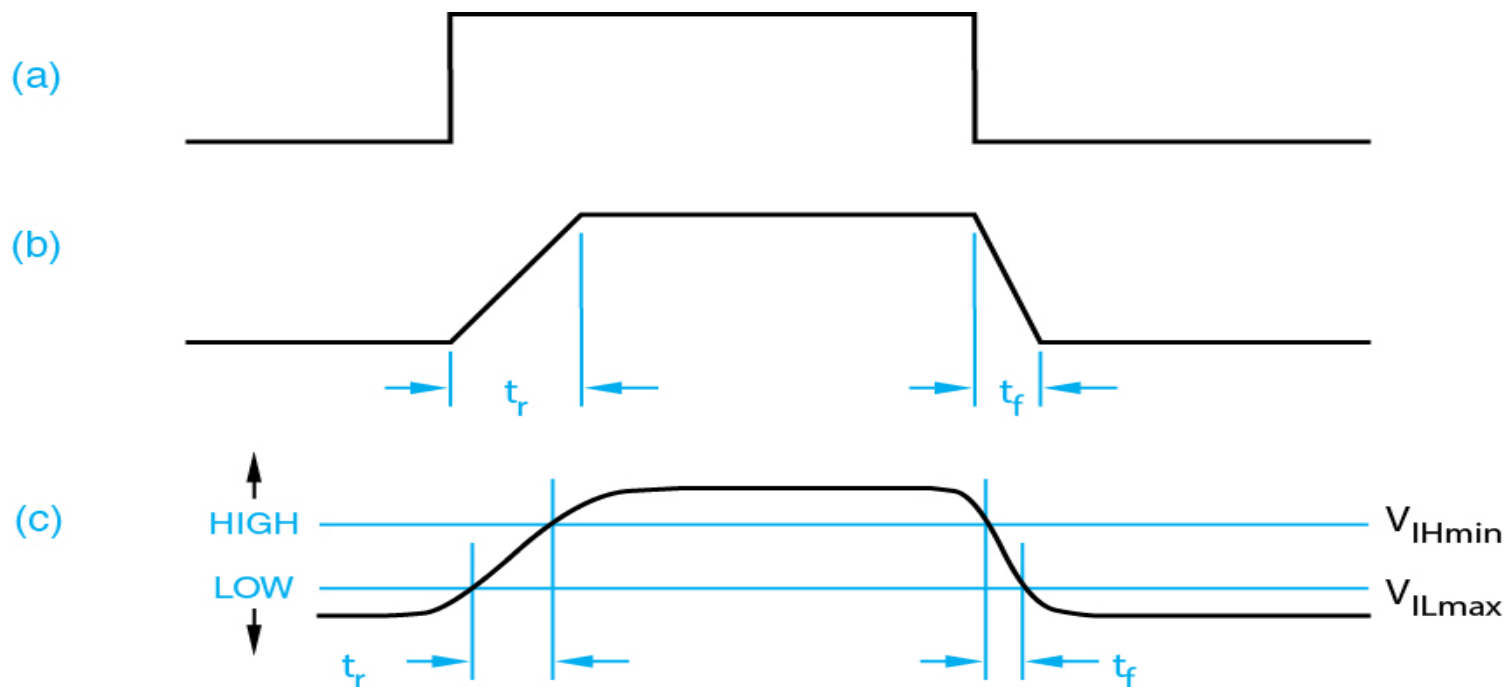
(a) NMOS 晶体管符号



(b) PMOS 晶体管符号

1.4 CMOS电路电气特性

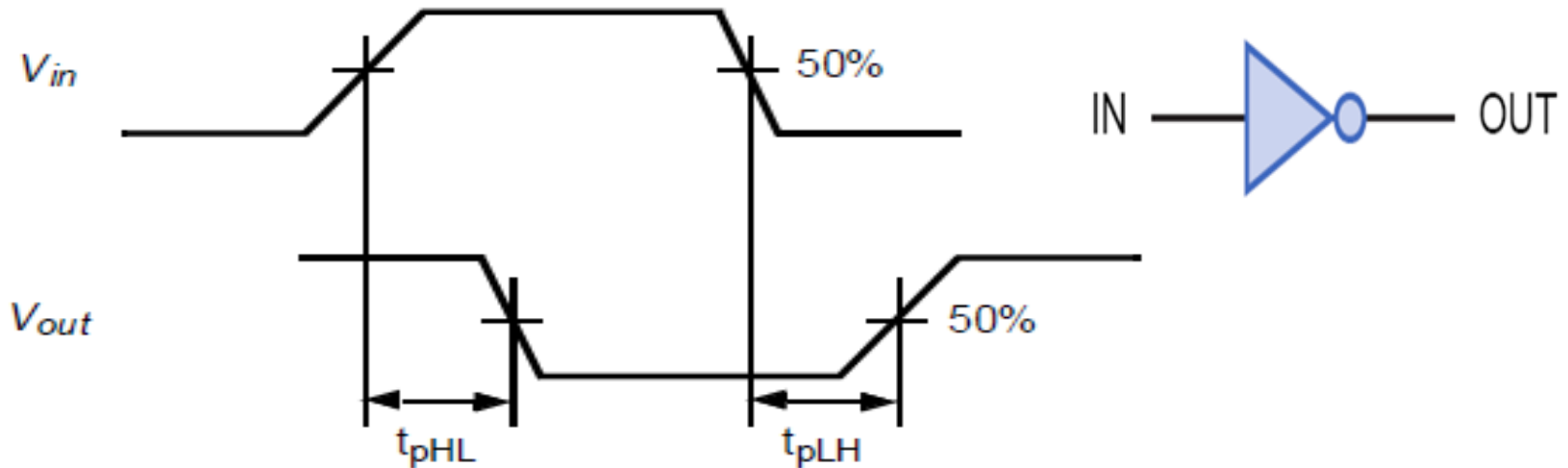
- ◆ 转换时间transition time：逻辑电路的**输入信号（或输出信号）**从一种状态转换到另一种状态所需的时间
 - 上升时间rise time t_r ：从低态到高态。
 - 下降时间fall time t_f ：从高态到低态。



转换时间 (a)理想状态 (b)近似状态 (c)实际状态

1.4 CMOS电路电气特性

- ◆ **传播延迟**(t_p , propagation delay)是指从输入信号变化到引起输出信号变化所需的时间。
- ◆ **信号通路**signal path: 是指一个特定**输入**信号到逻辑元件的特定**输出**信号所经历的电气通路。
- ◆ t_{pHL} : 输入变化引起相应输出从高到低变化的时间。
- ◆ t_{pLH} : 输入变化引起相应输出低到高变化的时间。



1.4 CMOS电路电气特性

- ◆ 数字电路在输出信号保持不变时的功率损耗称为**静态功耗**，通常CMOS电路的静态功耗很低，常忽略。
- ◆ 在输出信号**高低状态转换时的功率损耗**称为**动态功耗**。主要来源：
 - 输出端上的电容性负载 C_L
 - CMOS电路内部的功耗电容 C_{pD}
- ◆ 在CMOS电路的应用中， 动态功耗是总功率的主要成分

第一讲小结



◆ 逻辑门

- 门符号、逻辑运算符、真值表、逻辑表达式
- 与、或、非、与非、或非、异或、同或（等价）

X	Y	X AND Y
0	0	0
0	1	0
1	0	0
1	1	1

◆ 数字抽象

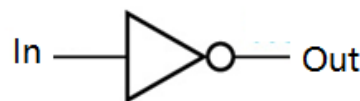
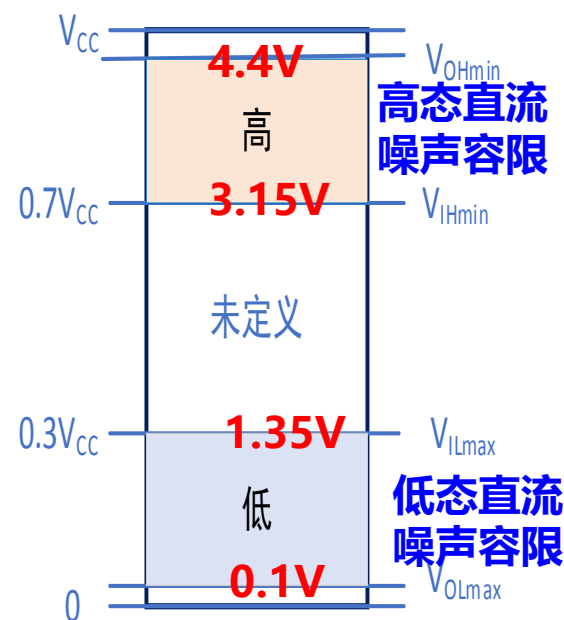
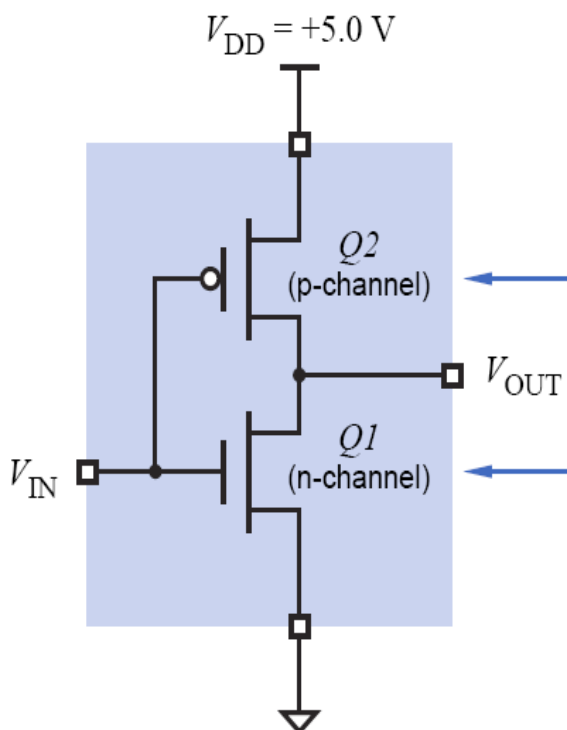
- 物理量的数字化
- 电平参数的典型数值

◆ CMOS晶体管

- PMOS和NMOS
- 常用CMOS门电路
- 非、与非、或非
- 与（与非-非）、或
- 缓冲器、传输门

◆ CMOS电路电气特性

- 传播延迟
- 动态功耗



第二讲 布尔代数

- ◆ 公理系统
- ◆ 定理
- ◆ 对偶定律
- ◆ 反演定律

2 布尔代数

- ◆ 乔治·布尔George Boole (1815–1864) , 英国数学家, 1854年发明了一种二值代数系统, 称为**开关代数**或**布尔代数**
- ◆ 1938年美国科学家香农提出用布尔代数分析并描述继电器电路的特性, 用**0、1表示继电器接触状况 (打开/闭合)** , 奠定了数字电路的理论基础
- ◆ 逻辑量: 逻辑**变量**和逻辑**常量**{0,1}
- ◆ 逻辑变量: 在数字系统中表示某个状态
 - 通常用**字母**或**字符串**来表示;
 - 只有两种取值: “**真**” 或 “**假**”
 - “真” 记作 “**1**” , 数字电路中表示为**高电平**
 - “假” 记作 “**0**” , 数字电路中表示为**低电平**
 - **0和1不表示数值的大小, 只表示完全相反的两种状态**
- ◆ 逻辑表达式: 用**逻辑运算符**将**逻辑量**连接起来的代数式。其运算结果是一个逻辑值 (不强调输入和输出)
- ◆ **逻辑函数**: 表明输入和输出变量之间的逻辑关系

2 布尔代数

◆逻辑运算：在布尔代数中，有**与**、**或**、**非**三种基本逻辑运算。

与运算：合取、**逻辑乘**，符号“ \cdot ”、“ \wedge ”，Verilog：“&”

或运算：析取、**逻辑加**，符号“ $+$ ”、“ \vee ”，Verilog：“|”

非运算：否定、**取反**，符号“ $-$ ”、“ \neg ”、“ \sim ”，Verilog：“~”

运算优先顺序：

- (1) 圆括号
- (2) **非**运算：一元运算
- (3) **与**运算：二元运算
- (4) **或**运算：二元运算

逻辑乘的符号在单符号变量中可省略“ \cdot ”，不建议省略。

2.1 公理系统

◆ 用符号X、Y、Z表示逻辑变量的状态。

◆ 公理1:

• (A1)如果 $x \neq 1$, 则 $x=0$; (A1D)如果 $x \neq 0$, 则 $x=1$

◆ 公理2:

• (A2)如果 $x=0$, 则 $\bar{x} = 1$; (A2D)如果 $x=1$, 则 $\bar{x} = 0$

◆ 常量运算公理

• $0 \cdot 0 = 0$ (A3) $1 + 1 = 1$ (A3D)

• $1 \cdot 1 = 1$ (A4) $0 + 0 = 0$ (A4D)

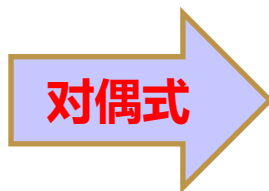
• $0 \cdot 1 = 1 \cdot 0 = 0$ (A5) $1 + 0 = 0 + 1 = 1$ (A5D)

布尔代数的公理和定理基本上成对出现
只要将与、或运算符以及0和1互换即可

2.2 对偶定律

- ◆ 对于任何一个逻辑表达式Y，若将其中的“ \cdot ”与“ $+$ ”互换，“0”和“1”互换，则得到Y的对偶式 Y^D ，称Y与 Y^D 互为对偶式。
- ◆ 对偶定律：若两个逻辑表达式相等，则它们的对偶式也相等。
 - 在保持运算优先次序不变的前提下

$$X + X \cdot Y = X$$



$$X \cdot (X + Y) = X$$

2.3 定理

◆ 单变量定理

- 一致性 (T1) $X+0 = X$ (T1D) $X \cdot 1 = X$
- 空元素 (T2) $X+1 = 1$ (T2D) $X \cdot 0 = 0$
- 同一律 (T3) $X+X = X$ (T3D) $X \cdot X = X$
- 还原律 (T4) $\overline{\overline{X}} = X$
- 互补律 (T5) $X+\overline{X} = 1$ (T5D) $X \cdot \overline{X} = 0$

◆ 可用完备归纳法证明

2.3 定理

◆ 二变量和三变量定理

• 交换律 (T6) $X+Y=Y+X$ (T6D) $X\cdot Y=Y\cdot X$

• 结合律 (T7) $(X+Y)+Z=X+(Y+Z)$

(T7D) $(X\cdot Y)\cdot Z=X\cdot(Y\cdot Z)$

• 分配律 (T8) $X\cdot Y+X\cdot Z=X\cdot(Y+Z)$

(T8D) $(X+Y)\cdot(X+Z)=X+Y\cdot Z$

• 吸收律 (T9) $X+X\cdot Y=X$ (T9D) $X\cdot(X+Y)=X$

与算术运算
规则不同!

2.3 定理

◆证明定理（吸收律）T9（方法有多种）

$$\begin{aligned}X + X \cdot Y &= X \cdot 1 + X \cdot Y \\&= X \cdot (1 + Y) \\&= X \cdot 1 \\&= X\end{aligned}$$

$$= X + X \cdot Y + \bar{X} \cdot Y \quad \text{T9}$$

◆证明T9D

$$\begin{aligned}X \cdot (X + Y) &= X \cdot X + X \cdot Y \\&= X + X \cdot Y \\&= X\end{aligned}$$

$$= X + (X + \bar{X}) \cdot Y \quad \text{T8}$$

$$= X + Y$$

请证明以下公式：

(a) $X + \bar{X} \cdot Y = X + Y$

(b) $X \cdot (\bar{X} + Y) = X \cdot Y$

$$= X \cdot (X + Y) \cdot (\bar{X} + Y) \quad \text{T9D}$$

$$= X \cdot (X \cdot \bar{X} + Y) \quad \text{T8D}$$

$$= X \cdot Y$$

2.3 定理

◆ 二变量和三变量定理

• 交换律 (T6) $X+Y=Y+X$ (T6D) $X \cdot Y=Y \cdot X$

• 结合律 (T7) $(X+Y)+Z=X+(Y+Z)$

(T7D) $(X \cdot Y) \cdot Z=X \cdot (Y \cdot Z)$

• 分配律 (T8) $X \cdot Y+X \cdot Z=X \cdot (Y+Z)$

(T8D) $(X+Y) \cdot (X+Z)=X+Y \cdot Z$

与算术运算
规则不同!

• 吸收律 (T9) $X+X \cdot Y=X$ (T9D) $X \cdot (X+Y)=X$

• 组合律 (T10) $X \cdot Y+X \cdot \bar{Y}=X$ (T10D) $(X+Y) \cdot (X+\bar{Y})=X$

• 一致律 (T11) $X \cdot Y+\bar{X} \cdot Z+Y \cdot Z=X \cdot Y+\bar{X} \cdot Z$

(T11D) $(X+Y) \cdot (\bar{X}+Z) \cdot \underline{(Y+Z)}=(X+Y) \cdot (\bar{X}+Z)$

$Y \cdot Z$ 称为一致项/冗余项, 若 $Y \cdot Z$ 为1, 则 $X \cdot Y$ 和 $\bar{X} \cdot Z$ 必有一个为1

同理: $Y+Z$ 为冗余项

在组合电路中用来消除时序冒险。

2.3 定理

◆ n变量定理

• 广义同一律 (T12) $X + X + \dots + X = X$

(T12D) $X \cdot X \cdot \dots \cdot X = X$

• 德·摩根定理 De Morgan's Theorem

(T13) $\overline{X_1 \cdot X_2 \cdot \dots \cdot X_n} = \overline{X_1} + \overline{X_2} + \dots + \overline{X_n}$

(T13D) $\overline{\overline{X_1} + \overline{X_2} + \dots + \overline{X_n}} = \overline{\overline{X_1}} \cdot \overline{\overline{X_2}} \cdot \dots \cdot \overline{\overline{X_n}}$

• 广义德·摩根定理

(T14) $\overline{F(X_1, X_2, \dots, X_n, +, \cdot)} = F(\overline{X_1}, \overline{X_2}, \dots, \overline{X_n}, \cdot, +)$

• 香农定理

用于多变量函数的实现

(T15) $F(X_1, X_2, \dots, X_n) = X_1 \cdot F(1, X_2, \dots, X_n) + \overline{X_1} \cdot F(0, X_2, \dots, X_n)$

(T15D) $F(X_1, X_2, \dots, X_n) = [X_1 + F(0, X_2, \dots, X_n)] \cdot [\overline{X_1} + F(1, X_2, \dots, X_n)]$

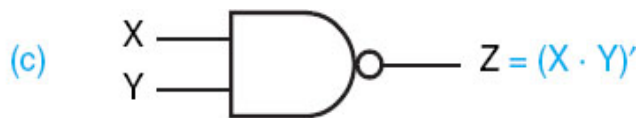
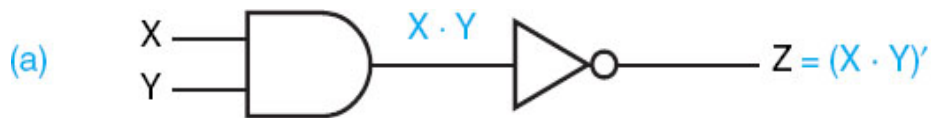
n个变量

n-1个变量

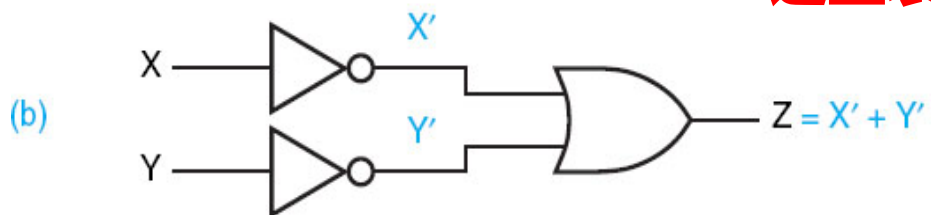
2.3 定理

等效电路具有相同的功能
实现与非逻辑时，可用与门接非门，也可以用非门接或门，也可以直接用与非门实现

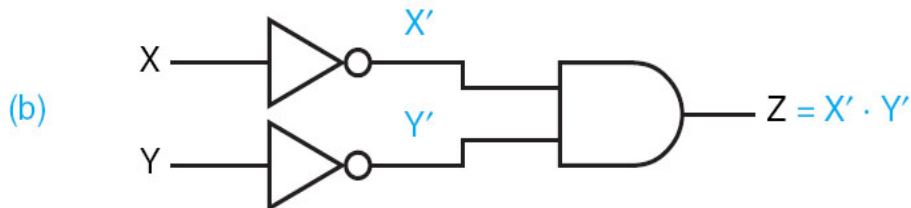
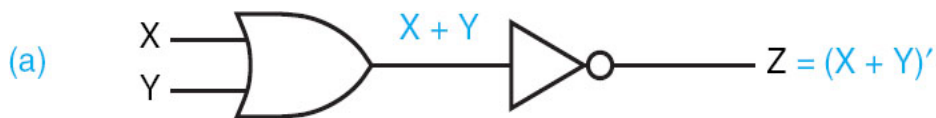
◆ 德·摩根定理的应用



这里表达式中的' 表示取反



根据T13的等效电路，a) 与-非 b) 非-或 c) 与非门逻辑符号 d) 与非门等效电路



根据T13D的等效电路，a) 或-非 b) 非-与 c) 或非门逻辑符号 d) 或非门等效电路

2.3 定理

◆ 德·摩根定理的应用例（注：这里省略了很多“与”运算符）

$$\begin{aligned}\overline{a(b+c) + \bar{a}b} &= \overline{a(b+c)} \cdot \overline{\bar{a}b} \\&= (\bar{a} + \overline{(b+c)}) \cdot (\bar{\bar{a}} + \bar{b}) \\&= (\bar{a} + \bar{b} \cdot \bar{c}) \cdot (a + \bar{b}) \\&= (\bar{a} + \bar{b} \cdot \bar{c}) \cdot a + (\bar{a} + \bar{b} \cdot \bar{c}) \cdot \bar{b} \\&= \bar{a}a + \bar{b}\bar{c}a + \bar{a}\bar{b} + \bar{b}\bar{c}\bar{b} \\&= a\bar{b}\bar{c} + \bar{a}\bar{b} + \bar{b}\bar{c} \\&= (a\bar{c} + \bar{a} + \bar{c})\bar{b} \\&= \bar{b}(\bar{a} + \bar{c})\end{aligned}$$

T9的应用