

第4章 时序逻辑电路

第一讲 时序逻辑电路概述

第二讲 锁存器和触发器

第三讲 同步时序电路设计

第四讲 典型时序逻辑部件设计

第一讲 时序逻辑电路概述

- ◆ 时序逻辑与有限状态机
- ◆ 时序逻辑电路的基本结构
- ◆ 时序逻辑电路的定时

1 时序逻辑电路概述

- ◆ 组合逻辑：输出结果仅取决于当前的输入信号
- ◆ 时序逻辑：**输出结果**不仅取决于**当前时刻的输入值**，而且取决于电路**过去时刻的行为**（当前状态、现态、旧状态）
 - 电路中有**存储元件**，用于存储逻辑信号的值，表示电路**过去时刻的行为**（当前状态、现态、旧状态）
 - 当电路输入值发生变化时，新的输入值可能使得电路**保持**当前状态，也可能使得电路状态发生**改变**，进入新的状态

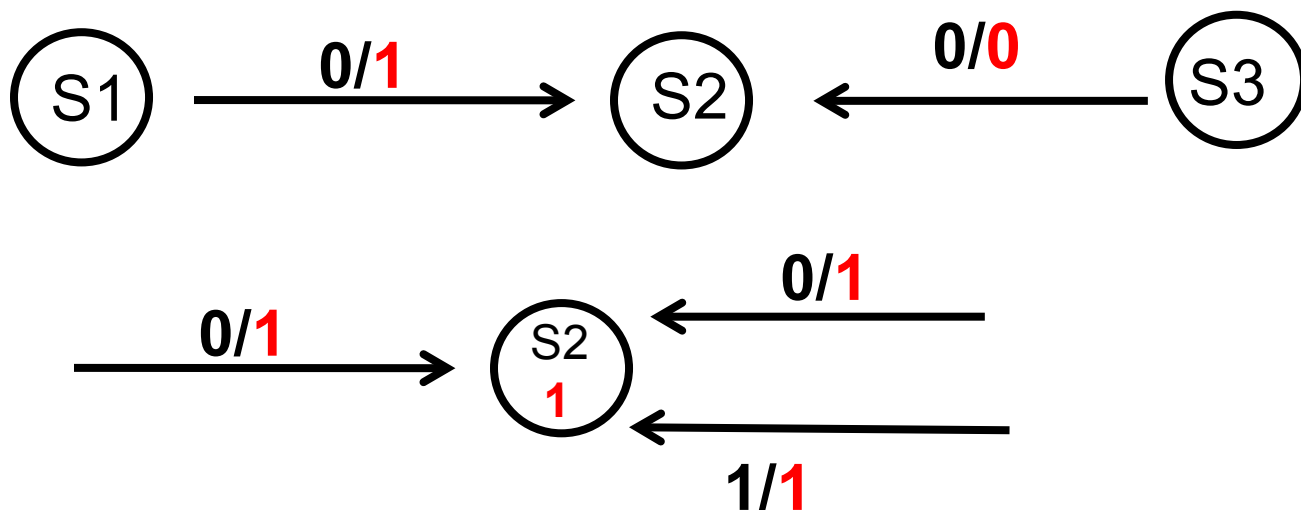
如,电视机的音量控制

通过音量按钮 “+” 和 “-” 输入当前信号，得到的下一次音量（下一个状态）由原音量（当前状态）和当前所按按钮决定

如何有效反映**下一状态**和**当前状态**及**当前输入**之间的转换关系呢？

1.1 有限状态机

- ◆ **有限状态机** (Finite State Machine, FSM) 是一种刻画状态以及状态转换的理论工具。
- ◆ 通常用**状态图**描述有限状态机。
 - **状态**: 用包含状态符号的圆圈表示
 - **状态转换方向**: 用有向边表示, 并在边上标注引起状态变换的输入信号值和相应输出 (若输出只与当前状态有关, 则把输出标注在状态圆圈中)



1.1 有限状态机—状态图

例：检测输入序列是否为连续4个“1”

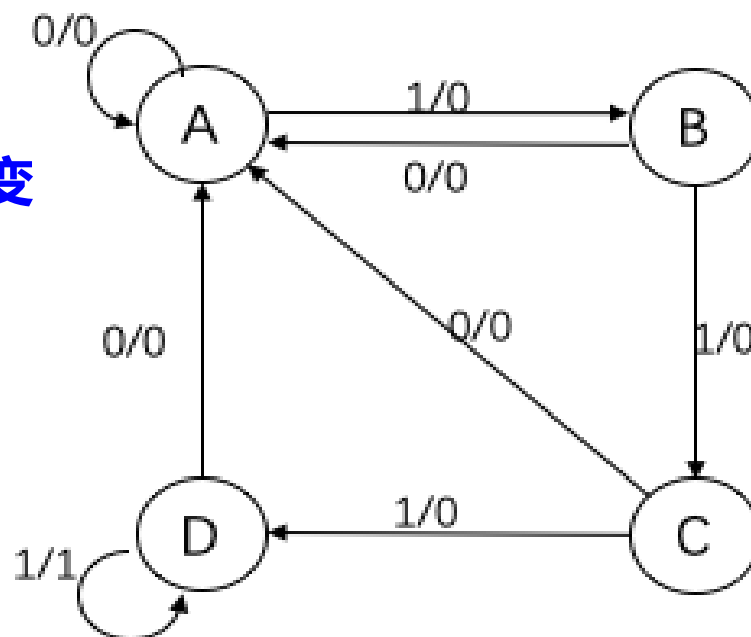
A-初始态：若输入1，则转B

B-连续1个“1”：若输入1，则转C

C-连续2个“1”：若输入1，则转D

D-连续3个“1”：若输入1，则状态不变
并输出为1（表示检测到连续4个1）

任何状态下，输入0都会转到初态A



如何用数字逻辑实现有限状态机呢？

1.1 用数字逻辑实现有限状态机

- ◆ 用数字逻辑实现一个有限状态机，需要完成的主要工作：
 - 把状态机的输入、输出以及内部状态都转换成二进制表示。这里的关键是状态的二进制编码。
 - 设计一种状态记忆电路（存储元件）。使用双稳态器件记忆状态，如SR锁存器、D触发器、JK触发器等；
 - 设计状态记忆电路的激励函数（根据当前输入把旧状态改为新状态的函数）和输出函数（根据旧状态和当前输入来改变电路输出结果的函数），并完成定时分析。

能完成上述工作（实现有限状态机）的数字逻辑电路一定是一个时序逻辑电路！

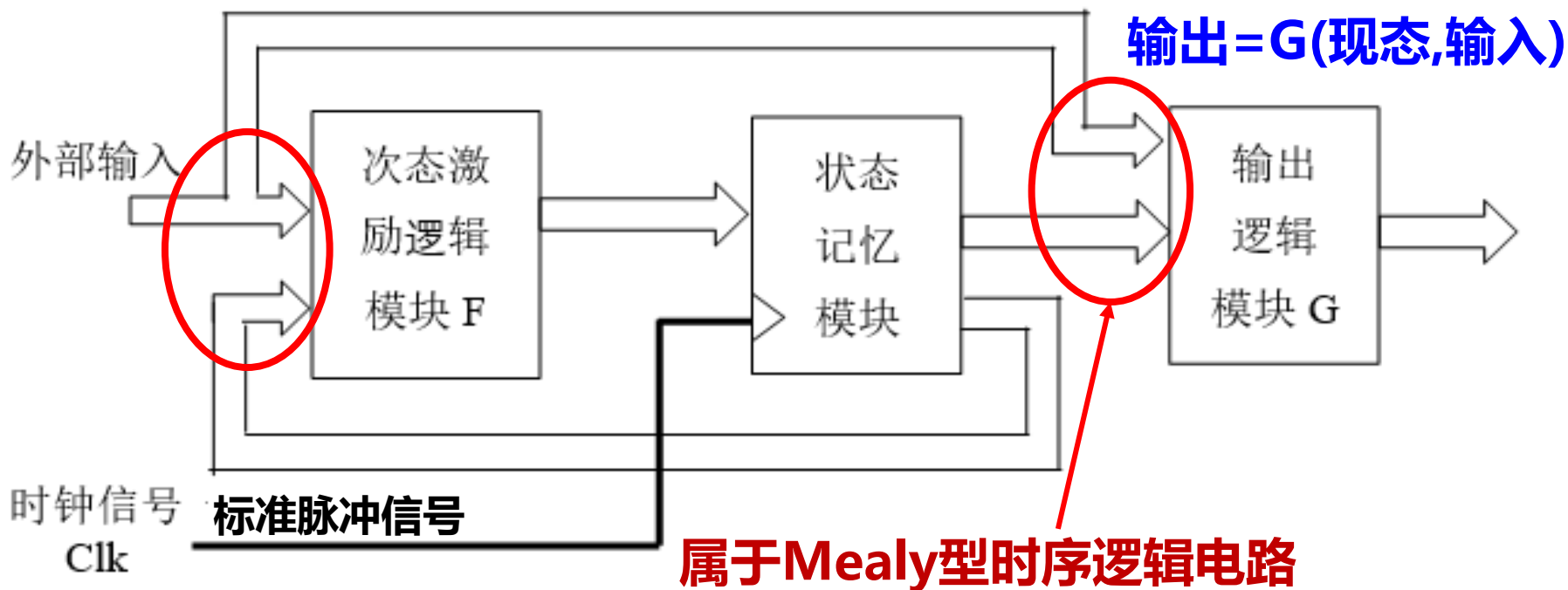
1.2 时序逻辑电路基本结构

◆ 时序逻辑电路的一般结构

- **状态记忆模块**：由多个状态记忆单元构成（存储元件）
- **次态激励逻辑模块F**：激励函数（现态和外部输入的逻辑函数）
- **输出逻辑模块G**：输出函数（现态和外部输入的逻辑函数）

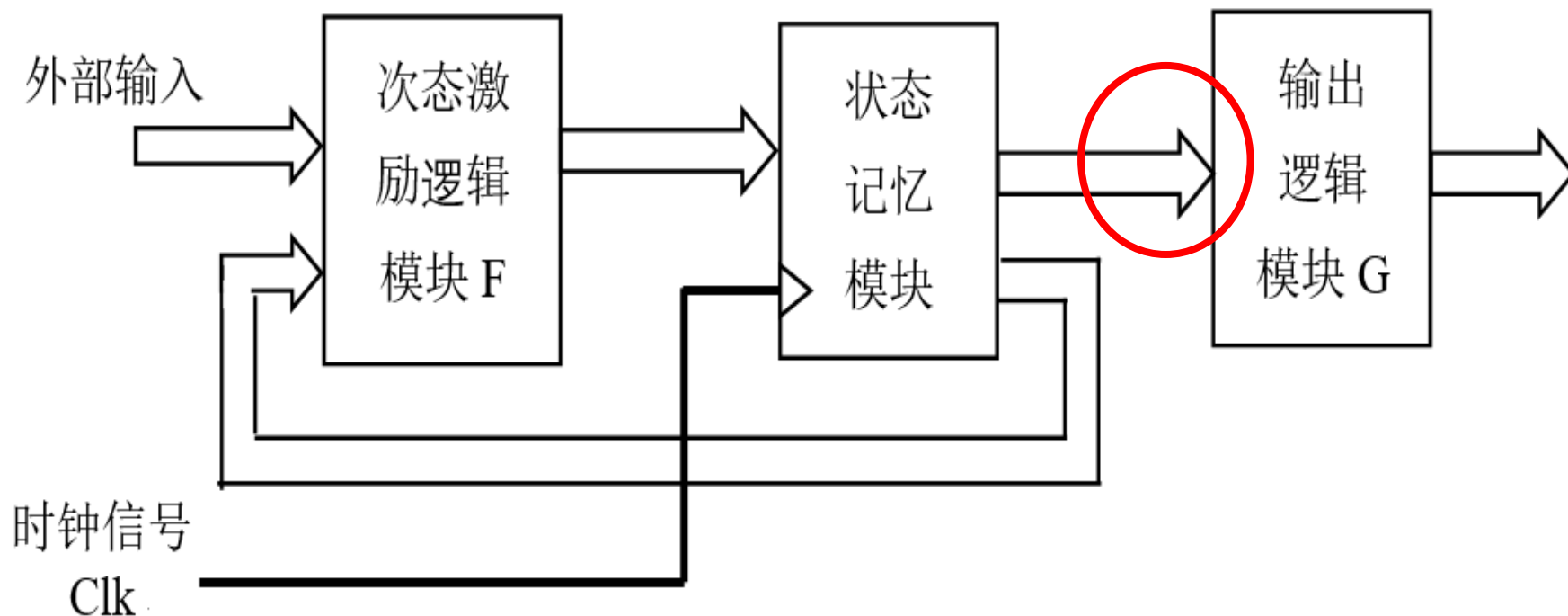
Mealy型：输出依赖于**当前状态**和**当前输入信号**

Moore型：输出仅依赖于**当前状态**，和当前输入信号无关



1.2 时序逻辑电路基本结构

- ◆ **Moore型**：输出信号仅依赖于**当前状态**。 **输出 = G(现态)**



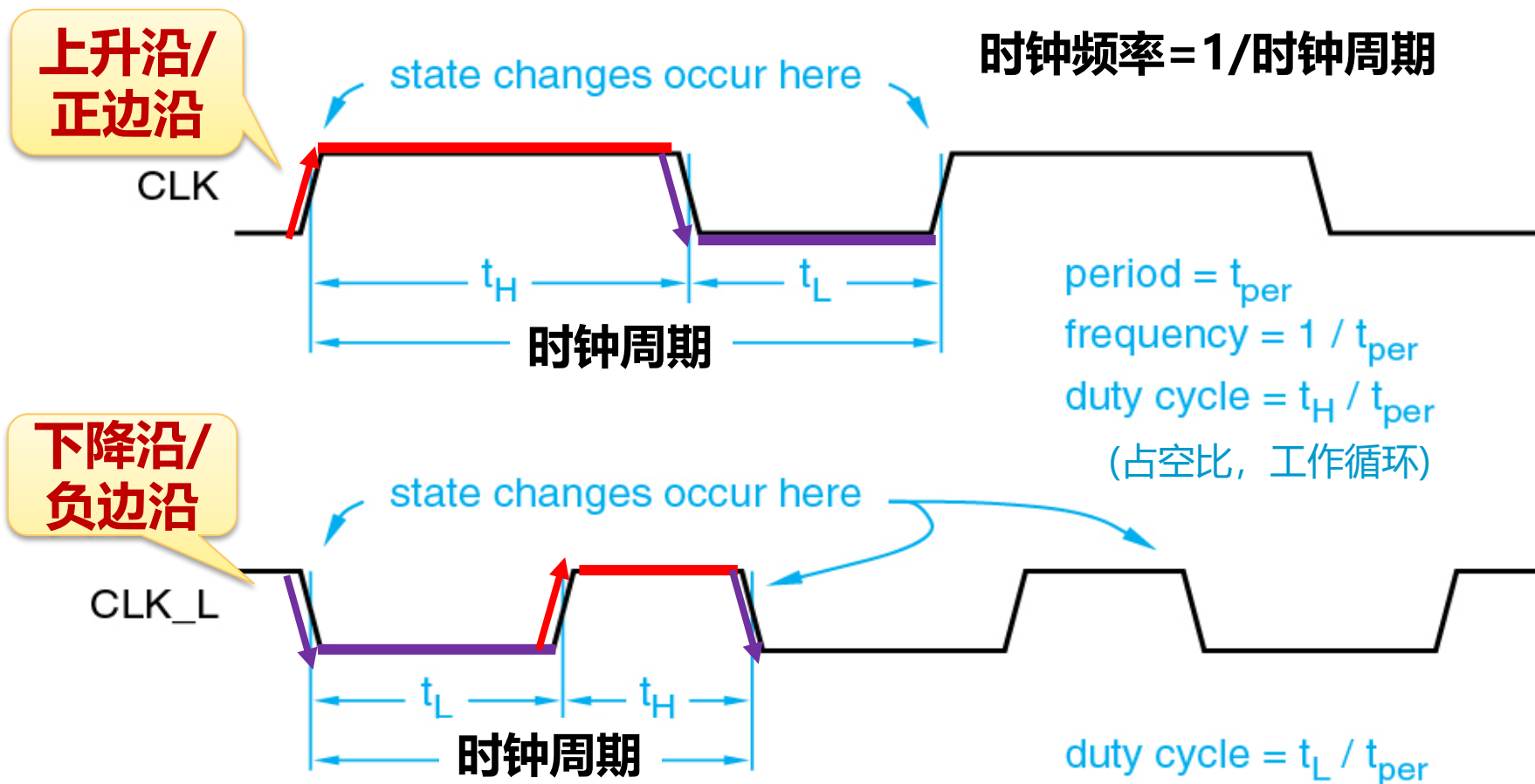
- ◆ 根据状态转换方式的不同有**同步时序**逻辑电路和**异步时序**逻辑电路
- 同步时序逻辑电路：在统一的时钟信号控制下进行状态转换
 - 异步时序逻辑电路：没有统一的时钟信号来控制状态的改变
 - **Clk**：固定周期的标准脉冲信号

补：时钟脉冲

- ◆按一定电压幅度、按固定时间间隔、连续发出的脉冲信号。
- ◆时钟都是通过振荡器产生的。振荡器有很多种，根据不同的时钟需求会使用不同的振荡器。
- ◆原始时钟信号一般会通过晶体振荡器产生。根据晶体特性存在一个谐振频率，而且品质因子（目标频率能量占总能量的比值）非常高。从而能够产生一个噪声非常小、震荡频率非常精确的时钟信号。
- ◆时钟脉冲之间的时间间隔称为**时钟周期**。单位是秒。
- ◆通常将1秒内所产生的脉冲个数称为**时钟频率**。单位是Hz
- ◆计算机中的系统时钟就是一个典型的、频率精确和稳定的脉冲信号发生器。

1.3 时序逻辑电路的定时

- ◆ 什么时候状态会发生变换？ **电平触发**或**边沿触发**
- ◆ 边沿触发方式分为**上升沿触发**和**下降沿触发**两种类型



第二讲 锁存器和触发器

- ◆ 双稳态元件
- ◆ SR锁存器
- ◆ D锁存器
- ◆ D触发器
- ◆ T触发器

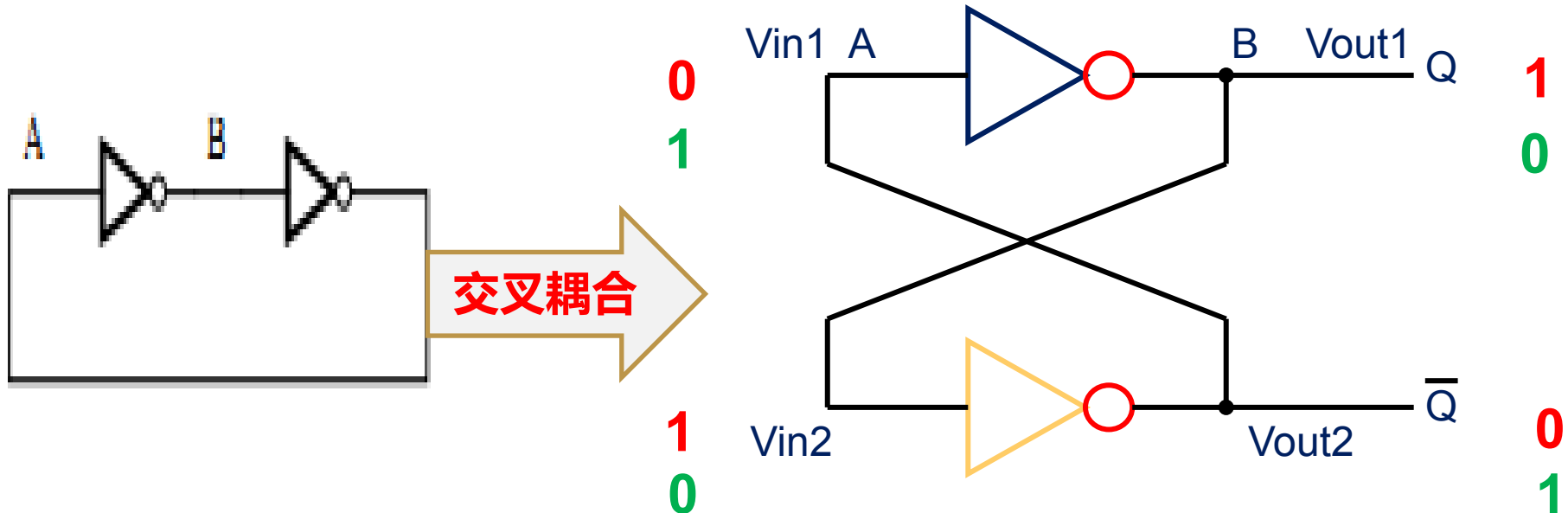
2.1 双稳态元件

- ◆ 用于存储1位二进制数据，有两个**互补**的输出。注意：输出当然可以、而且必须回送端
- 状态 1：置位(Set)状态，表示存储逻辑“1”

- 状态 0：复位(Reset)状态，表示存储逻辑“0”

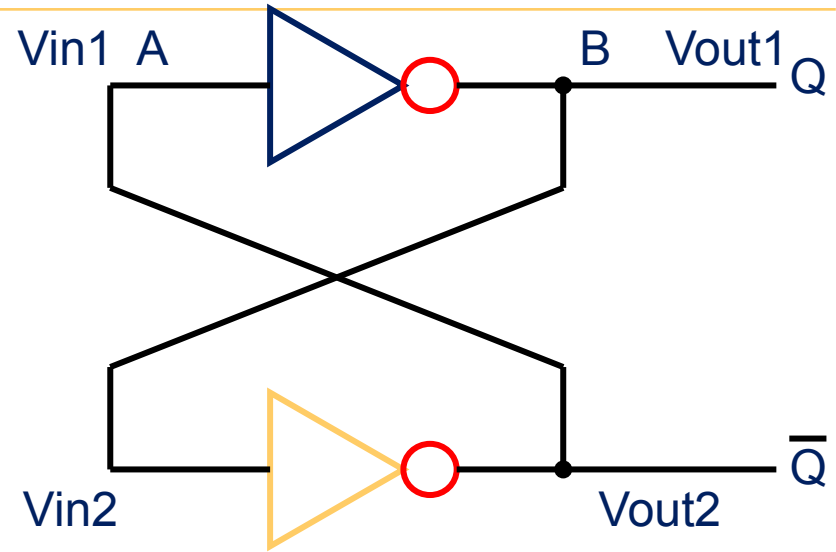
- ◆ 双稳态元件的简单实现

- 串联两个反相器，则反相器的输出状态不同，且保持稳定
- Q为高电平时，为置位状态；Q为低电平时，为复位状态



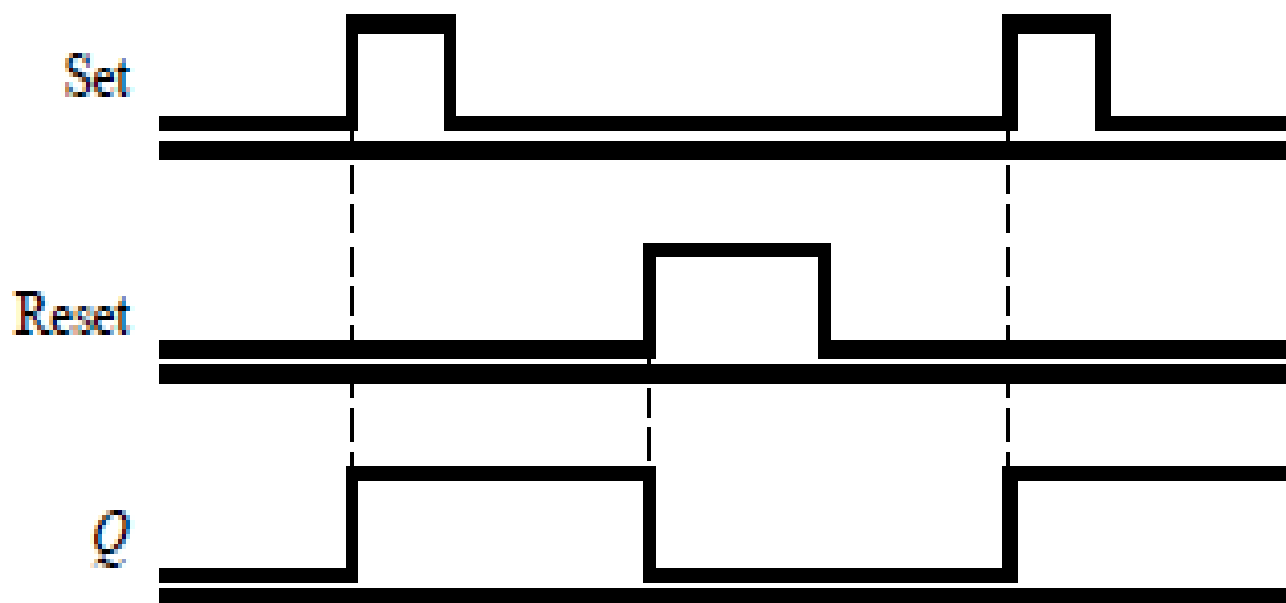
2.1 双稳态元件

- ◆ 用两个反相器串联构建的双稳态元件无法改变电路状态
- ◆ 用1个或多个输入信号能**驱动**双稳态元件进入**稳定状态**，这些输入信号称为**激励信号**或**激励输入**。
- ◆ 通常根据不同的激励输入信号来命名存储元件，如SR、JK、D、T 等不同的激励输入信号
- ◆ 根据触发方式的不同，基于双稳态元件的构建思路，可以实现两种类型的存储元件：
 - 用激励信号的电平触发：锁存器(latch)
 - 用时钟信号的边沿触发：触发器(flip-flop)



2.1 双稳态元件-锁存器

- ◆ 锁存器 (latch) : 通过激励输入的**电平信号**来控制存储元件的状态
- ◆ **置位复位**锁存器(Set-Reset latch): 具有置位和复位激励信号
 - 置位激励信号Set**有效时**, 强制存储元件的输出Q为**1**
 - 复位激励信号Reset**有效时**, 强制存储元件的输出Q为**0**



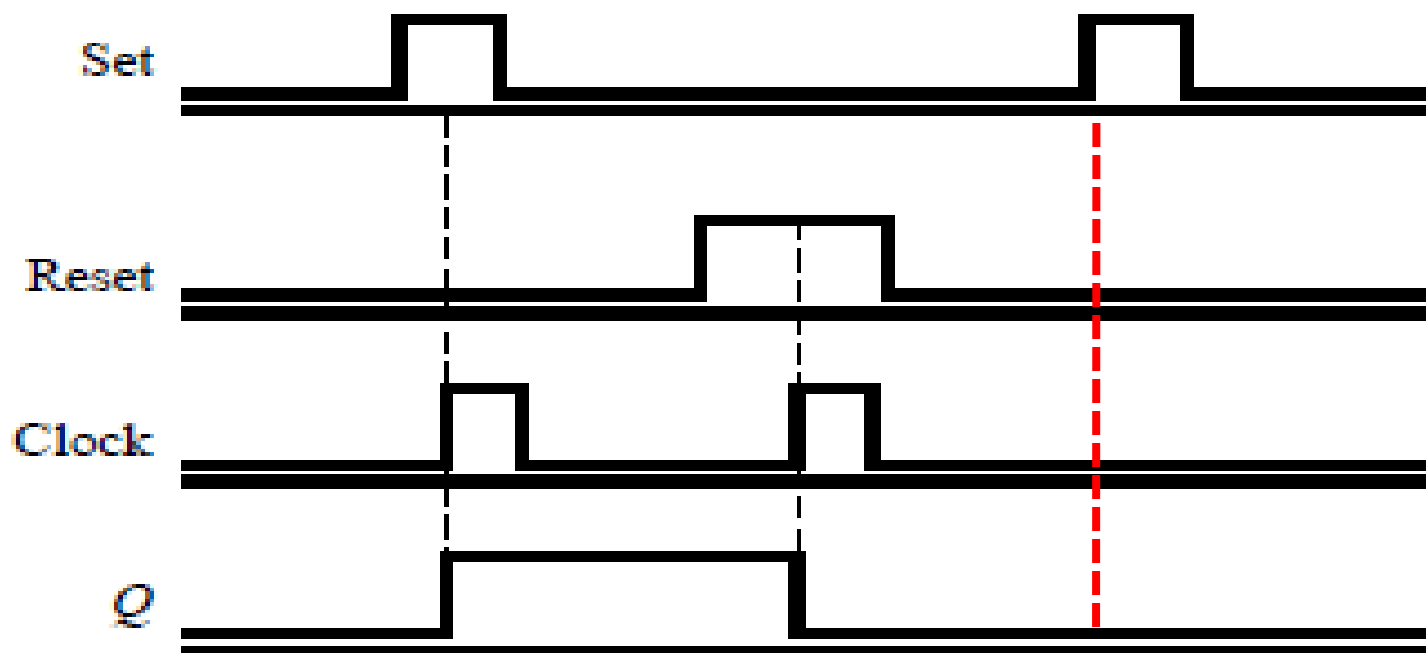
接受Set信号,
Q变化,
然后稳定

接受Reset信号,
Q变化,
然后稳定

2.1 双稳态元件-触发器

◆ 触发器 flip-flop

- 具有时钟控制信号(clock)
- 通过时钟信号的**边沿**来触发存储元件改变状态

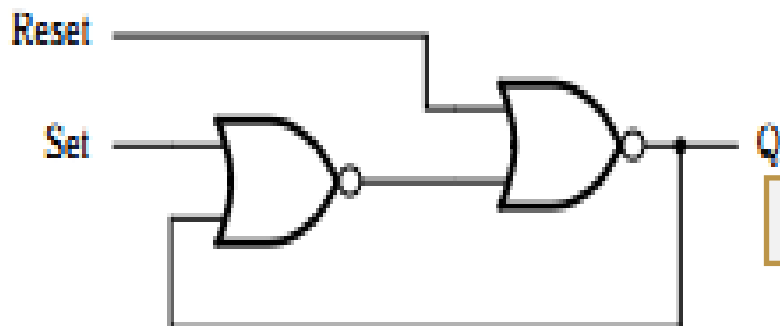


Set信号有效,
但必须等到时
钟边沿到来,
Q才变化

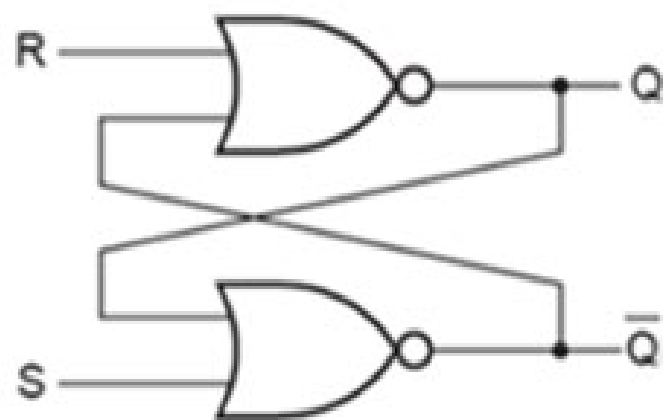
Set信号有效,
但没有时钟边沿
到来, Q不变

2.2 SR锁存器

- ◆ SR锁存器：使用一对交叉耦合的或非门构成双稳态电路，也称为置位-重置（复位）锁存器。S是置位输入端，R是重置输入端



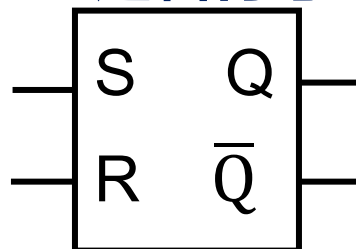
交叉耦合



功能表

S	R	Q	\bar{Q}
0	0	状态不变	
0	1	0	1
1	0	1	0
1	1	禁	止

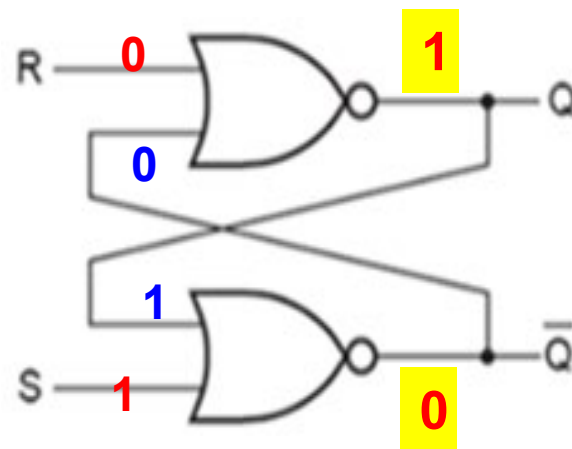
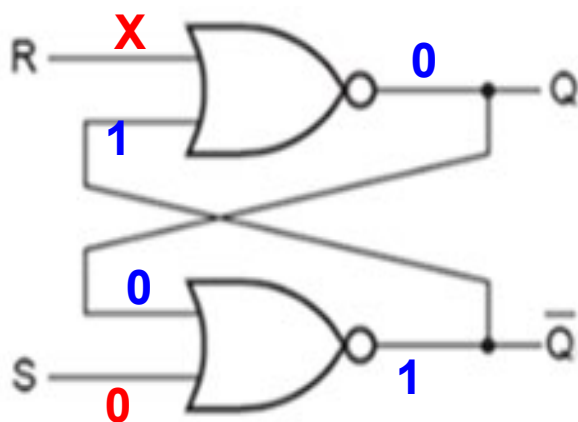
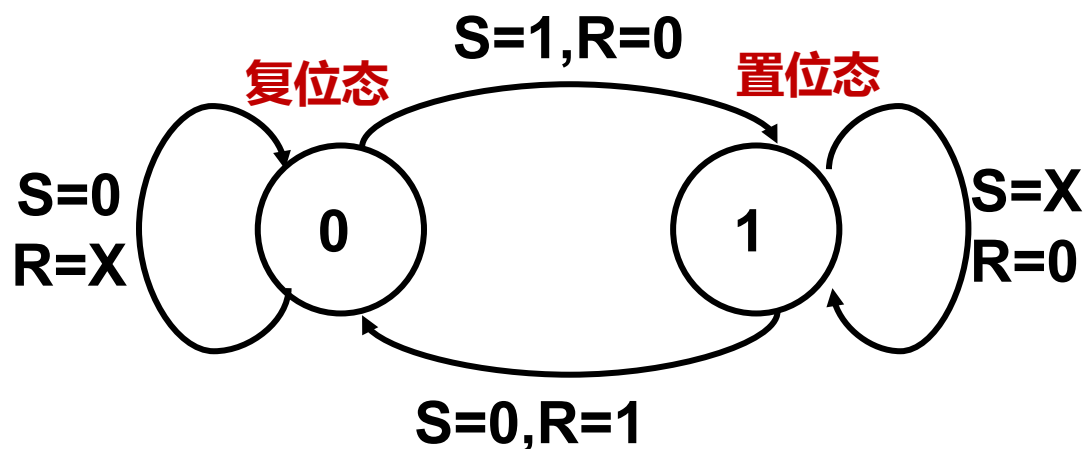
逻辑符号



R=S=1时，Q、 \bar{Q} 状态不相反，无效

2.2 SR锁存器

◆ 状态图

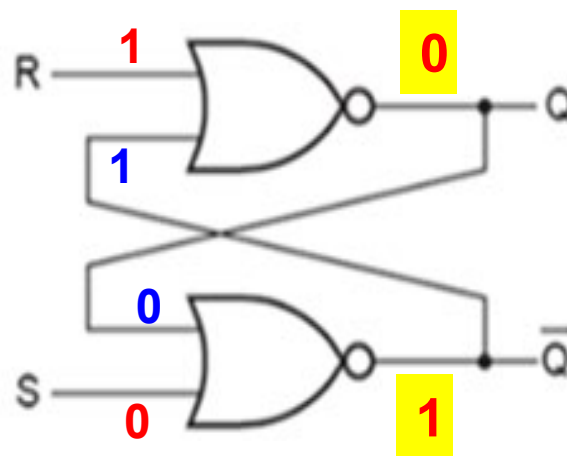


2.2 SR锁存器

- ◆ 通过**状态变化**来描述时序电路
- ◆ 构建状态表
 - 顶部为输入信号，左侧为现态Q
 - 右侧填入次态Q*和输出信号
 - （右表中没有“输出”）

状态表				
现态 Q	输入RS			
	00	01	10	11
0	0	1	0	0*
1	1	1	0	0*

- ◆ 在置位态下，若R输入变为高电平，则经过**两级门延迟**变为复位态
- ◆ 从输入驱动信号有效开始，到
- ◆ 输出达到稳定为止有一定的延
- ◆ 迟，这个延迟称为**触发延迟**或
- ◆ **锁存延迟**。



2.2 SR锁存器

◆ 状态表转换成状态转移表

状态表

现态 Q	次态Q*			
	输入RS			
	00	01	10	11
0	0	1	0	0*
1	1	1	0	0*



状态图、状态表、
特征方程之间可
相互转换！

状态转移表

S	R	现态Q	次态Q*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0* d
1	1	1	0* d

■ 次态 (特征) 方程

次态方程

$$\begin{cases} Q^* = S + \bar{R} \cdot Q \\ S \cdot R \neq 1 \text{ 约束条件} \end{cases}$$

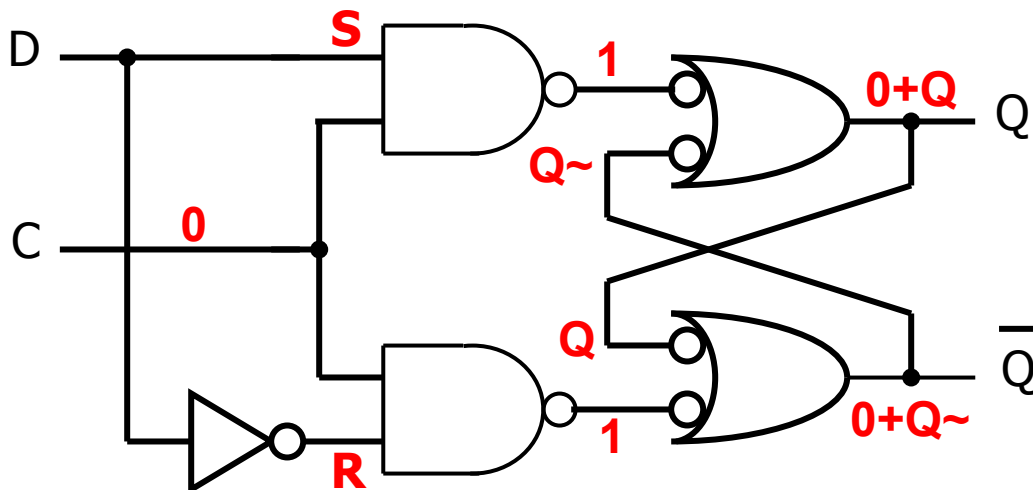
功能：SR锁存器只有状态，没有输出，常用来**设置标志位**

2.3 D锁存器

◆ 如何利用锁存器来存储信息位？

数据
输入端

使能控
制端



C=0时, 电路
状态 (Q和 \bar{Q})
保持不变

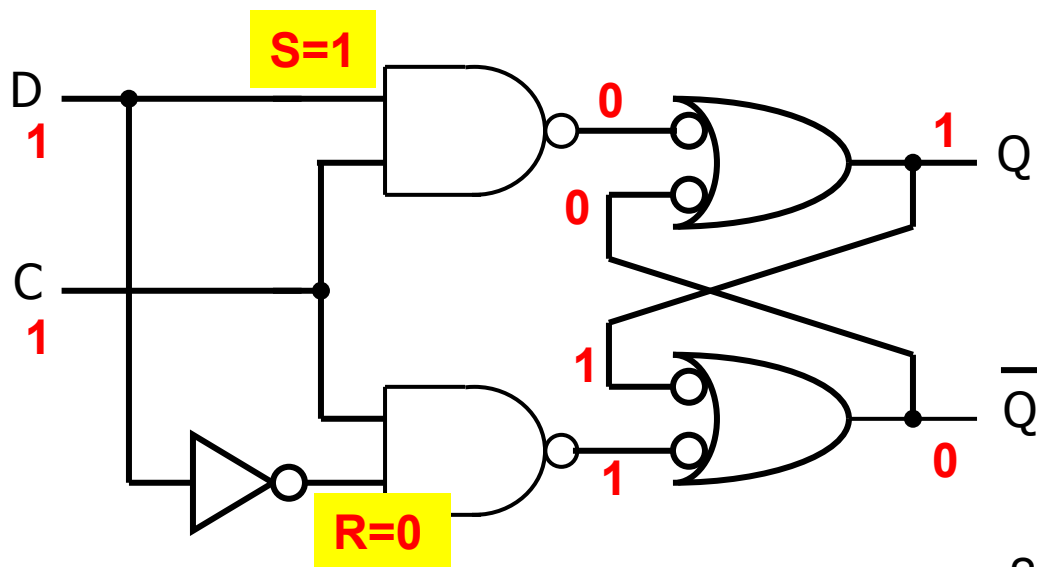
C=1时,

D = 1 时, Q = 1

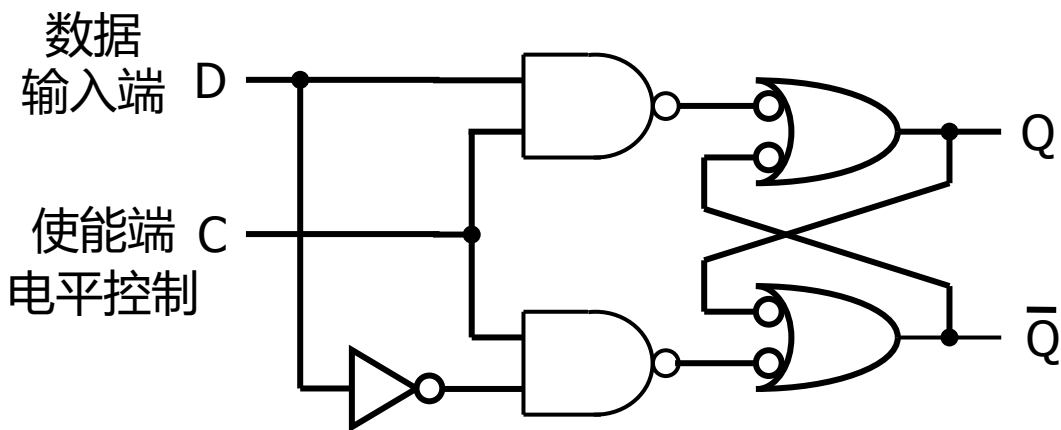
D = 0 时, Q = 0

也就是: $Q = D$

电路状态随输入而改变



2.3 D锁存器



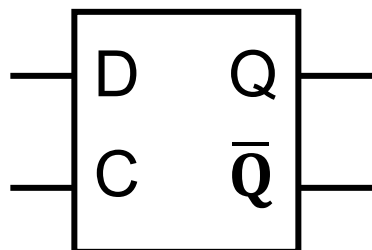
D锁存器功能表

C	D	Q	\bar{Q}
0	X	保持	保持
1	0	0	1
1	1	1	0

C=0时, 电路状态保持不变

C=1时, 将数据端D锁存
(输入D让电路状态改变了)

逻辑符号



只有一个数据输入端D，称为D锁存器，也称为透明锁存器

2.3 D锁存器

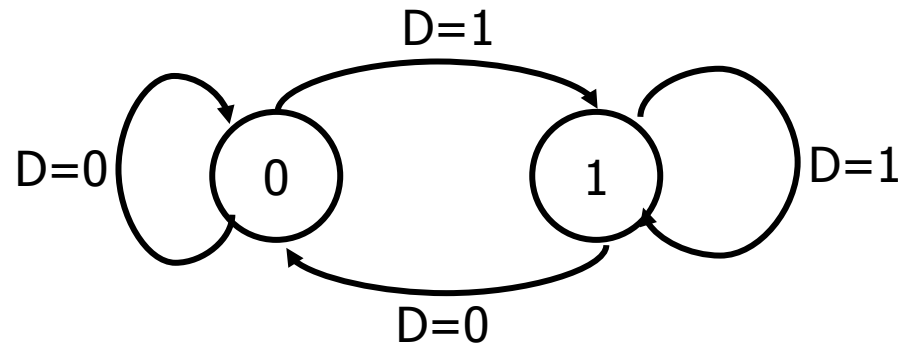
◆ D锁存器状态转移表、状态图和次态（特征）方程

状态转移表

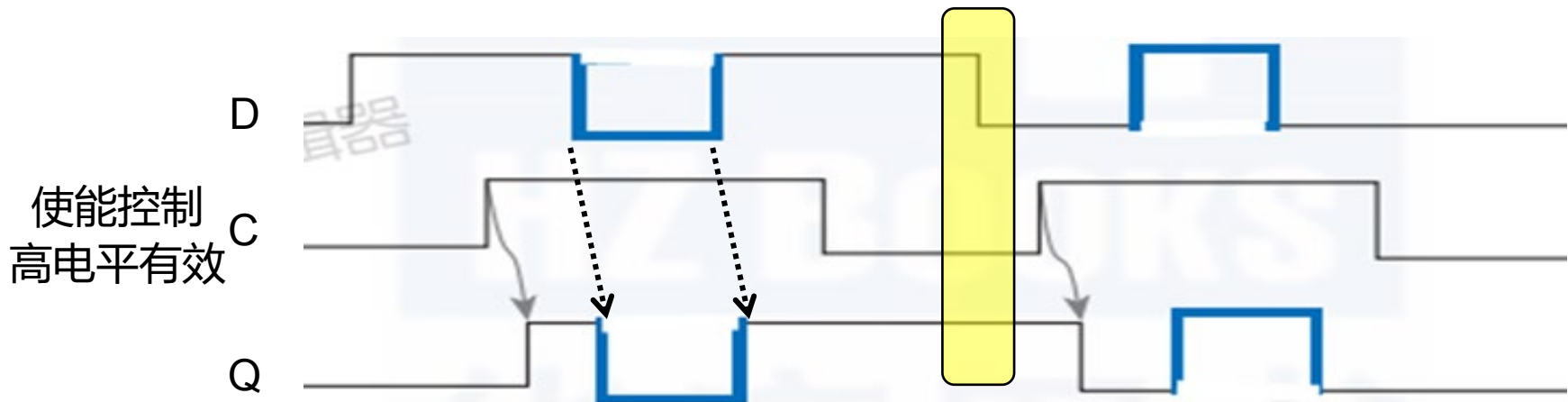
D	Q*
0	0
1	1

特征方程： $Q^* = D$ ($C=1$)

状态图



◆ D锁存器的时序图



回顾第9次课

◆ 时序逻辑电路的四个要素：输入、现态 → 输出、新态 （都是二进制编码）

◆ 时序逻辑电路的三个模块：

- 激励函数，次态/特征方程：新态 = G（输入，现态），新态 = G（现态）
- 输出函数：输出 = F（输入，现态）
- 状态记忆模块：存储元件（双稳态元件）

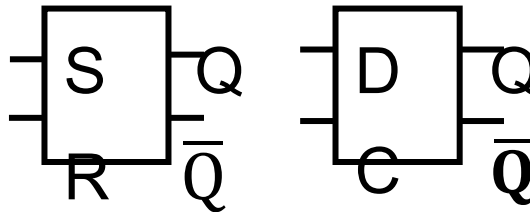
组合逻辑实现

◆ 功能表，状态图，状态表，状态转移表（可互相转换）

◆ 注意：每个状态都可以在某个时刻作为现态、在下一时刻作为新态

◆ 时钟：时钟周期，时钟频率，高低电平，上升沿，下降沿

◆ SR锁存器，D锁存器

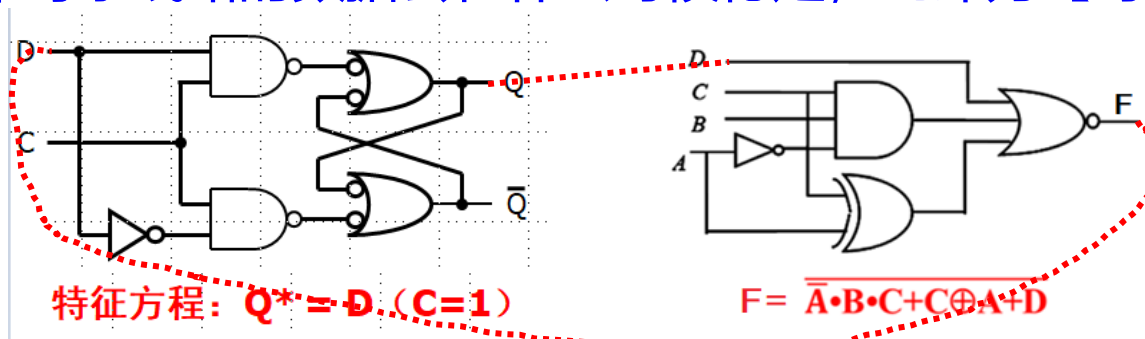


高（低）电平触发：只要维持在高（低）电平，对电路影响就一直有效

时钟边沿触发：只在上升（下降）沿到来的时刻，对电路产生影响

回顾&补充 第9次课 (续)

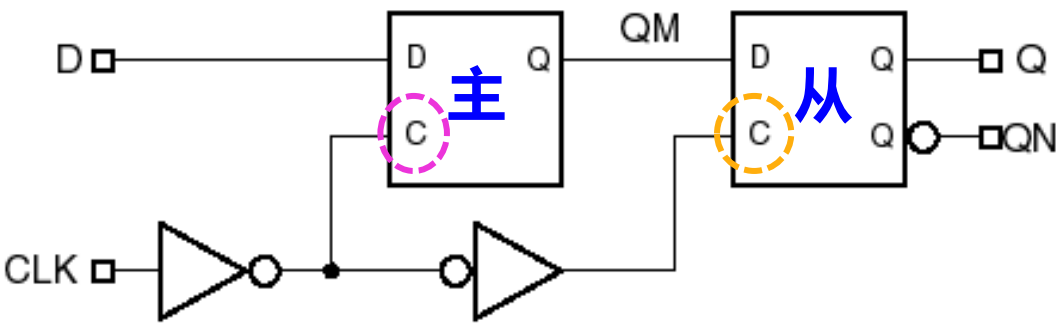
- ◆ 最简单的时序逻辑电路：存储元件（锁存器，触发器）
 - 由很简单的少量逻辑门构成，交叉耦合，实现双稳态（虽然下次状态和当前状态不直接相关，但仍然算是一种特殊的时序逻辑电路）
 - 加电后，电路一直工作，在激励信号符合要求（可变可不变）的情况下，输出一直不变（所以Q的值一直稳定输出，此即为【存储】）
 - 电路中每条线路的数据会在什么时候稳定，此即为【时序分析】



- 组合逻辑电路中，输入不变，输出才不变，按表达式计算，非存储
- ◆ 典型的时序逻辑电路（例如寄存器）：0或若干逻辑门+若干存储元件
- ◆ 复杂的时序逻辑电路（例如CPU）：复杂的组合逻辑+很多存储元件

2.4 D触发器——开始有时钟信号了！

◆由一对主、从D锁存器构成



CLK	主锁存器	从锁存器
L	写入 QM变为D	不变 Q=last
上升沿	锁存 QM=D	写入 Q变为QM
H	不变 QM=D	不变 Q=QM

- 从锁存器在时钟CLK的上升沿到来时采样主锁存器的输出QM的值，并确定Q和QN的输出

D	CLK	Q	QN
0		0	1
1		1	0
x	0	last Q	last QN
x	1	last Q	last QN

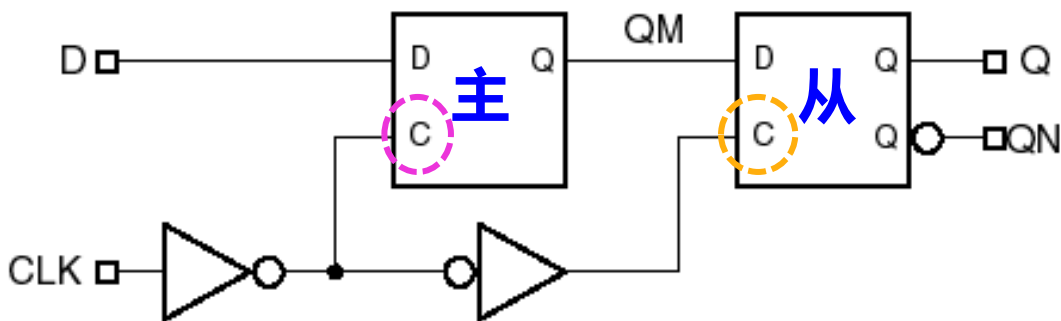
从锁存器完成写入

此时主锁存器是在写入的（C为高电平），但不影响最后输出的Q

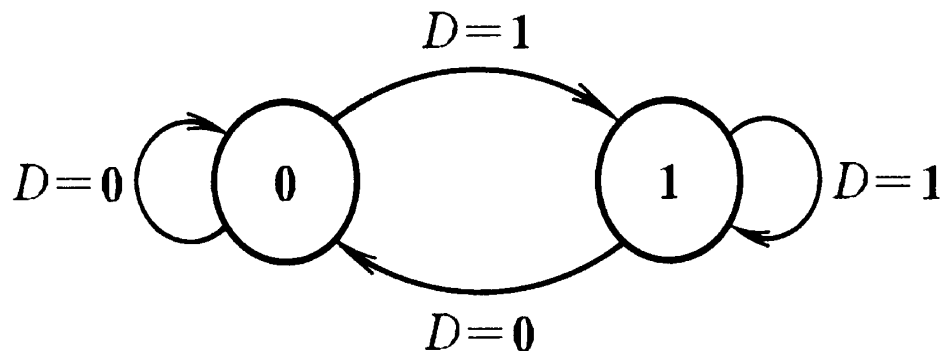
此时从锁存器是在持续写入的，但一定是在之前上升沿到来之后就完成了，所以也就相当于是保持不变了

2.4 D触发器

◆ 由一对主、从D锁存器构成

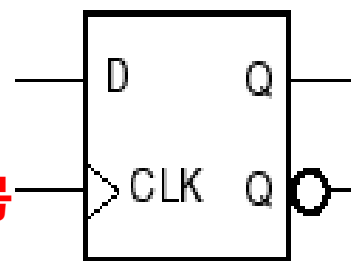


◆ 状态图



D	CLK	Q	QN
0		0	1
1		1	0
x	0	last Q	last QN
x	1	last Q	last QN

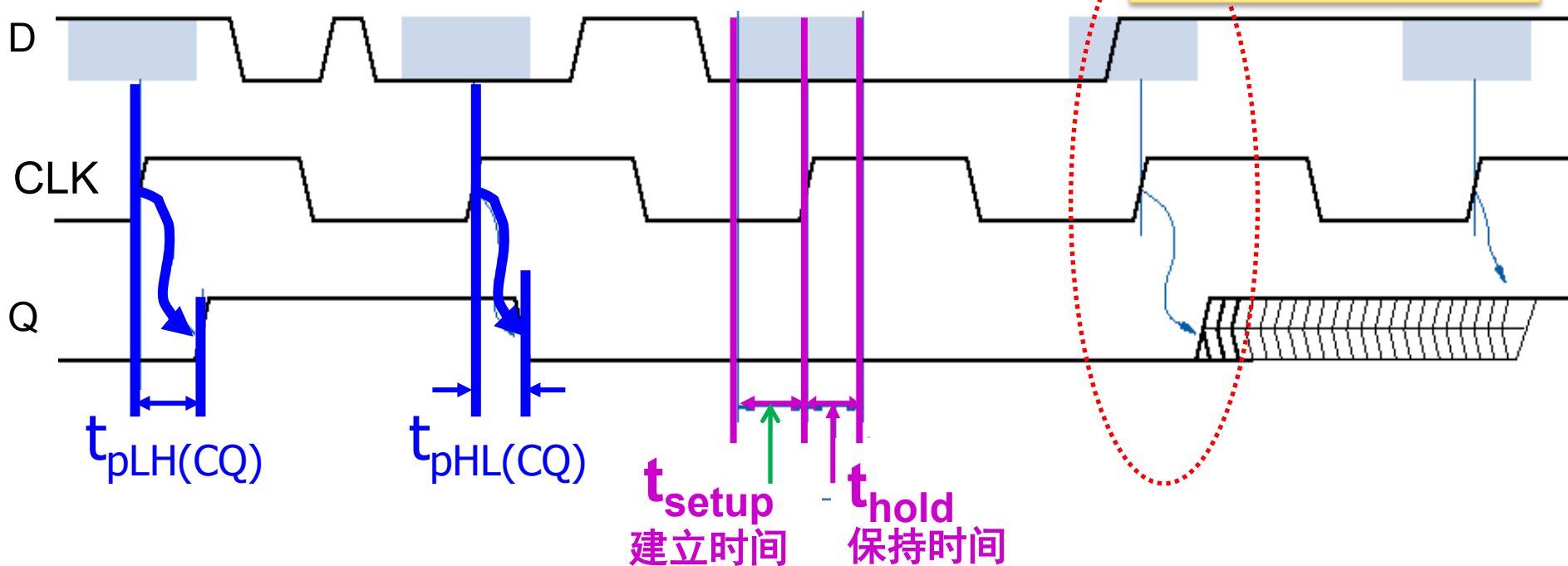
D触发器符号



◆ D触发器次态 (特征) 方程: $Q^* = D$

D锁存器还要强调C=1
这里不用强调时钟信号了

2.4 D触发器



- ◆ 从时钟触发边沿到来,到输出端Q改变为D值的时间称为**锁存延迟** t_{CQ} (latch prop), 即**CLK**→**Q**时间, 分 $t_{pLH(CQ)}$ 、 $t_{pHL(CQ)}$ 两种时间

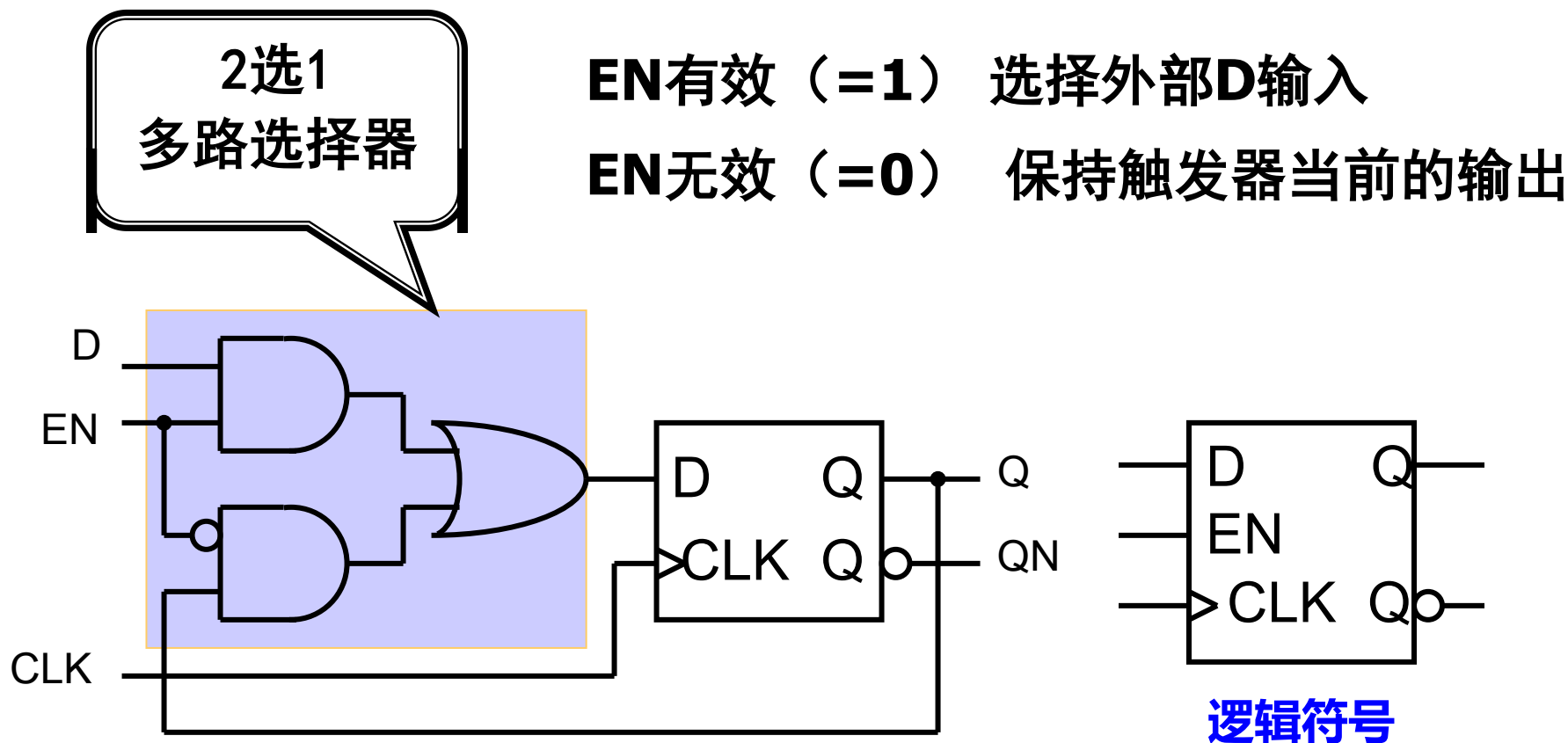
提示: 此时**主锁存器**是在写入的! 要等它写完

- 建立时间 t_{setup} : 输入信号D在时钟边沿到达前需稳定的时间
- 保持时间 t_{hold} : 输入信号D在时钟边沿到达后需继续稳定的时间

提示: 要等**从锁存器**完成写入!

2.4 带使能端的D触发器

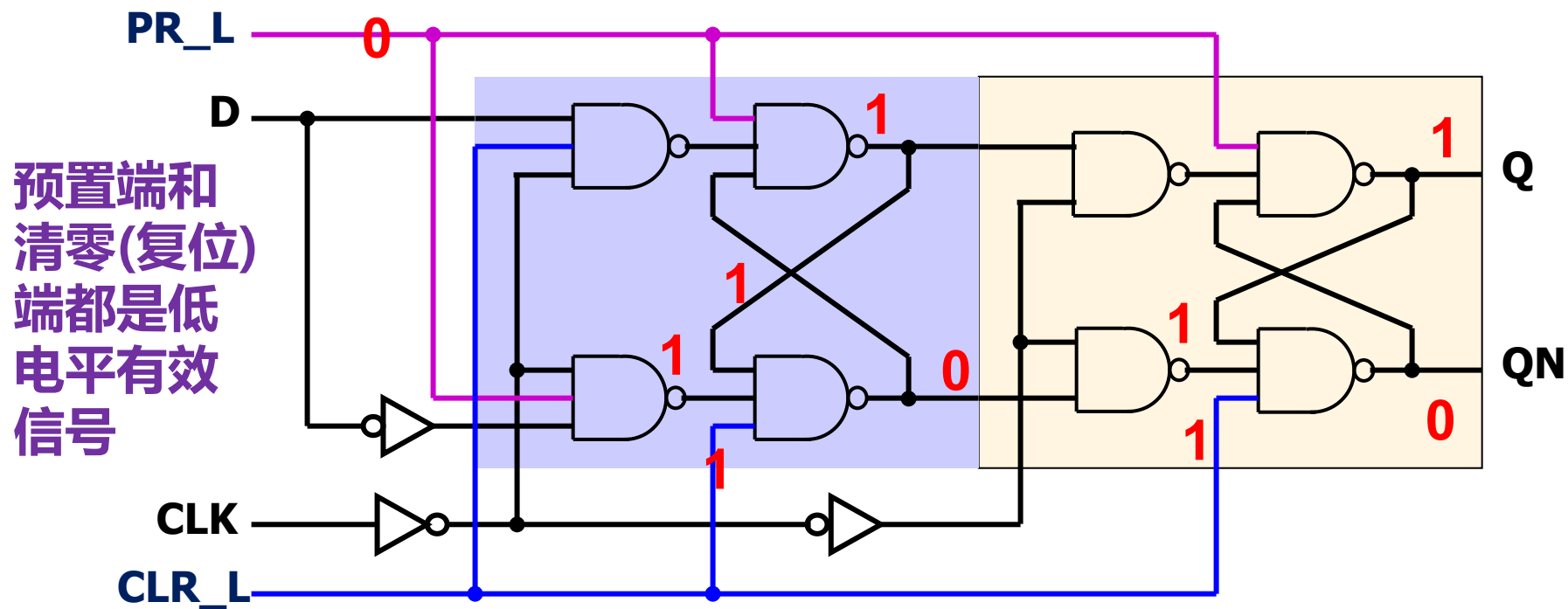
- 通过使能端EN信号来控制是否在时钟信号的触发边沿进行数据的存储。



2.4具有预置和清零（复位）端的D触发器

- 预置端PR (preset) : 将Q置1
- 清零端CLR (clear) : 将Q清0

在电路工作的最开始进行置位或清0

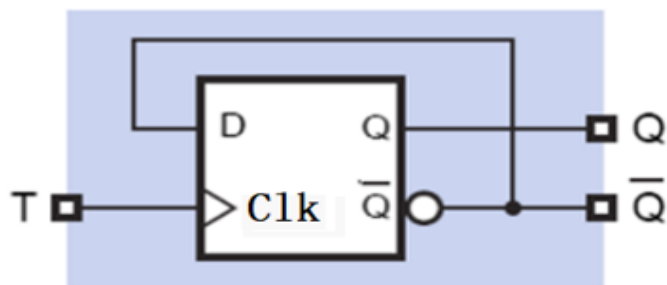


预置端和清零端有同步、异步之分。同步方式下只能在CLK的触发边沿进行预置和清零，异步方式下与时钟信号无关

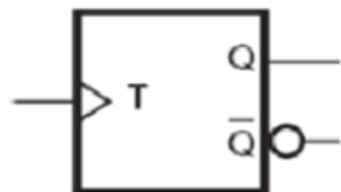
2.5 T触发器

◆ T触发器：在每个时钟脉冲T的触发边沿都会改变状态

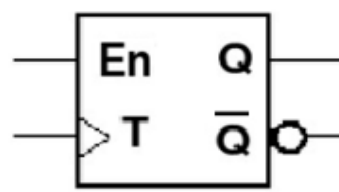
基于D触发器实现；可用于实现计数器、分频器等功能



a) T触发器原理图



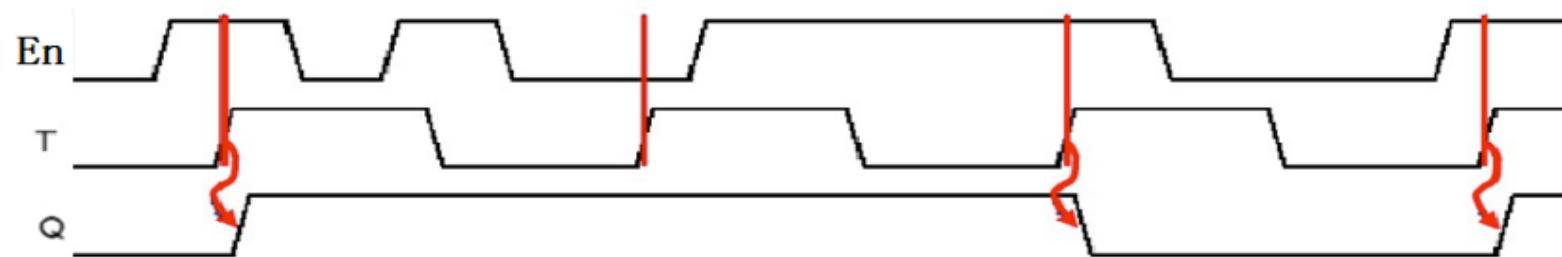
b) T触发器
电路符号



c) 带使能端T触
发器电路符号



d) T触发器波形图



e) 带使能端T触发器波形图

简单小结

◆ SR锁存器

- ✓ 置位端(S)/复位端(R); 用于设置标志信息

◆ D锁存器

- ✓ 控制端C有效时, 锁存数据D

◆ D触发器

- ✓ 时钟触发边沿开始后, 经过Clk-Q时间, Q变成D; 输入端D在时钟触发边沿到来前, 须稳定Setup时间; 之后须继续保持hold时间
- ✓ 可带EN控制端、置位/清零控制端

◆ T触发器

- ✓ 由D触发器构成, T连接Clk, D连接 \overline{Q} , 每个时钟发生状态变化