

---

◆两周一次实验

◆两周一次作业（偶尔是1周）和之前作业讲解

## 第二讲 典型组合逻辑部件

- ◆译码器和编码器
- ◆多路选择器和多路分配器
- ◆半加器和全加器

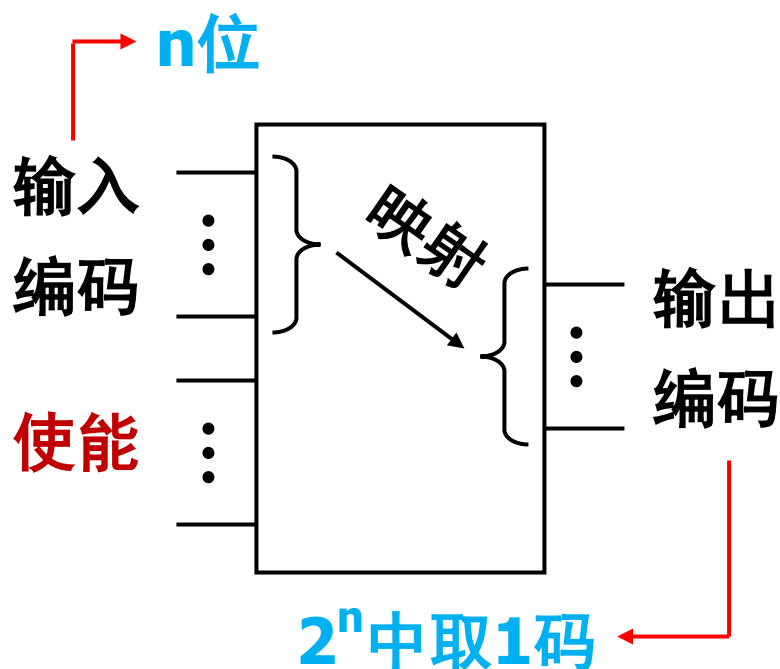
## 2 典型组合逻辑部件

---

- ◆ 大型的复杂数字系统通常采用**层次化、模块化**方式构建
- ◆ 数字系统由**基本组合逻辑元件**和**时序逻辑元件**相互连接而构建
- ◆ 组合逻辑元件的基本功能有**译码、选择、比较、运算、缓存并传送**等
- ◆ 可用不同方法描述和说明组合电路的功能或行为
  - **真值表**：可使用**只读存储器（ROM）**来实现，但效率较低
  - **两级逻辑表达式**：可采用**分立SSI门电路**来实现
  - **直观功能表述**：用提供单一功能的逻辑构件来实现，如**译码器、编码器、加法器、比较器**等

## 2.1 译码器

- ◆ 译码器 (decoder) : 一种**多输入、多输出**的组合电路。
  - 电路功能反映输入编码与输出编码之间的映射关系
  - 最简单的译码器输入和输出关系是: **若输入的**二进制**编码值是  $x$ , 则第  $x$  条输出线为 1, 其余输出全为 0**
  - 可以通过**使能端EN**来控制



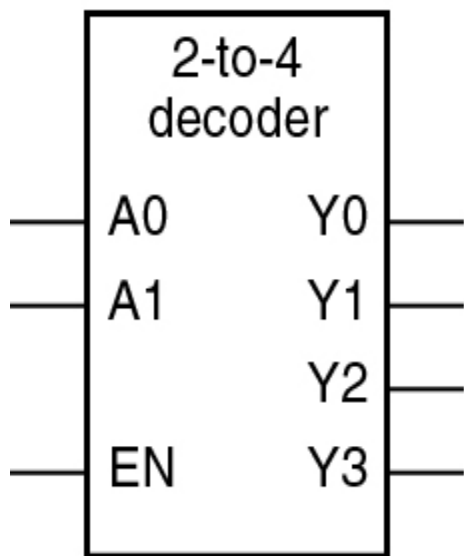
### ■ $n-2^n$ 译码器

- 输入:  $n$ 位二进制编码
- 输出:  $2^n$ 中取1码
- 例如:
  - 2-4译码器
  - 3-8译码器
  - 4-16译码器

## 2.1 译码器

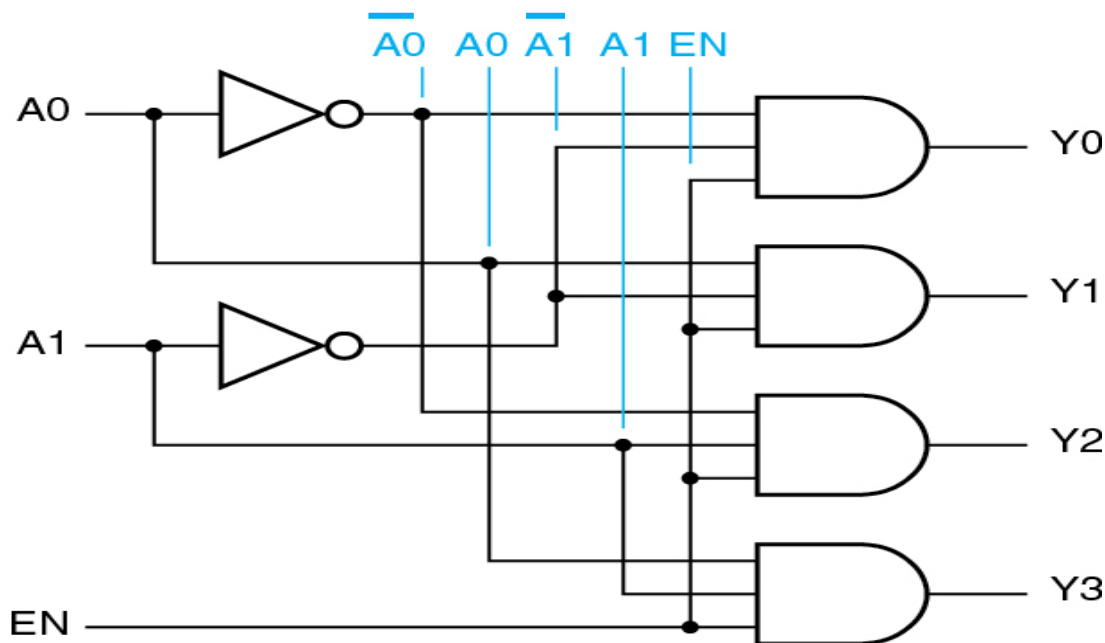
### 例1：2-4译码器芯片74X139

- ◆ 输出端**高电平**有效，表示选中对应输入信号的**最小项**
- ◆ 通过**使能端EN** (Enable) 禁止或实现相应的功能
- ◆ EN=0时，输出为**全0**



x表示该输入任意，即任意值

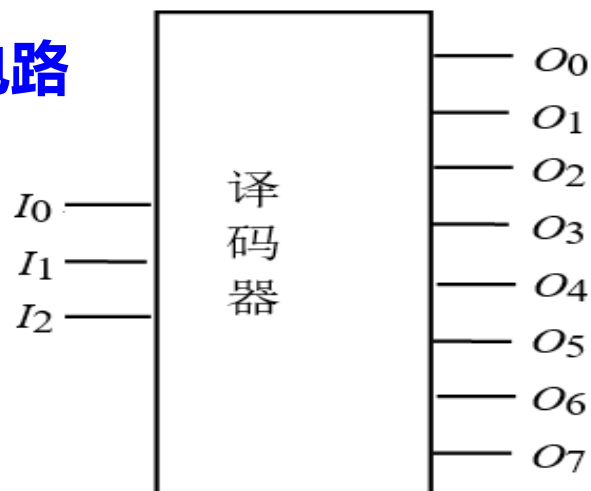
Inputs			Outputs			
EN	A1	A0	Y3	Y2	Y1	Y0
0	x	x	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0



如， $Y2 = EN \cdot A1 \cdot \overline{A0} = EN \cdot m_2$

## 2.1 译码器

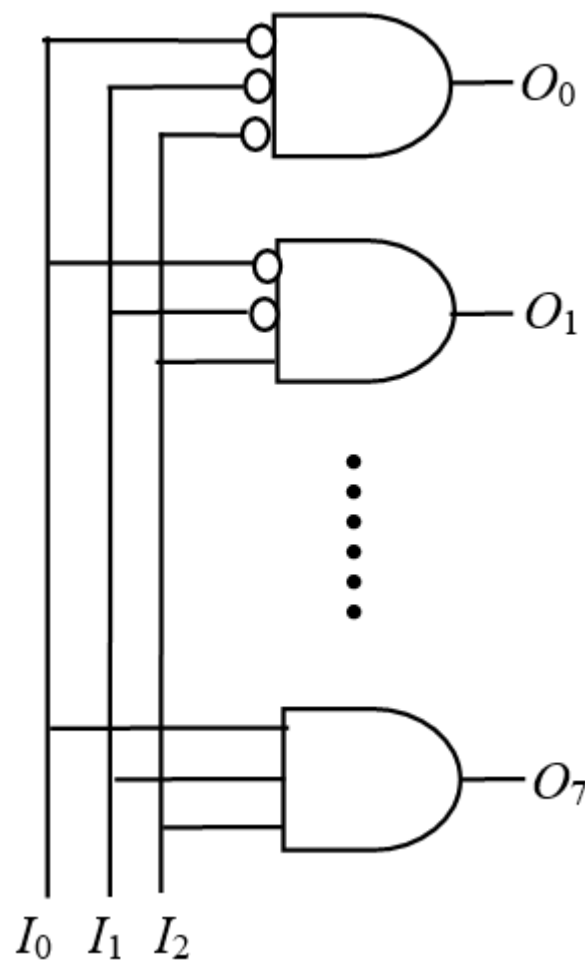
### 例2：3-8译码器电路



$I_0$	$I_1$	$I_2$	$O_0$	$O_1$	$O_2$	$O_3$	$O_4$	$O_5$	$O_6$	$O_7$
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

输入从高到低位： $I_0$ ,  $I_1$ ,  $I_2$   
谁是最高位，谁是最低位，不能弄错

输出：  
 $O_0$ 有效，代表输入为0...  
 $O_7$ 有效，代表输入为7



## 2.1 译码器 (了解即可)

### 例2: 3-8译码器芯片 74X138

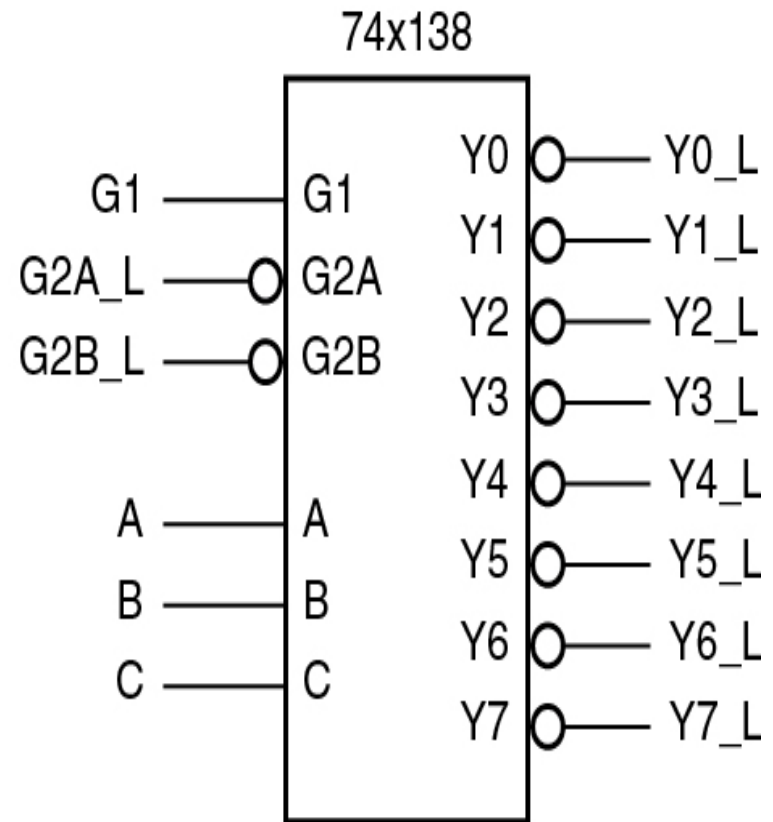
◆ 输出端**低电平有效** (加O, 变量名中加\_L), 对应输入信号的最大项

◆ 有3个使能控制端

**G1、G2A\_L、G2B\_L**



74 系列是德州仪器公司生产的  
中小规模集成电路芯片



(b)

## 2.1 译码器 (了解即可)

74X138的功能表

Inputs						Outputs							
G1	G2A_L	G2B_L	C	B	A	Y7_L	Y6_L	Y5_L	Y4_L	Y3_L	Y2_L	Y1_L	Y0_L
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1

$M_6$

$$EN = \overline{G1} + G2A\_L + G2B\_L$$

例:  $Y6\_L = EN + \overline{C} + \overline{B} + A$

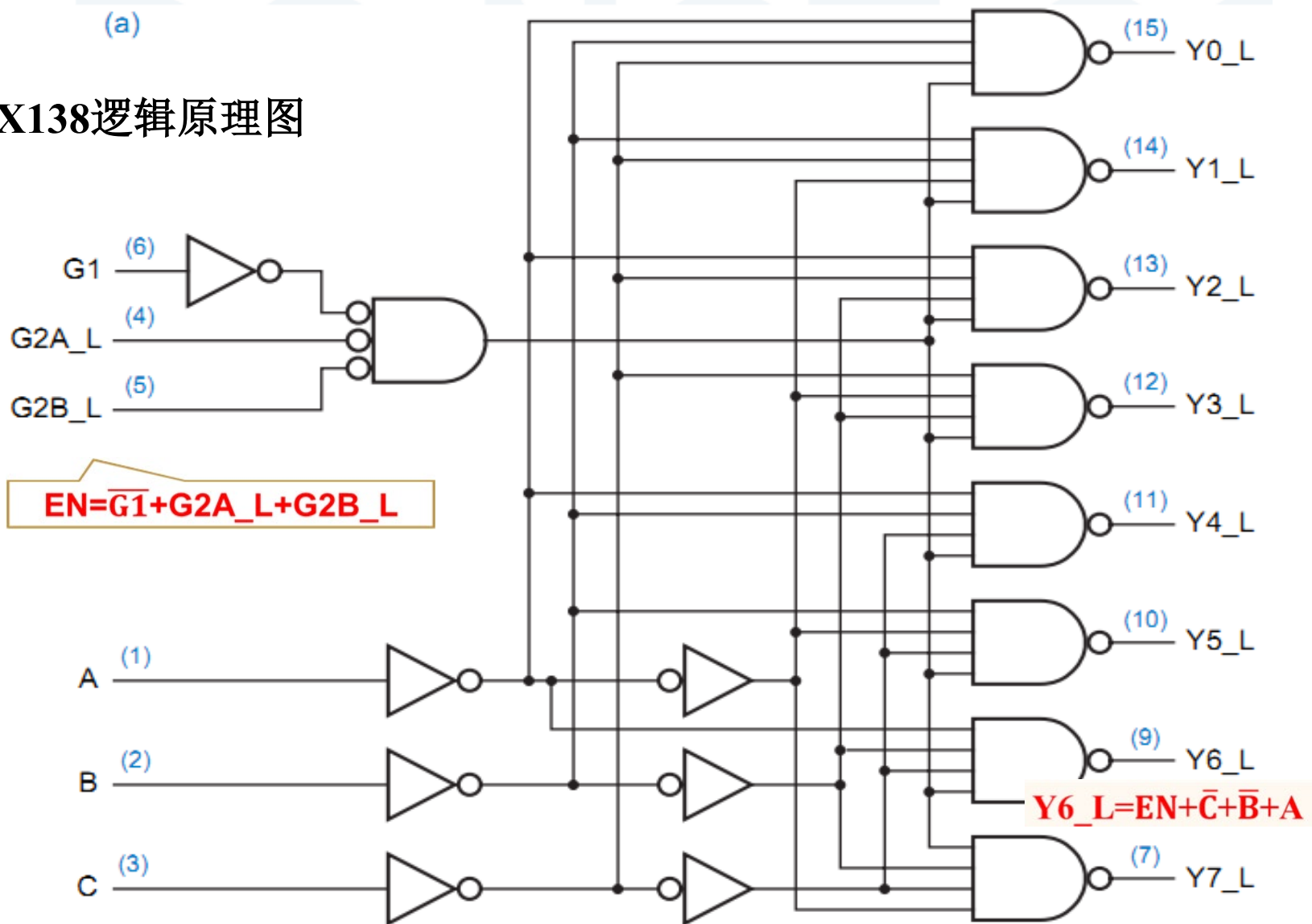


## 2.1 译码器 (了解即可)

74X138逻辑原理图

使能控制端

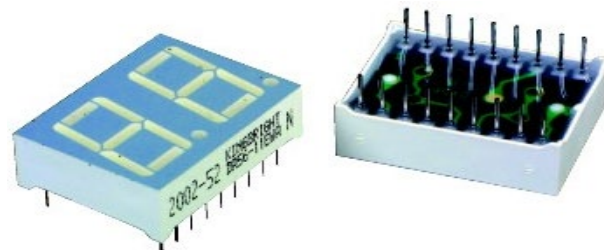
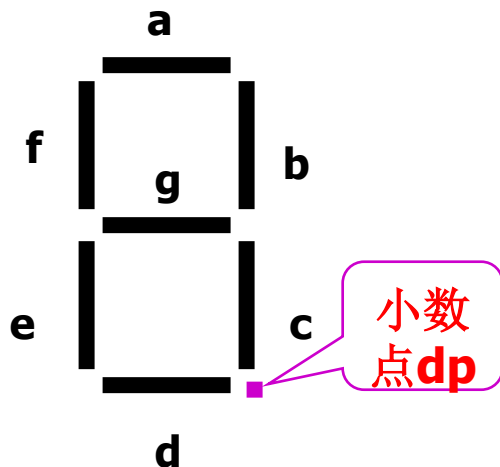
输入端



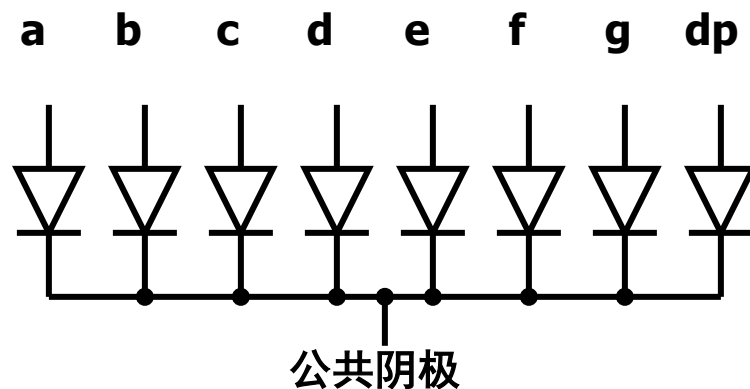
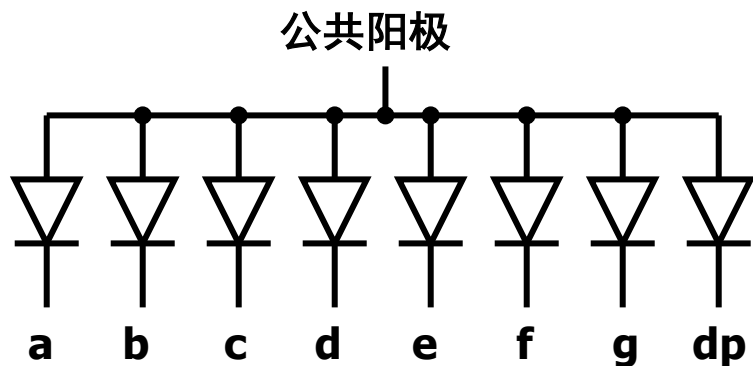
从高到低位: CBA

# 2.1 译码器

## 例2：七段显示译码器（数码管）



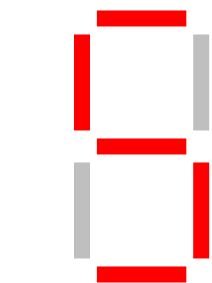
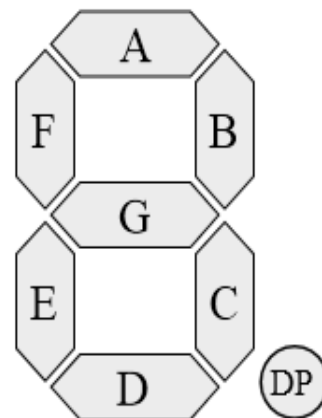
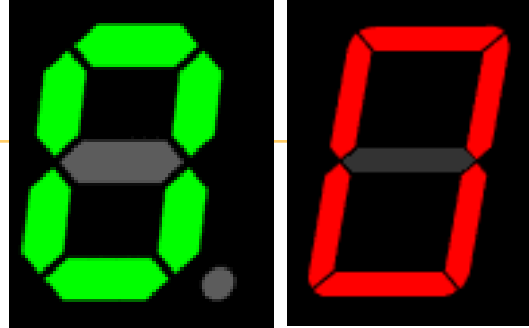
每段是一个LED (发光二极管), 通过控制其亮和灭, 可得到数字或字母等符号的**形状**



共阳极，输入为低电平二极管导通；  
共阴极，输入为高电平二极管导通。

## 2.1 译码器

- ◆ 输入信号：4位二进制编码
- ◆ 输出：七段码（的驱动信号）a ~ g  
假设共阴极，即 1-亮；0-灭



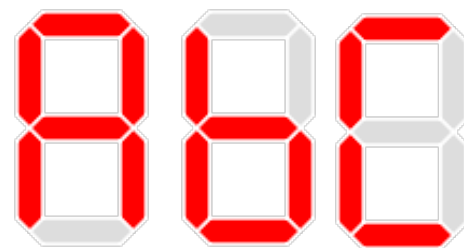
1011011



1111110



0110011



## 2.1 译码器

◆ 七段数字  
显示译码  
器真值表  
——a-g这  
七个信号  
各自对应  
的七张真  
值表合并  
得到右表

从高到低位：  
A3A2A1A0

	A3	A2	A1	A0	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
A	1	0	1	0	1	1	1	0	1	1	1
b	1	0	1	1	0	0	1	1	1	1	1
C	1	1	0	0	1	0	0	1	1	1	0
d	1	1	0	1	0	1	1	1	1	0	1
E	1	1	1	0	1	0	0	1	1	1	1
F	1	1	1	1	1	0	0	0	1	1	1

## 2.1 译码器

◆根据显示需要，考虑是否使用A~F输入信号

以下是输出信号a的卡诺图

A~F输入信号作为无关项  
(最终输入不应该出现A-F)

A1A0					
A3A2		00	01	11	10
		00	01	11	10
00		1	0	1	1
01		0	1	1	1
11		d	d	d	d
10		1	1	d	d

$$a = A3 + A1 + A2A0 + \overline{A2} \cdot \overline{A0}$$

$$a = A3 + A1 + A2 \odot A0$$

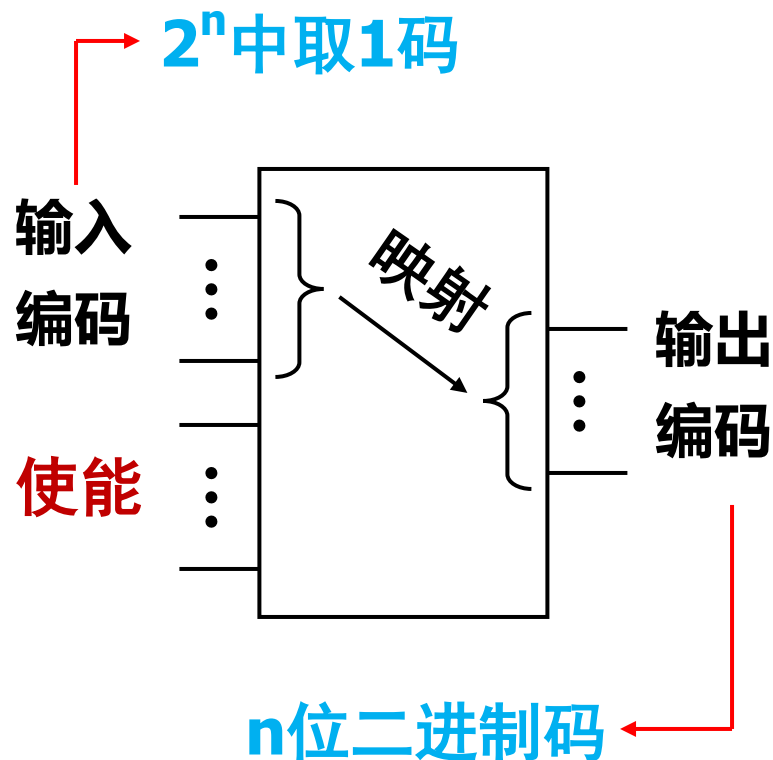
A~F输入信号作为有效项

A1A0					
A3A2		00	01	11	10
		00	01	11	10
00		1	0	1	1
01		0	1	1	1
11		0	1	1	1
10		1	1	0	1

$$a = A2A0 + \overline{A2} \cdot \overline{A0} + A1 \cdot \overline{A0} + \overline{A3} \cdot A1 + A3 \cdot \overline{A2} \cdot \overline{A1}$$

## 2.1 编码器

- ◆ 编码器encoder: 译码器的反函数电路  
即输出是输入信号的二进制编码



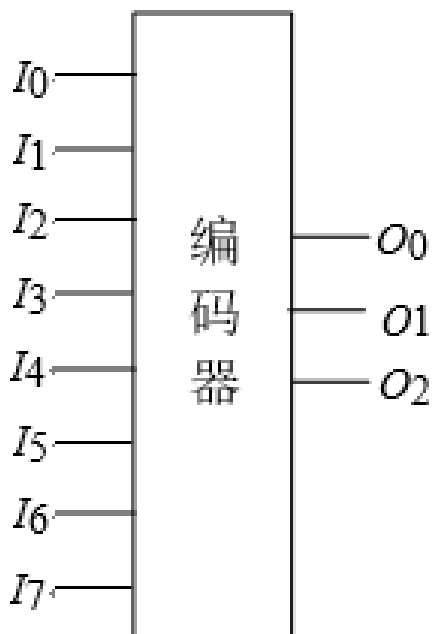
- 最常见是 $2^n$ - $n$ 编码器, 也称为二进制编码器。
  - $2^n$ 个输入端
  - $n$ 个输出端
- 分类:
  - 互斥(唯一输入)编码器
  - 优先级编码器

## 2.1 互斥编码器

### ◆ 3 位二进制编码器 (8-3 编码器)

$I_0, I_1 \dots I_7$  分别代表输入值为 0~7  
编码结果从高到低位:  $O_0, O_1, O_2$

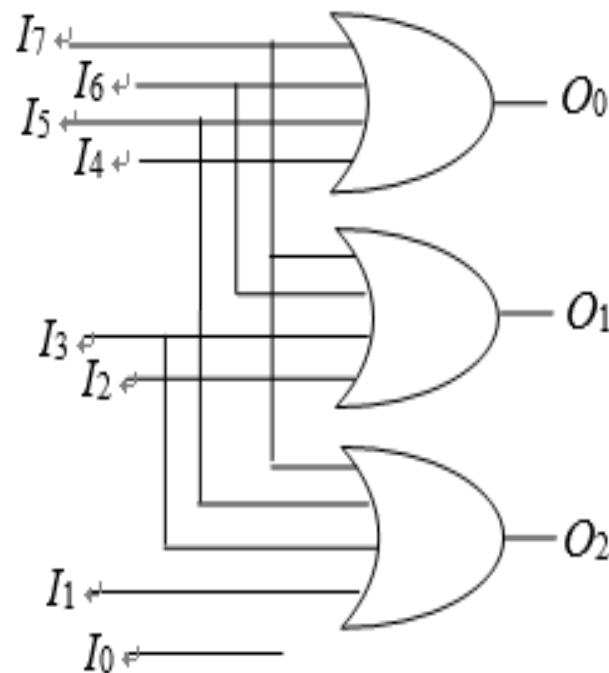
- 输入  $I_0 \sim I_7$  是一组互斥变量, 每次**只有一个**输入端  $I_i$  为 1, 其余都为 0, 输出为  $i$  的二进制编码。



a) 编码器符号

	$O_0$	$O_1$	$O_2$
$I_0$	0	0	0
$I_1$	0	0	1
$I_2$	0	1	0
$I_3$	0	1	1
$I_4$	1	0	0
$I_5$	1	0	1
$I_6$	1	1	0
$I_7$	1	1	1

b) 编码器真值表  
(相当于三个真值表)



c) 编码器电路图  
(三个电路图的合体)

## 2.1 优先权编码器

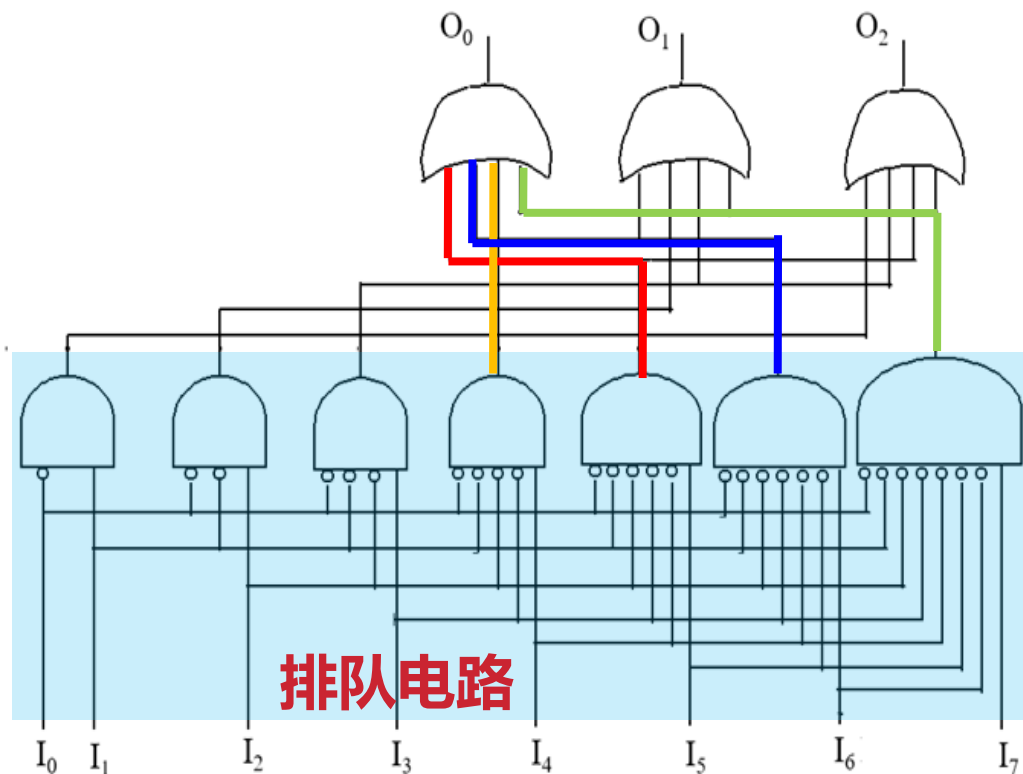
### ◆ 3 位优先权编码器

编码结果从高到低位：O<sub>0</sub>, O<sub>1</sub>, O<sub>2</sub>

- 多个输入可同时为1，但只对优先级最高的输入进行编码输出
- 假定优先级顺序为  $I_0 > I_1 > I_2 > I_3 > I_4 > I_5 > I_6 > I_7$ ，则：

$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$O_0$	$O_1$	$O_2$
1	x	x	x	x	x	x	x	0	0	0
0	1	x	x	x	x	x	x	0	0	1
0	0	1	x	x	x	x	x	0	1	0
0	0	0	1	x	x	x	x	0	1	1
0	0	0	0	1	x	x	x	1	0	0
0	0	0	0	0	1	x	x	1	0	1
0	0	0	0	0	0	1	x	1	1	0
0	0	0	0	0	0	0	1	1	1	1

优先权编码器  
的功能描述

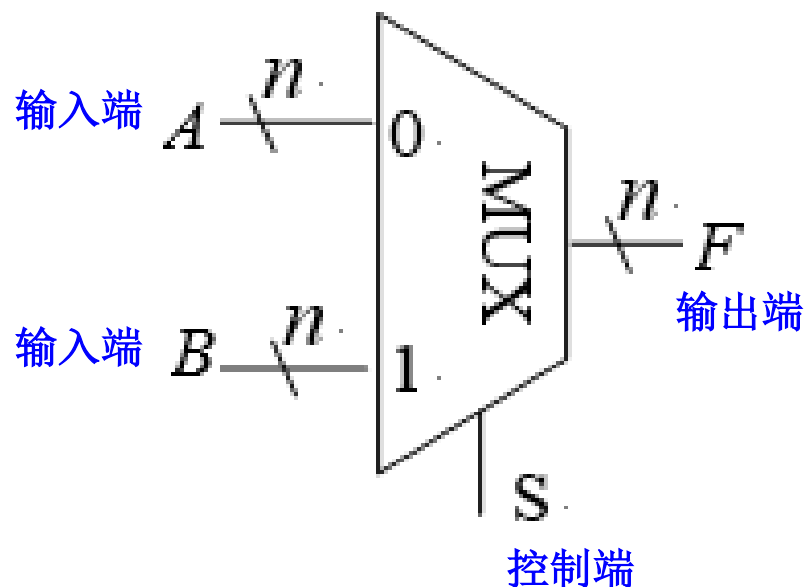


优先权编码器逻辑电路图

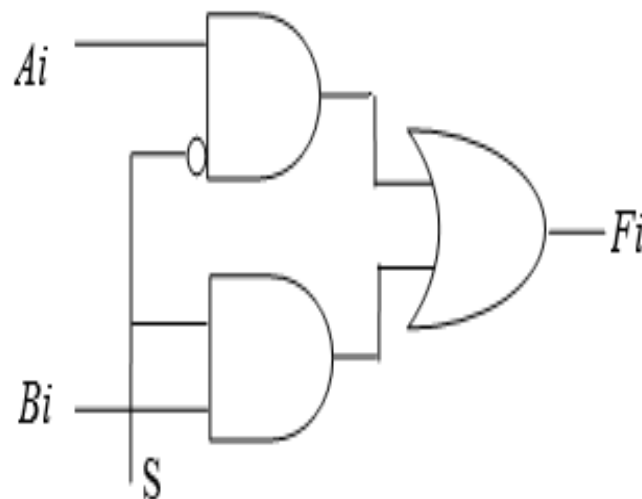


## 2.2 多路选择器

- ◆ **2-路选择器**有两个输入端和一个输出端，有一个控制端，用于控制选择哪一路输出
- ◆ 在计算机中，2-路选择器的每个输入、输出端通常都有 $n$ 位



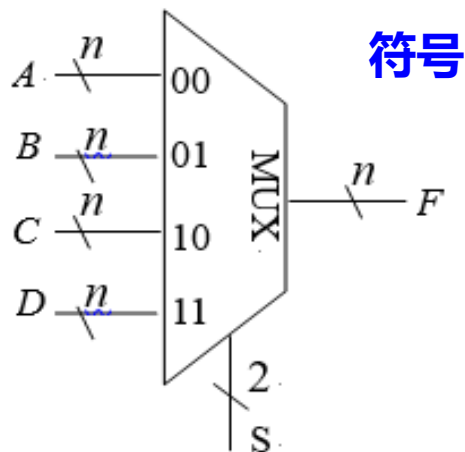
2-路选择器符号



一位2-路选择器逻辑电路

## 2.2 多路选择器

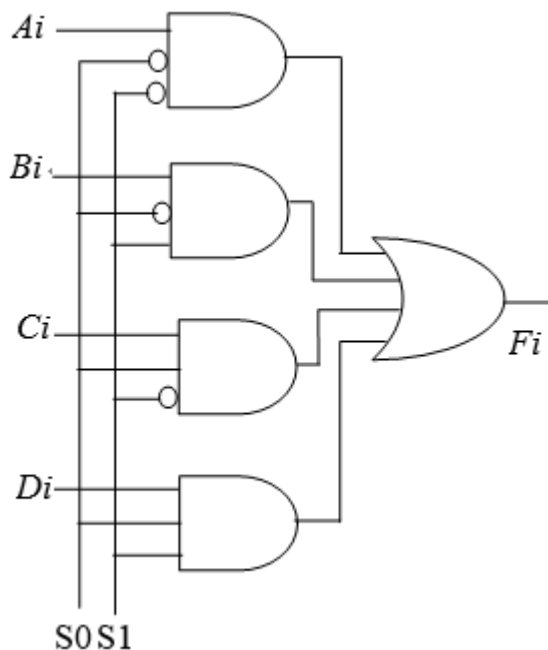
### ◆ 4-路选择器



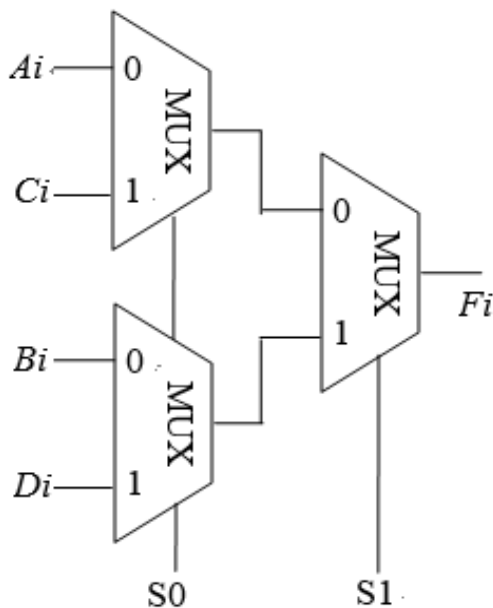
真值表

$S_0$	$S_1$	$F$
0	0	$A$
0	1	$B$
1	0	$C$
1	1	$D$

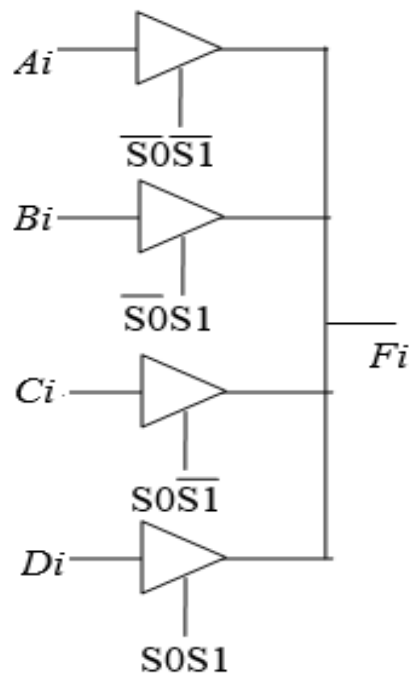
### ◆ 一位4-路选择器的实现



两级门电路



多层次级联



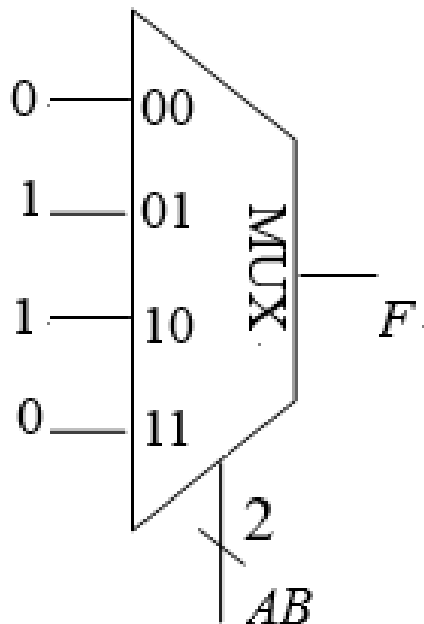
三态门电路

## 2.2 多路选择器的应用

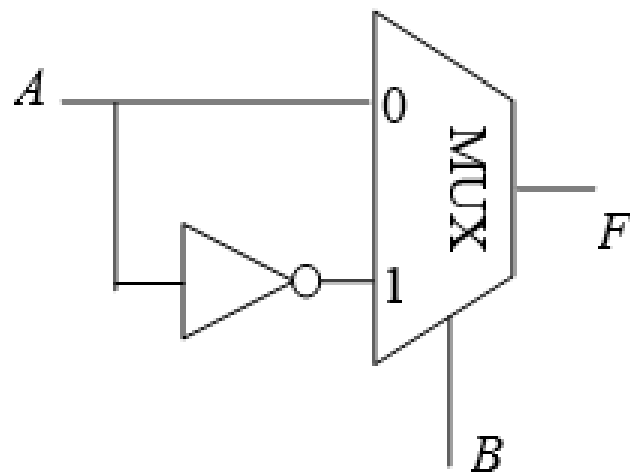
- ◆ 可以基于多路选择器实现组合逻辑电路的功能
- ◆ 例1：基于多路选择器实现某组合逻辑电路的功能（可用如下真值表描述）

$A$	$B$	$F$
0	0	0
0	1	1
1	0	1
1	1	0

真值表



用一个4-路选择器实现



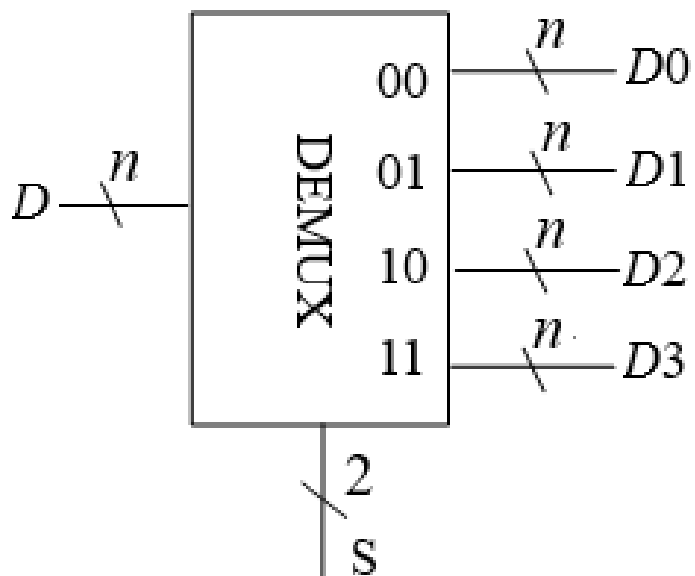
用一个2-路选择器  
和一个非门实现

## 2.2 多路分配器

- ◆ 多路分配器 (demultiplexer) : 把唯一的输入信号发送到多个输出端中的一个。从哪一个输出端送出输入信号, 取决于控制端。简称为DMUX或DEMUX

- ◆ 4-路分配器的符号和真值表

四路分配器的符号



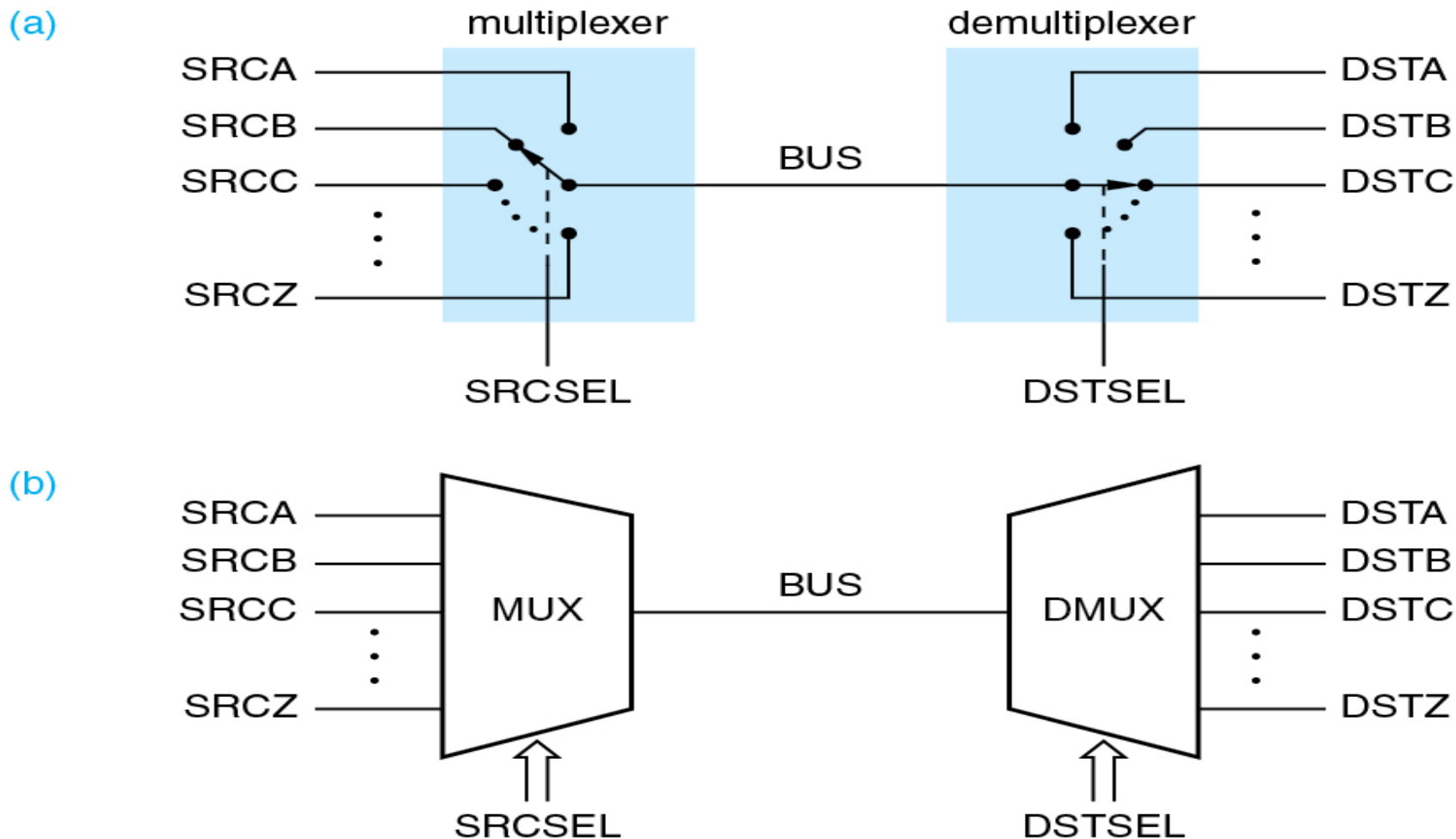
四路分配器真值表

S0	S1	D0	D1	D2	D3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

你能画出四路分配器的电路图吗?

## 2.2 多路选择器和多路分配器

◆ 多路分配器常与多路选择器联用，以实现多通道数据的**分时传送**。



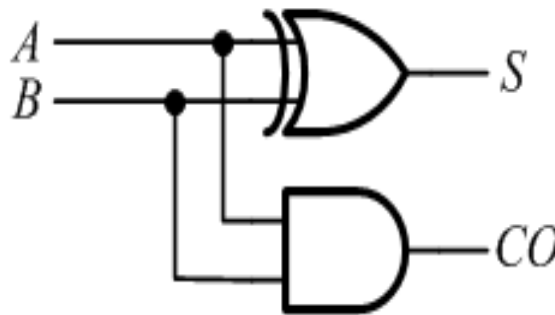
## 2.3 半加器

- ◆半加器 (Half Adder, 简称HA) : 仅考虑加数和被加数, 不考虑低位来的进位

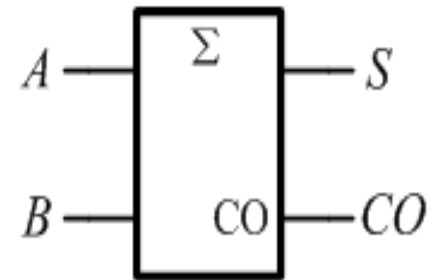
输入		输出	
被加	加数	和数	进位
$A$	$B$	$S$	$CO$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \bar{A}B + A\bar{B} = A \oplus B$$

$$CO = A \cdot B$$



电路图



逻辑符号

## 2.3 全加器

### ◆全加器 (Full Adder, 简称FA)

输入为加数、被加数和低位进位Cin，输出为和F、进位Cout

真值表

A	B	Cin	F	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$F = \overline{A} \cdot \overline{B} \cdot C_{in} + \overline{A} \cdot B \cdot C_{in} + A \cdot \overline{B} \cdot C_{in} + A \cdot B \cdot C_{in}$$

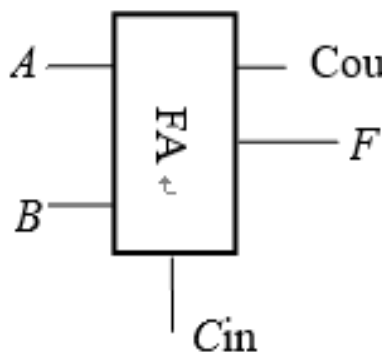
$$C_{out} = \overline{A} \cdot B \cdot C_{in} + A \cdot \overline{B} \cdot C_{in} + A \cdot B \cdot \overline{C_{in}} + A \cdot B \cdot C_{in}$$

化简后：

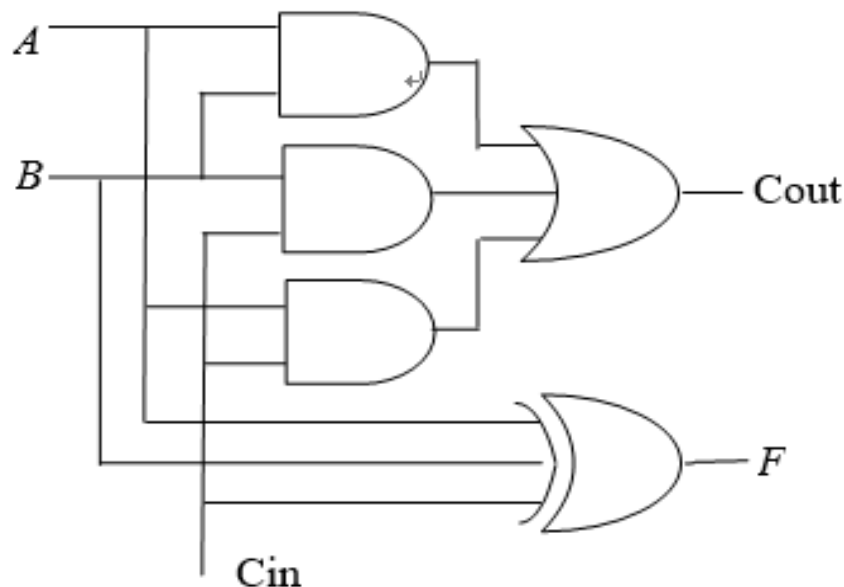
$$F = A \oplus B \oplus C_{in}$$

$$C_{out} = A \cdot B + A \cdot C_{in} + B \cdot C_{in}$$

逻辑符号



全加器逻辑电路图



# 第三讲 组合逻辑部件时序分析

- ◆传输延迟和最小延迟
- ◆竞争冒险



# 3 组合逻辑电路时序分析

---

- ◆ 信号通过连线和电路元件时会有一定时间的延迟 (Delay)
- ◆ 电路的延迟取决于电路内部的设计及外部特性，影响因素包括但不限于：
  - 连线的长短、元件的数量
  - 电路制造工艺、工作电压
  - 环境噪声、温度等外在条件
  - 高低电平的转换过渡时间

因此，任何组合逻辑电路从输入信号的改变，到随之引起的输出信号的改变，都有一定时间的延迟

# 3.1 传输延迟和最小延迟

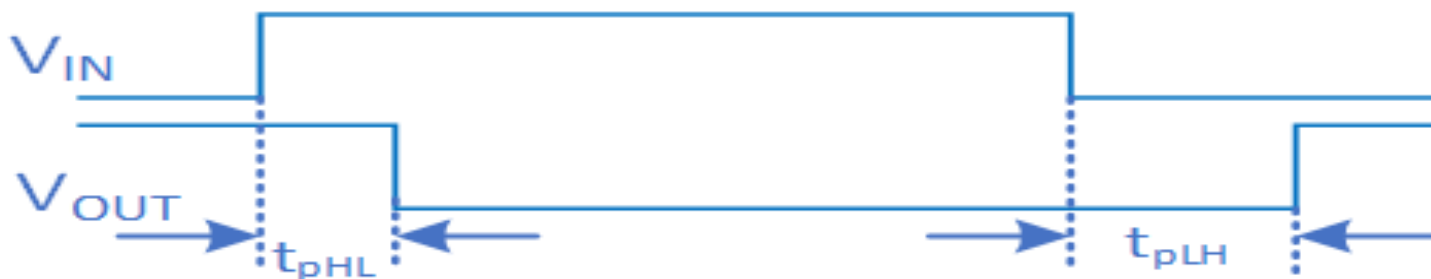
## ◆ 通常用**时序图**反映电路的延迟

- 下降沿延迟 $t_{pHL}$ : 输入变化引起相应输出**从高到低**变化的时间
- 上升沿延迟 $t_{pLH}$ : 输入变化引起相应输出**从低到高**变化的时间

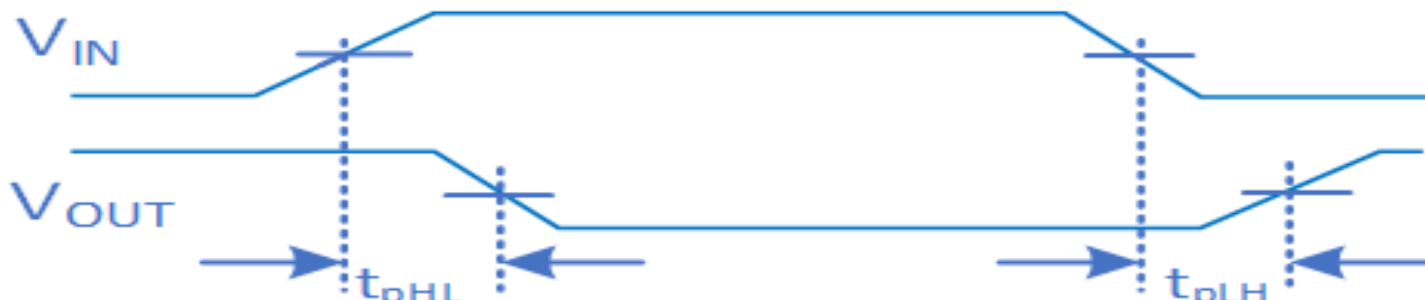
## ◆ 逻辑门电路具有**最大延迟**和**最小延迟**时序特征

## ◆ 通常取信号转换时间中间点来测量延迟时间

忽略上升  
时间和下  
降时间



在转换中  
间点测量



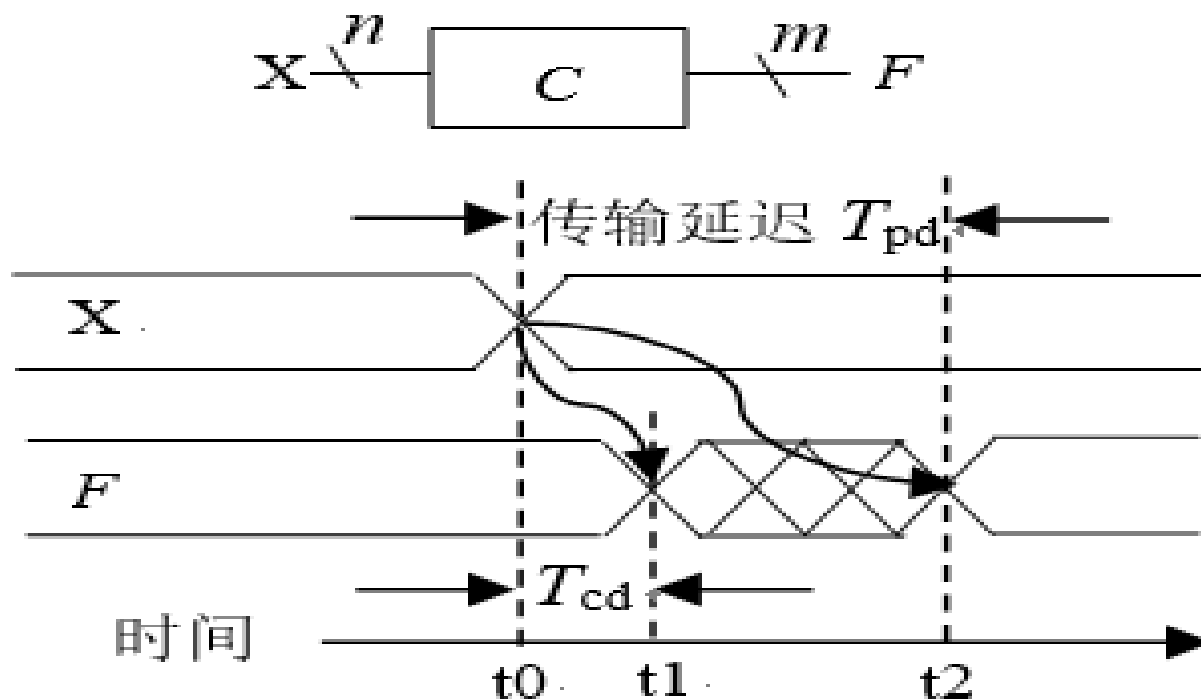
**反相器电路的时序图反映了其电路延迟情况**

# 3.1 传输延迟和最小延迟

- ◆ 组合逻辑电路的时序特征主要包括**传输延迟** (propagation delay) 和**最小延迟** (contamination delay)

- **传输延迟 $T_{pd}$** : 从输入端的变化开始到**所有**输出端得到**最终稳定**的信号所需的**最长时间**
- **最小延迟 $T_{cd}$** : 从输入端的变化开始到**任何一个**输出开始发生**改变**所需的**最短时间**

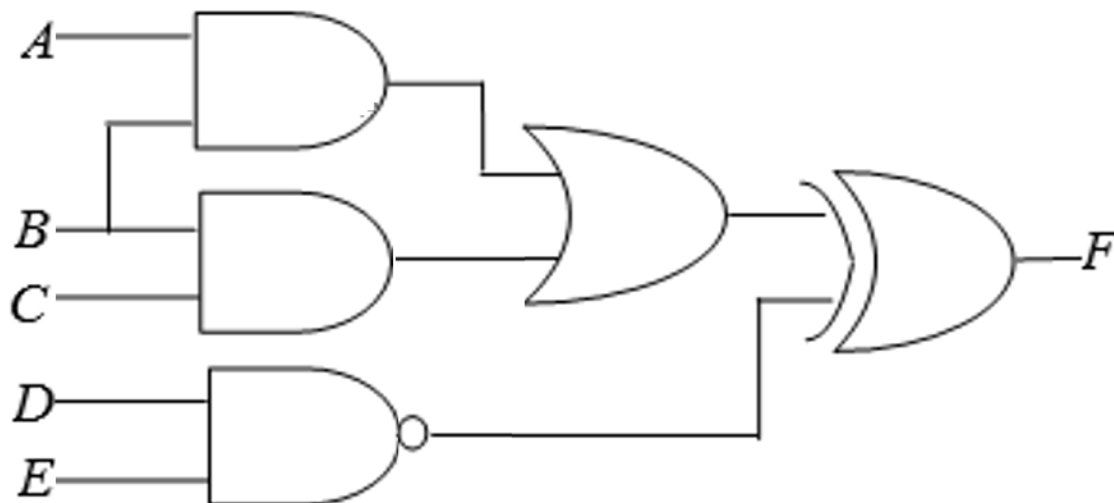
组合逻辑电路C  
的传输延迟  $T_{pd}$   
和最小延迟  $T_{cd}$



## 3.1 传输延迟和最小延迟

- ◆ **关键路径**：一个组合逻辑电路在输入和输出之间经过的最长路径
  - **传输延迟就是关键路径上所有元件的传输延迟之和**
  - **最小延迟就是最短路径上所有元件的最小延迟之和**

例：假定所有逻辑门电路的传输延迟和最小延迟分别为90ps和60ps，计算下图中组合逻辑电路的传输延迟和最小延迟。

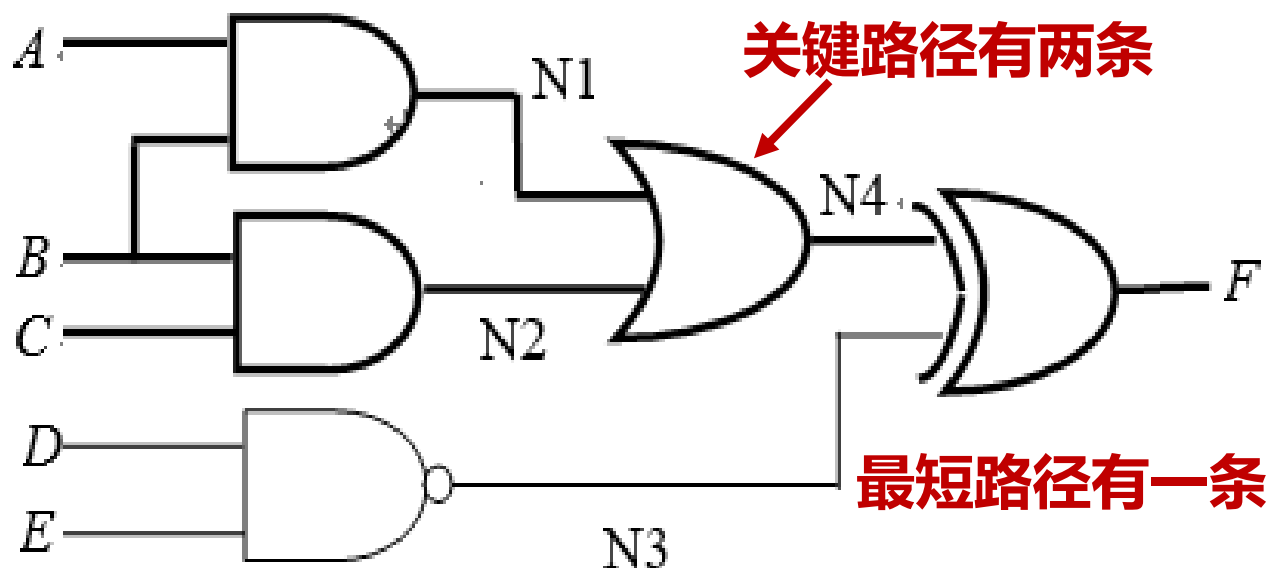


**关键路径由哪些结点和逻辑门组成？最短路径呢？**

# 3.1 传输延迟和最小延迟

- ◆ **关键路径**：一个组合逻辑电路在输入和输出之间经过的最长路径
  - 传输延迟就是关键路径上所有元件的传输延迟之和
  - 最小延迟就是最短路径上所有元件的最小延迟之和

例：假定所有逻辑门电路的传输延迟和最小延迟分别为90ps和60ps，计算下图中组合逻辑电路的传输延迟和最小延迟。

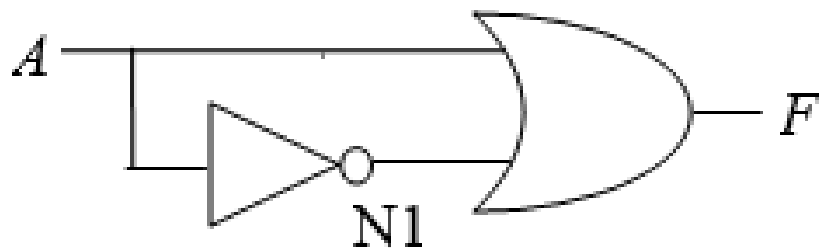


传输延迟  $T_{pd}$  为3级门传播延迟之和，即  $90\text{ps} \times 3 = 270\text{ps}$

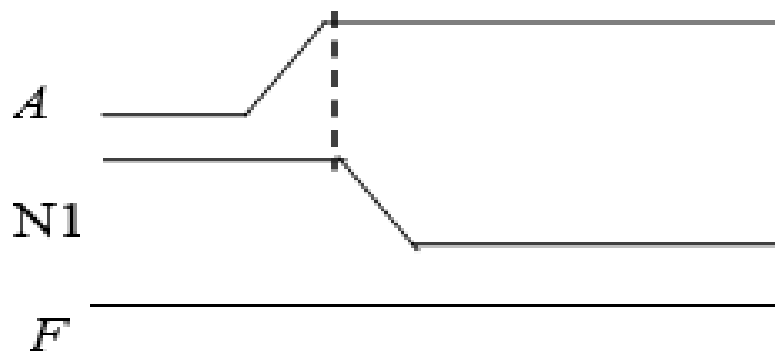
最小延迟  $T_{cd}$  为2级门最小延迟之和，即  $60\text{ps} \times 2 = 120\text{ps}$

## 3.2 竞争冒险

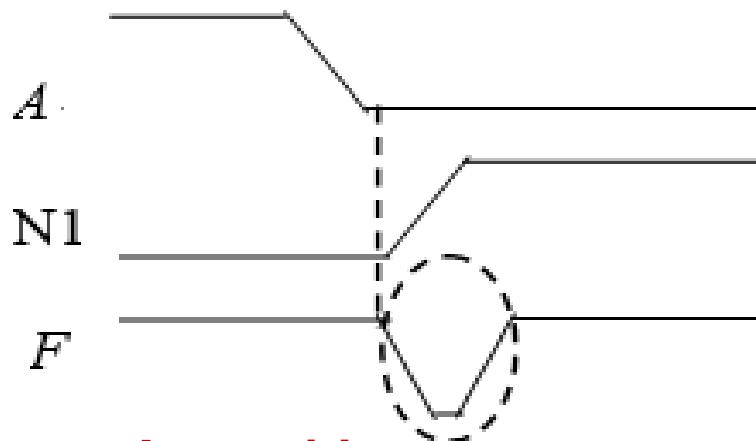
- ◆ 如果存在某个输入信号经过两条或两条以上的路径作用到输出端，由于各路径延迟不同，因而该输入信号对输出端会发生先后不同的影响，该现象称为**竞争 (race)**
- ◆ 由于竞争的存在，在输入信号变化的瞬间，输出端可能会出现不正确的尖峰信号，这种信号称为**毛刺 (glitch)**
- ◆ 出现毛刺的电路称为存在**冒险 (hazard)** 或**竞争冒险**
- ◆ 可通过低通滤波或增加冗余项来修改逻辑设计等方式避免毛刺



存在竞争冒险的电路



未发生毛刺



出现毛刺

# 第3章总结

- ◆ 数字逻辑电路由若干**元件**（可以是一个电路）和若干**结点**互连而成
- ◆ 组合逻辑电路的**输出**值仅依赖于当前**输入**值
- ◆ 组合逻辑电路可以是**两级**电路或**多级**电路，两级电路的传输时间短，但占用集成电路物理空间更多，需进行**时空权衡**
- ◆ **组合逻辑电路设计**：**功能分析-列表-化简-逻辑表达式-画图-评价**
- ◆ **无关项**指输出取值可任意的项，真值表中用d表示，可用于化简
- ◆ **非法值**指同时被高、低电平驱动的输出结点的值。
- ◆ **高阻态**是三态门输出结点的一种非正常逻辑态，相当于“断开”
- ◆ 典型组合逻辑部件：**译码/编码器、多路选择/分配器、半加/全加器**
- ◆ **传输延迟**：关键路径上所有元件的传输延迟之和
- ◆ **最小延迟**：最短路径上所有元件的最小延迟之和
- ◆ **竞争、冒险、毛刺**：不同路径延迟作用在同一输出端而引起

作业：习题3、4、6、7、9、11。提交截止日期：10月16日（周日）