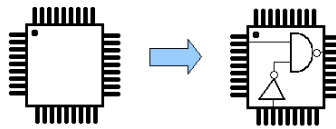


## Capítulo 01 – Projeto em VHDL

### 1 Estrutura de Projeto

O que se espera com o uso de linguagem VHDL é: a partir de uma especificação de projeto efetuar a implementação de um circuito digital e em seguida “gravar” o circuito “sintetizado” com a linguagem VHDL em um Dispositivo Lógico Programável ( Figura 1.1).



(Figura 1.1 – implementação de circuito digital em Lógica Programável)

Para chegar a esta implementação são necessárias as etapas de desenvolvimento apresentadas a seguir no fluxograma de projeto (Figura 1.2).



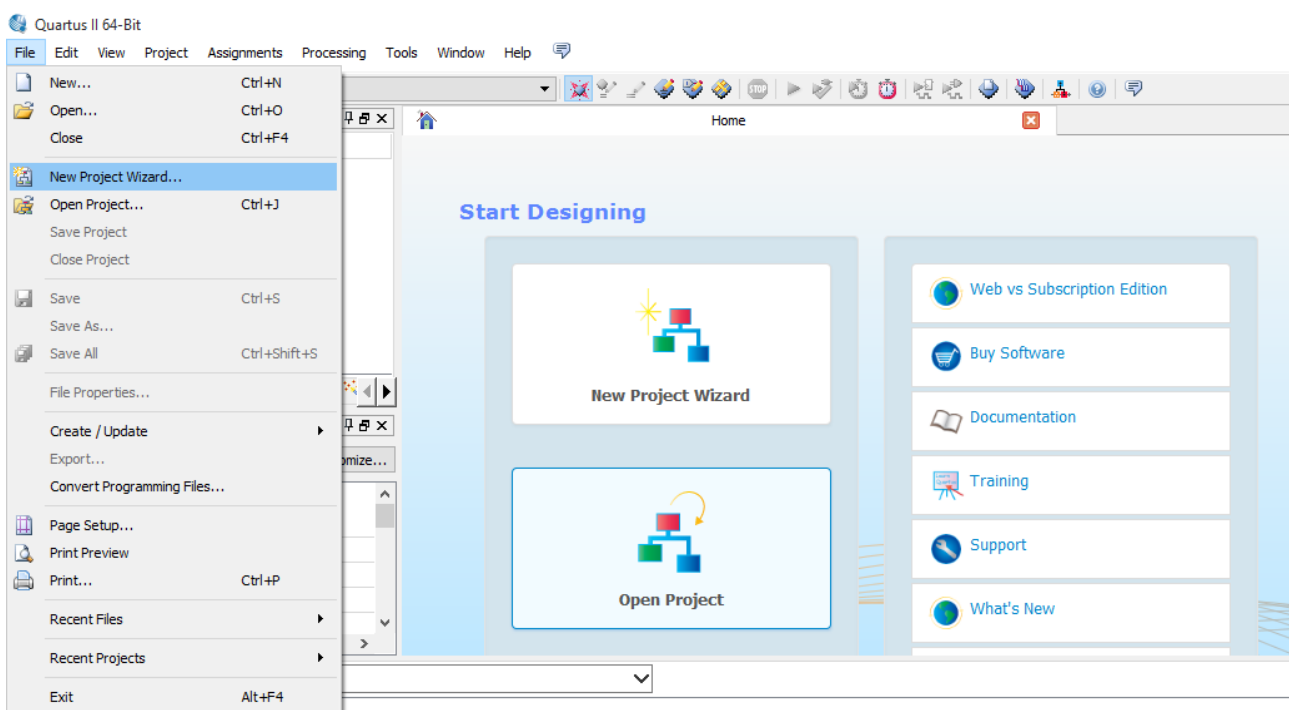
(Figura 1.2 – fluxograma de projeto)

Na fase de “**Escrita do código VHDL**” deve-se descrever o comportamento do circuito digital desejado. Em seguida, é conveniente “**Simular**” o ambiente no qual o circuito será empregado, validando assim o projeto. Para isto é gerado um ou mais arquivos de simulação.

Após a fase de validação (através de simulação) é efetuada a “**Implementação**” do circuito digital no Dispositivo Lógico Programável. Um arquivo contendo as especificações de quais pinos devem ser conectados no projeto deve ter sido gerado previamente. É então gerado um arquivo que configurará o Dispositivo Lógico Programável.

## 2 - Criando um novo Projeto em VHDL

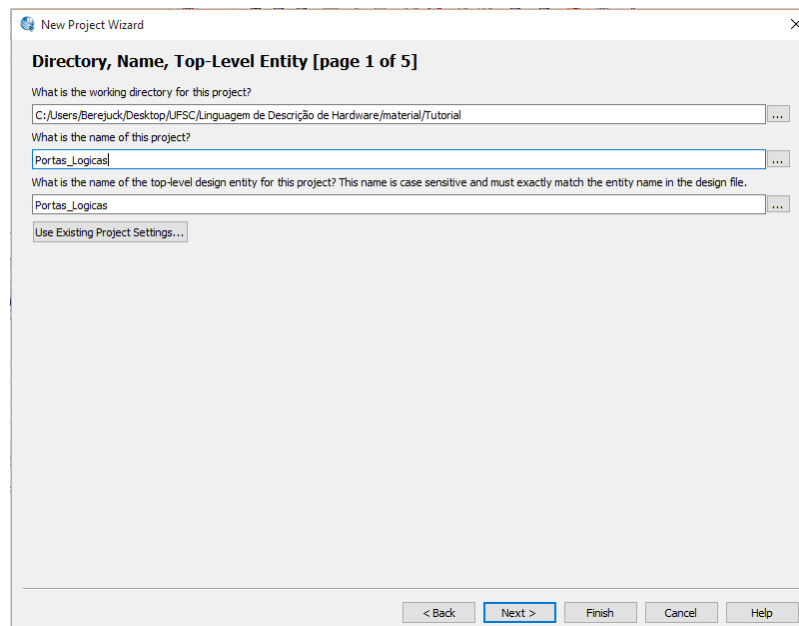
No menu principal selecione: **File** → **New Project Wizard**



Aparecerá uma tela de Introdução. Clique em: **Next >**

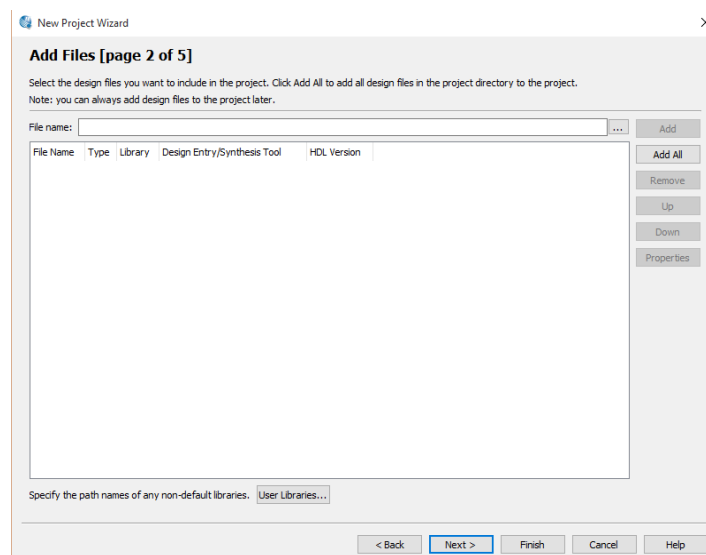
Nos três campos que aparecem a seguir, coloque o caminho (Diretório) onde o seu novo projeto será instalado, o nome do projeto e um nome de arquivo que será usado

como arquivo de referência (top) para o projeto (ver figura a seguir).



Em seguida, clique em: **Next >**

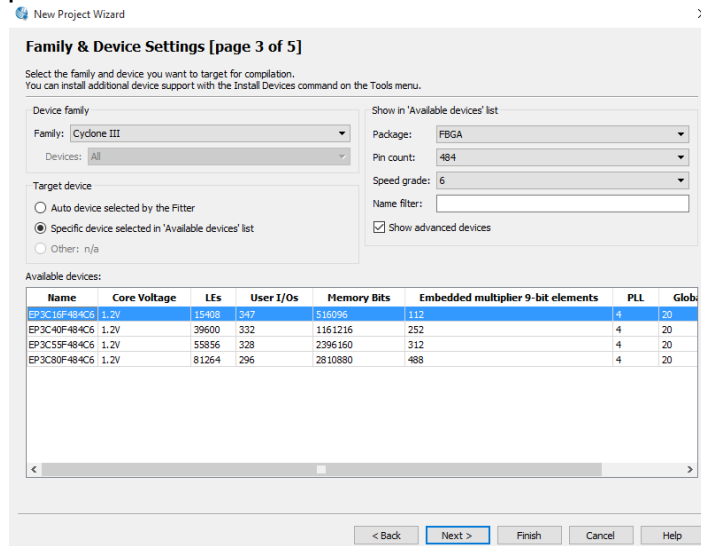
Aparecerá uma tela onde é possível fazer a inclusão de arquivos pré-existentes no projeto. Neste tutorial tais arquivos não serão incluídos. Clique em: **Next >**.



A seguir você terá que selecionar o tipo (família) de FPGA que será utilizado no projeto. Na janela de opções selecione:

- Device family: **Cyclone III**
- Package: **FBGA**
- Pin count: **484**
- Speed grade: **6**

Em seguida, clique em: **Next >**



**Family & Device Settings [page 3 of 5]**

Select the family and device you want to target for compilation.  
You can install additional device support with the Install Devices command on the Tools menu.

Device family: Family: Cyclone III  
Devices: All

Package: FBGA  
Pin count: 484  
Speed grade: 6  
Name filter:   
☒ Show advanced devices

Target device:  
☐ Auto device selected by the Fitter  
☒ Specific device selected in 'Available devices' list  
☐ Other: n/a

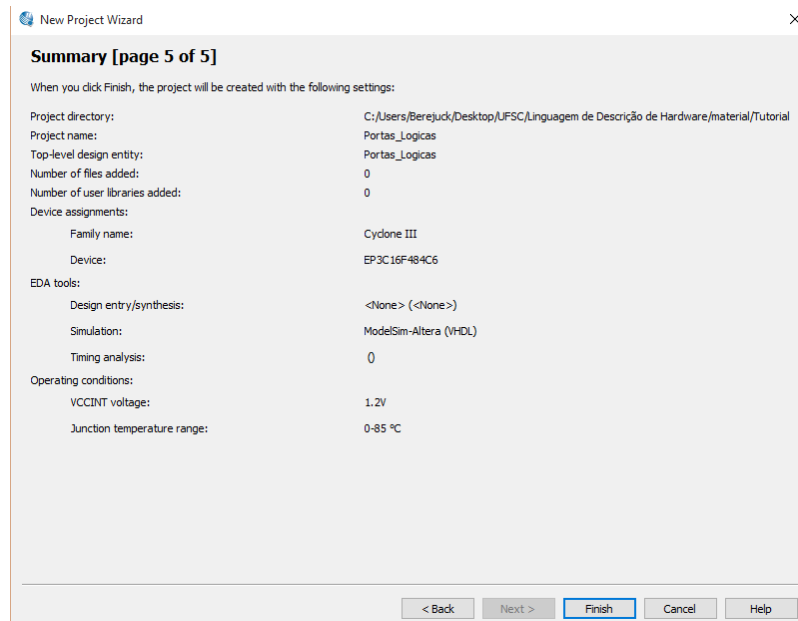
Available devices:

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit elements	PLL	Global
EP3C10F484C6	1.2V	15408	347	516096	112	4	20
EP3C40F484C6	1.2V	39600	332	1161216	252	4	20
EP3C59F484C6	1.2V	55856	328	2396160	312	4	20
EP3C80F484C6	1.2V	81264	296	2810880	488	4	20

< Back Next > Finish Cancel Help

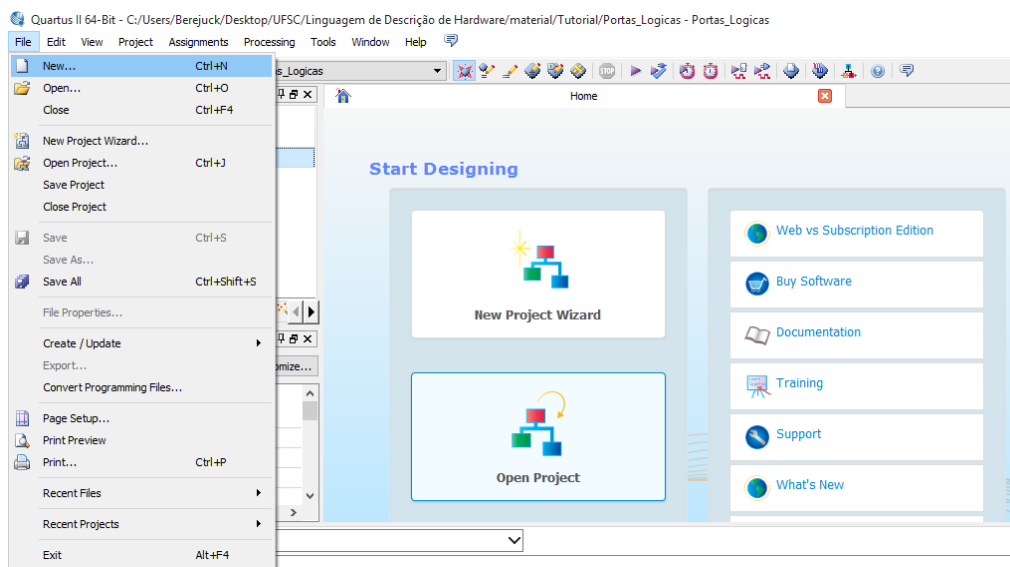
Na janela **EDA Tool Settings** mantenha os parâmetros de *Simulation* como **ModelSim Altera, VHDL**. Em seguida clique em **Next >**

Será apresentada uma janela com um resumo das opções do projeto. Verifique se são os parâmetros selecionados anteriormente e clique em **Finish** (ver figura a seguir)

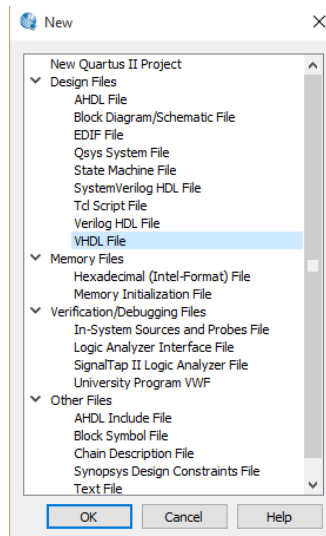


Uma vez que o projeto foi criado, é necessário incluir o arquivo com as implementações do projeto (ou arquivos, no caso de um projeto maior).

No menu de opções selecione: **File** → **New**



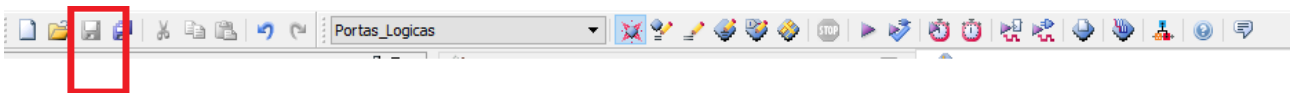
Selecione a opção **VHDL File** (ver figura a seguir)



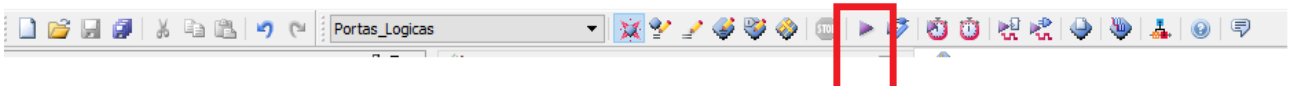
No novo arquivo, escreva o seguinte código VHDL:

```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.STD_LOGIC_UNSIGNED.ALL;
4  use IEEE.STD_LOGIC_ARITH.ALL;
5
6
7  entity Portas_Logicas is
8  Port ( i_PINO_A : in  STD_LOGIC;
9        i_PINO_B : in  STD_LOGIC;
10       o_PINO_C : out STD_LOGIC
11       );
12  end Portas_Logicas;
13
14  architecture Behavioral of Portas_Logicas is
15
16  begin
17     o_PINO_C <= i_PINO_A and i_PINO_B;
18
19  end Behavioral;
```

Em seguida, salve o arquivo criado (ver figura a seguir). Ele deverá ter o nome indicado no início da preparação do projeto (Portas\_Logicas):



Clique em **compilar o projeto** no menu de ícones:



Se não houver erros de digitação, você receberá uma mensagem de *0 errors* na parte inferior da ferramenta:

