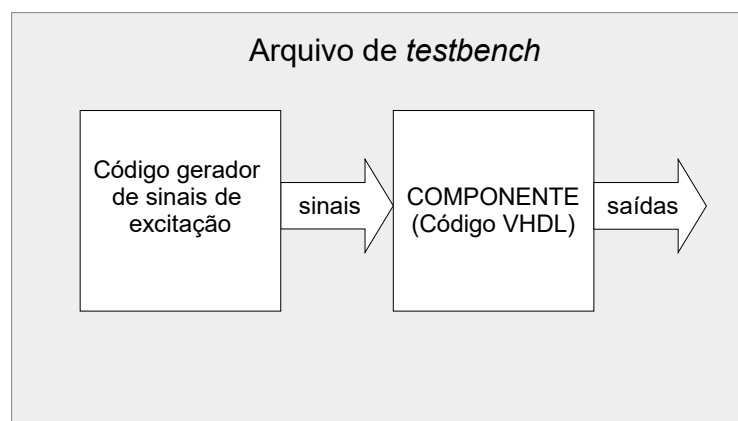


Simulação de componentes escritos em VHDL

1. Simulação com uso da ferramenta ModelSim

A simulação de projetos em VHDL para os dispositivos lógicos programáveis do fabricante Altera é feita através de uma ferramenta de simulação denominada de ModelSim, do fabricante Mentor Graphyics®.

O processo de simulação está baseado na escrita de um arquivo em VHDL específico para gerar sinais de excitação, que irão ser conectados à entrada do componente VHDL que queremos simular. Assim, o código VHDL do nosso projeto é instanciado como um componente dentro do arquivo de *testbench*, conforme mostra a Figura a seguir.



1.1 Configurando o Quartus II para acesso direto ao ModelSim

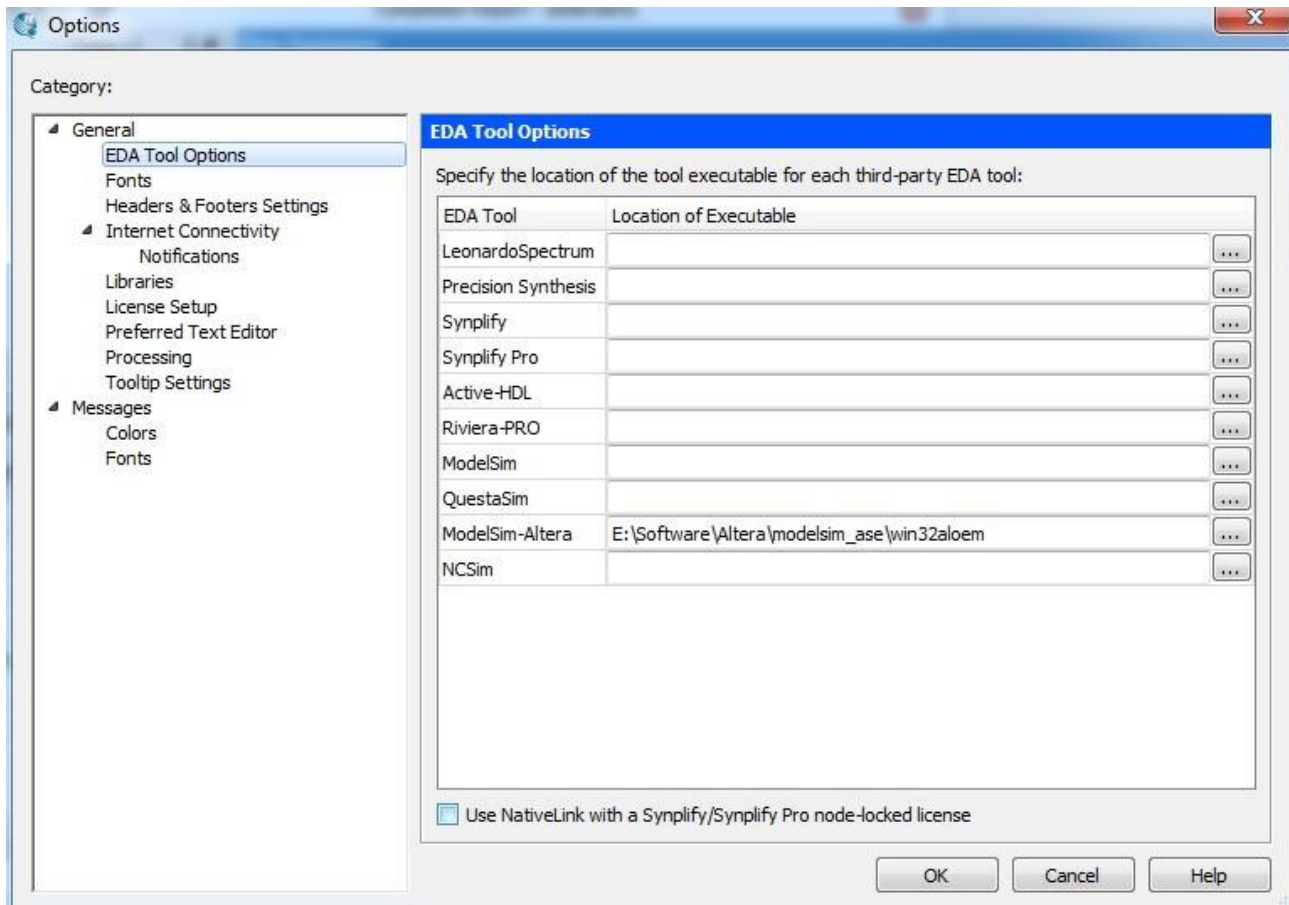
É possível acessar a ferramenta ModelSim a partir da ferramenta Quartus II. Para isso é necessário alterar os seguintes parâmetros de configuração:

1.1.1. Set up do EDA tool options

No menu principal da ferramenta Quartus II Selecione **Tools** → **Options** para abrir a janela de opções. Em **General**, selecione **EDA Tool Option** à esquerda como mostra a Figura a seguir. Clique no botão de **Procurar** à direita:

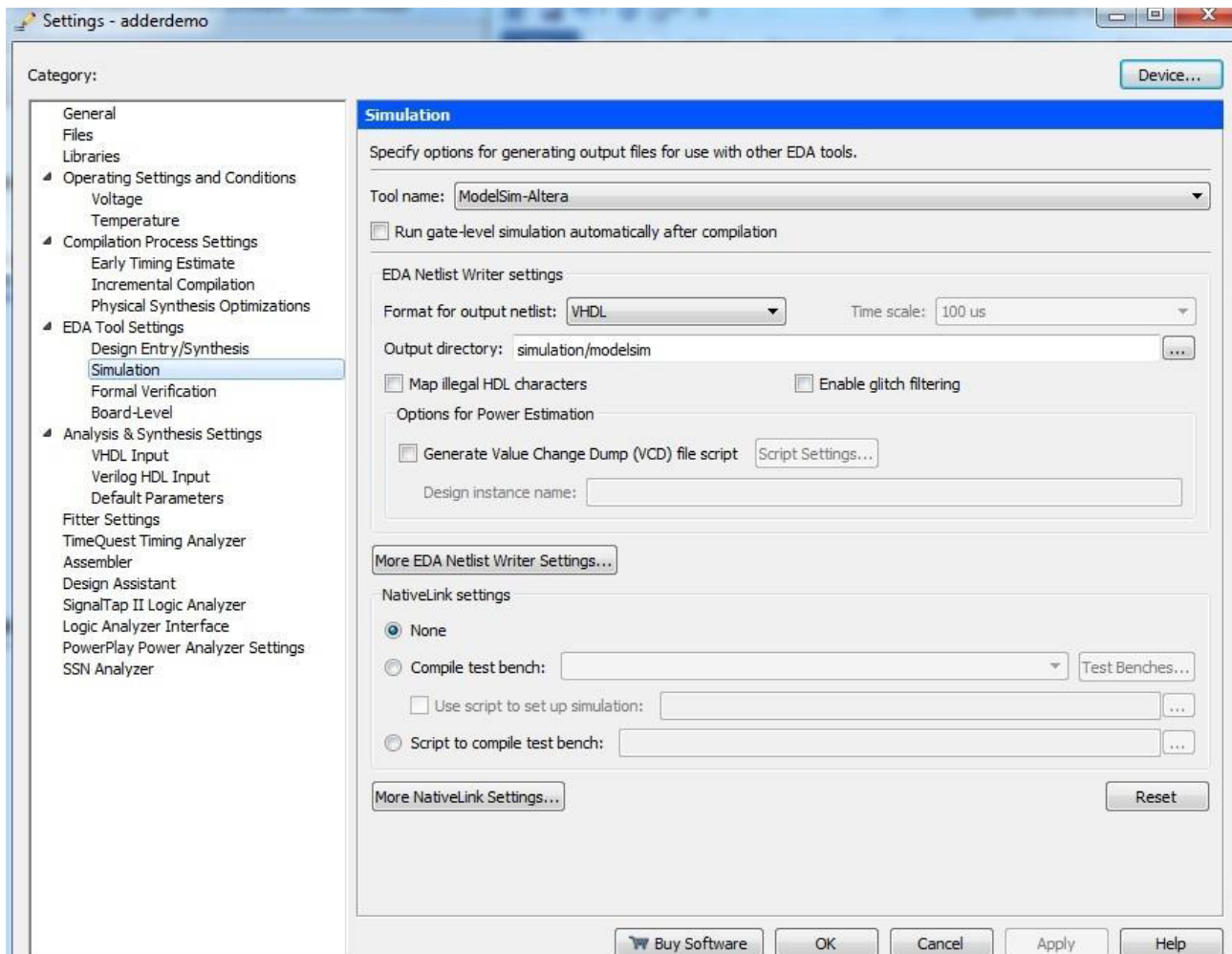


para a opção **ModelSim-Altera** na lista EDA ferramenta para especificar a localização do executável ModelSim-Altera. Finalmente, clique em OK.



1.1.2. Set up de Simulação

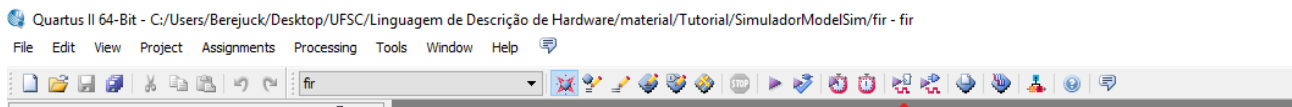
Selecione **Assignment** → **Settings**. Na caixa de diálogo **Category**, em **EDA Tool Settings**, selecione **Simulation**, como mostrado na Figura a seguir.



Na lista **Tool name**, selecione ModelSim-Altera. Certifique-se de que a opção **Run gate level simulation automatically**, abaixo de **Tool name**, está desligada. Em **EDA Netlistt Writer settings**, na opção **Format for output netlist**, selecione VHDL.

Certifique-se de que as opções **Map for Power Estimation** e **Generate Value Change Dump (VCD) for file script** estão desligadas. Em **NativeLink**, selecione **None**. Finalmente, clique em **Apply** e **OK**.

Para que o ModelSim seja chamado de dentro da ferramenta Quartus II, selecione a opção **Tools** → **Run Simulation Tool** → **RTL simulation** ou então use o icone conforme indica a Figura a seguir:



1.2 Exemplo de Simulação usando o ModelSim

Crie um novo projeto e inclua um arquivo VHDL com o nome PORTA_AND, contendo o seguinte código VHDL:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;

ENTITY PORTA_AND IS

    PORT (
        A          : IN STD_LOGIC;
        B          : IN STD_LOGIC;
        C          : OUT STD_LOGIC
    );
END PORTA_AND;

ARCHITECTURE behavioral OF PORTA_AND IS
BEGIN

    C <= A and B;

END behavioral;
```

Para simular o funcionamento do arquivo acima iremos criar um novo arquivo, chamado de TB_PORTA_AND, o qual irá conter uma instancialização do componente PORTA_AND e mais uma certa quantidade de código para gerar os sinais de excitação. Coloque no arquivo TB_PORTA_AND o seguinte código VHDL:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;

ENTITY TB_PORTA_AND IS
END TB_PORTA_AND;

ARCHITECTURE behavior OF TB_PORTA_AND IS

    -- Declare o componente a ser testado.
    COMPONENT PORTA_AND IS
        PORT (
            A          : IN STD_LOGIC;
            B          : IN STD_LOGIC;
            C          : OUT STD_LOGIC
        );
    END COMPONENT;

    -- Declare sinais com os nomes dos pinos do componente.
    SIGNAL w_A        : STD_LOGIC;
    SIGNAL w_B        : STD_LOGIC;
    SIGNAL w_C        : STD_LOGIC;

BEGIN

    -- Instancie um componente dentro do arquivo de teste.
    UUT : PORTA_AND
        Port Map(
            A      => w_A,
            B      => w_B,
            C      => w_C
        );

    -- Gera sinais de teste para a porta lógica AND. São quatro combinações possíveis.
    process
    begin
        wait for 100 ns;
        w_A <= '0';
        w_B <= '0';
        wait for 50 ns;

        w_A <= '1';
        w_B <= '0';
        wait for 50 ns;

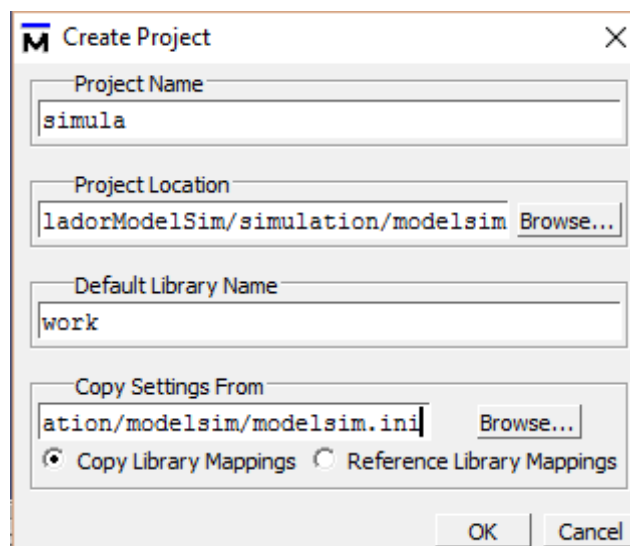
        w_A <= '0';
        w_B <= '1';
        wait for 50 ns;

        w_A <= '1';
        w_B <= '1';
        wait for 50 ns;

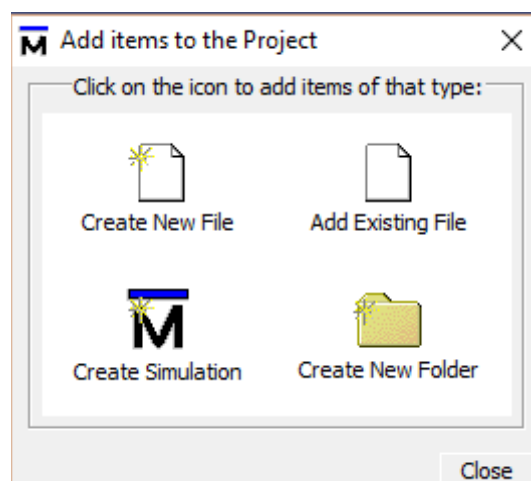
        wait;
    end process;

END;
```

Abra a ferramenta ModelSim conforme explicado no final da Seção 1.1. No menu da ferramenta ModelSim selecione **File** → **New** → **Project**. Irá aparecer uma tela conforme mostra a figura a seguir na qual você deverá dar um nome ao projeto (no exemplo, simula) e clique em **OK**.

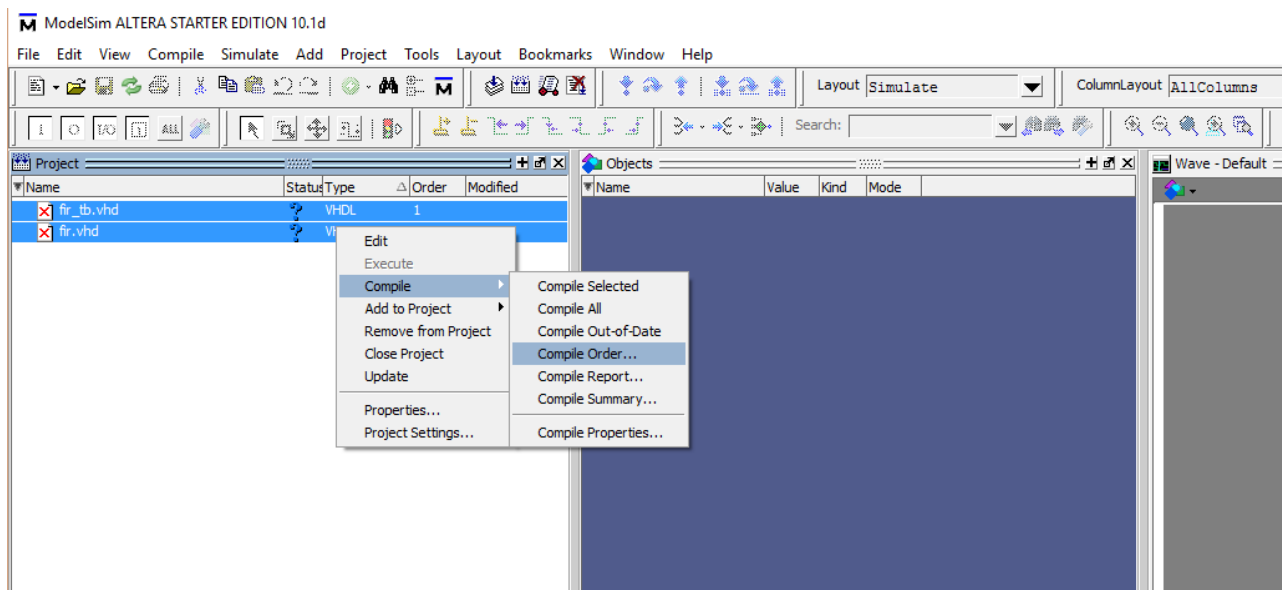


A seguir, o ModelSim irá apresentar uma janel de opções para a inclusão de arquivos neste projeto. Clique em **Add Existing File**:

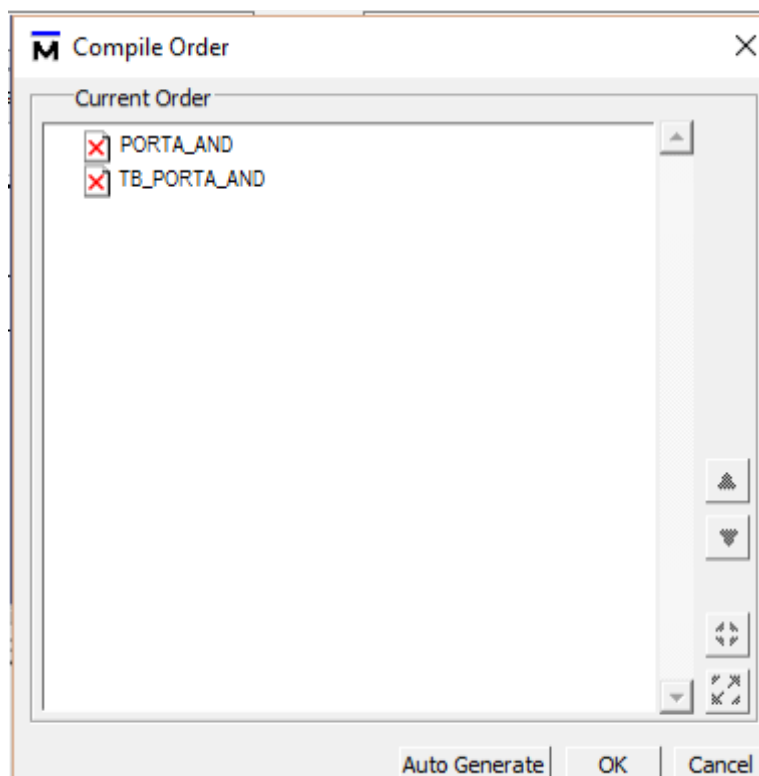


Em seguida localize os arquivos do projeto clicando em **Browse...** . Selecione o arquivo PORTA_AND.vhd e TB_PORTA_AND.vhd e clique em **OK**. Neste ponto você pode fechar a janela **Add items to the project** clicando no botão **Close**.

Selecione os dois arquivos na janela da esquerda e clique com o botão direito em **Compile** → **Compile Order...** , como mostra a Figura a seguir:

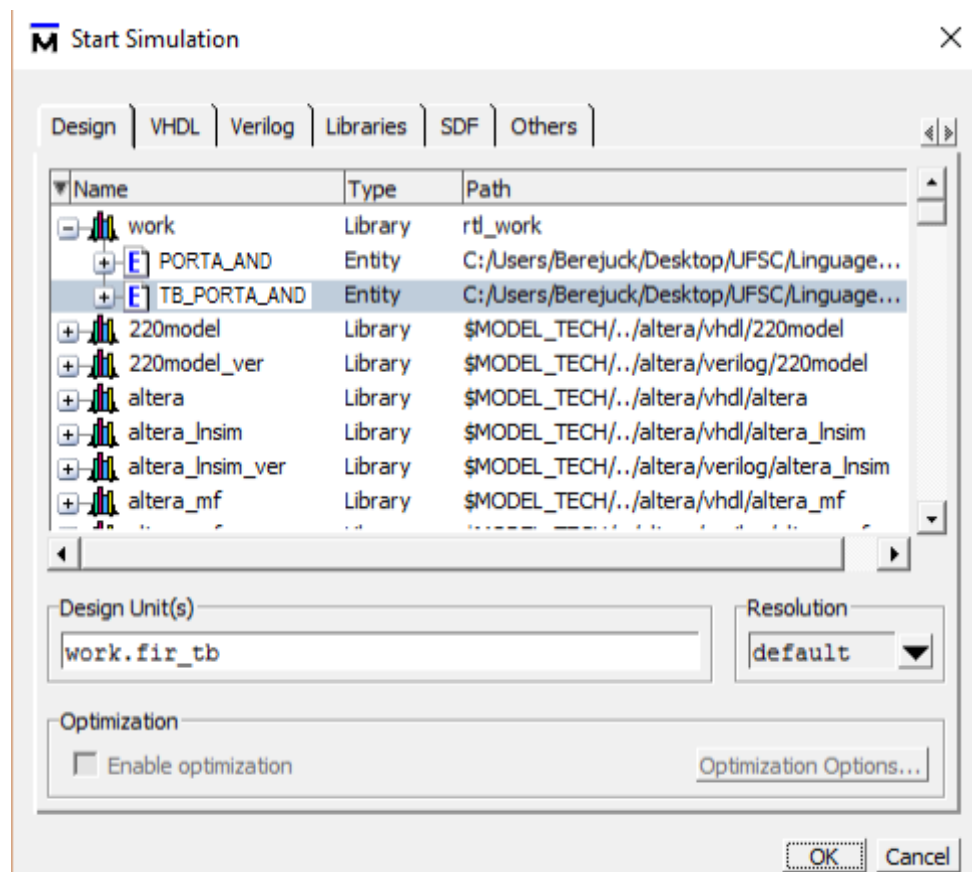


Uma janela chamada **Compile Order** irá abrir. Utilizando os botões com setas para cima e para baixo, selecione o arquivo TB_PORTA_AND para ser o arquivo de ordem 0. Em seguida, clique no botão **Auto Generate**:

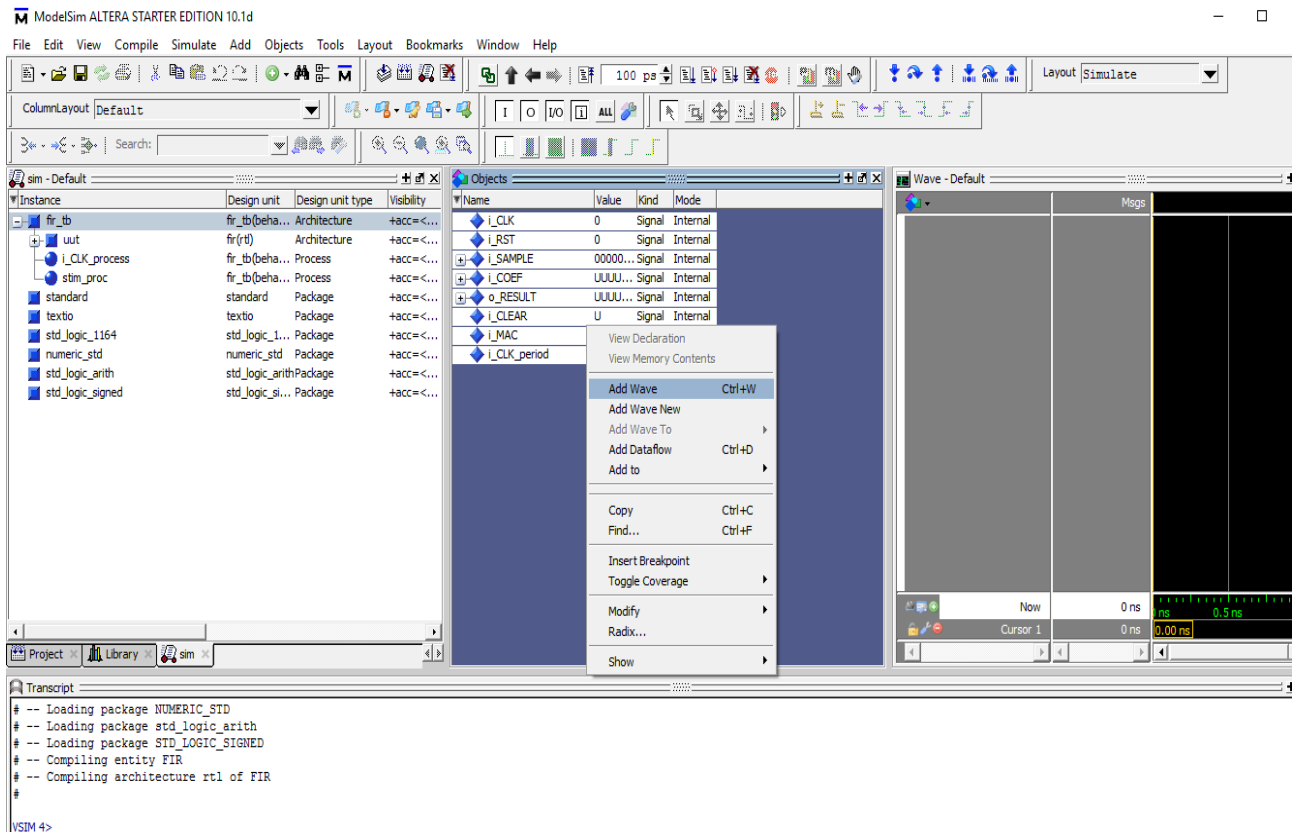


Deverá ser apresentada uma janela de informação contendo a seguinte afirmação: **All compile devices have been resolved!** Clique em **OK** e aguarde a indicação de compilação OK sem erros.

Para iniciar a simulação, selecione **Simulation** → **Start Simulation...** no menu principal do ModelSim. Irá aparecer uma janela na qual você deve clicar no sinal + ao lado do diretório **work**, e selecionar o arquivo de testbench **TB_PORTA_AND.vhd**, conforme mostra a figura a seguir. Clique em **OK**.



O simulador irá apresentar três janelas. Selecione os sinais mostrados na janela **Object**, clique com o botão da direita sobre eles e selecione **Add Wave...**, conforme mostra a figura a seguir.



Expanda a janela **Wave**, mais a direita na figura anterior. Na parte superior daquela janela, coloque como tempo de simulação o valor **10 us** (10 microsegundos). Em seguida clique no ícone simular, conforme mostram as setas vermelhas na figura a seguir.

