



Aula 02 - Linguagem de hardware e síntese de circuitos



Tópicos da aula

- **Introdução ao VHDL**
- **Definição de Entidade e Arquitetura**



O que é VHDL?

- ❏ É uma linguagem de descrição de hardware
- ❏ Desenvolvida a partir da necessidade do Departamento de Defesa (DoD) dos EUA para unificar a documentação de projetos de seus fornecedores no contexto do programa VHSIC, substituindo os diagrama esquemáticos
- ❏ **VHDL = VHSIC + HDL**
 - ❏ VHSIC = **V**ery High Speed Integrated Circuit
 - ❏ HDL = **H**ardware **D**escription **L**anguage



Universidade Federal
de Santa Catarina




“O VHDL” ou “a VHDL”?

- ❏ Assim como toda e qualquer linguagem de programação, em português, costuma-se “masculinizar” o gênero da linguagem
 - ❏ o C
 - ❏ o Delphi
 - ❏ o JAVA
 - ❏ o assembly
 - ❏ o VHDL






Cronologia e uso do VHDL

Marcos históricos

-  1980: criação da linguagem
-  1987: padronização pelo IEEE (IEEE Std 1076-1987)
-  1993: revisão do padrão

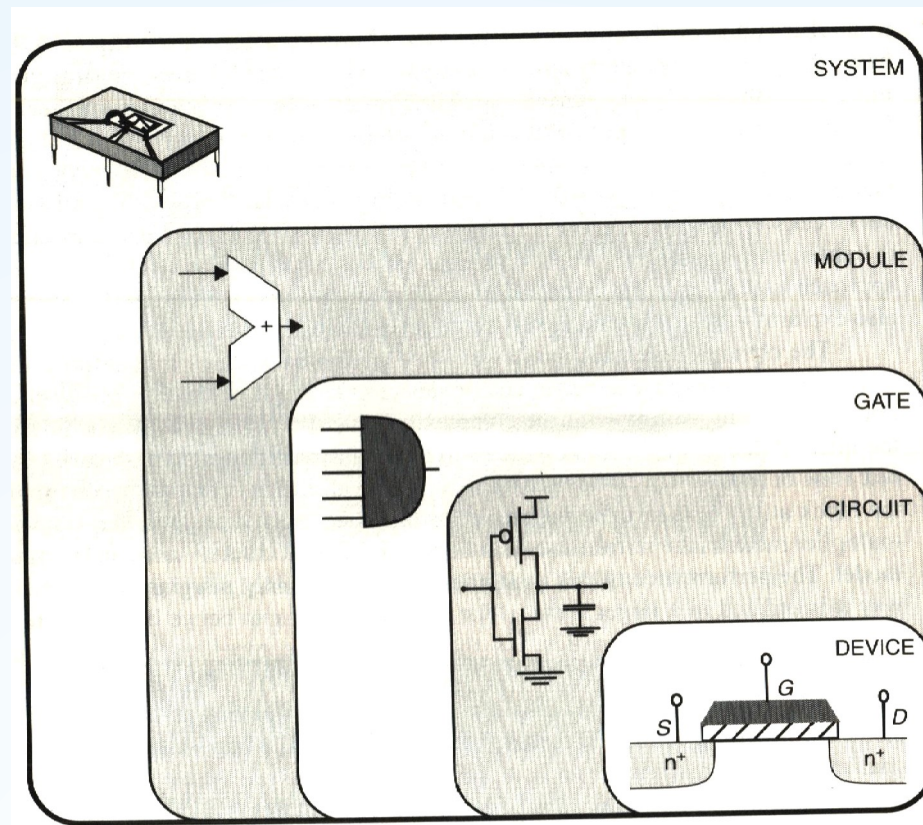
Uso

-  Documentação
-  Simulação
-  Síntese



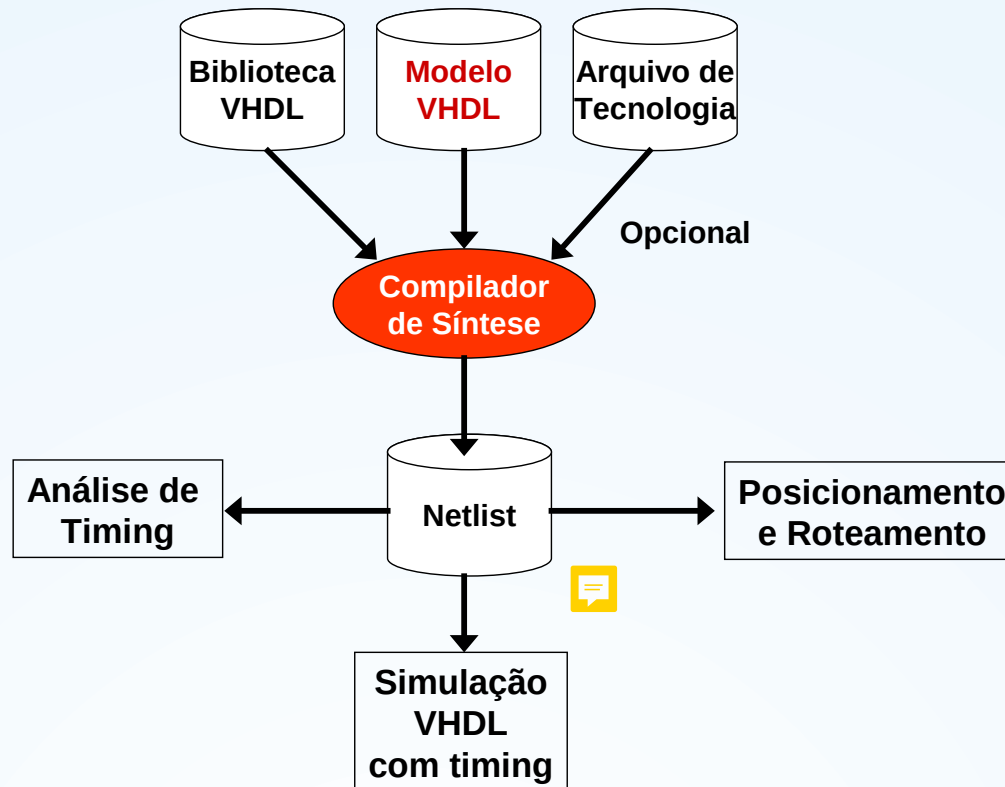
Universidade Federal
de Santa Catarina

Níveis de abstração em circuitos digitais





Síntese de um modelo VHDL





Universidade Federal
de Santa Catarina

Linguagem de descrição de hardware

Aula 2: 8 de 14

Ambiente de desenvolvimento (Síntese)

Quartus II 64-Bit - C:/Projetos_Altera/Linguagem_Hardware/aulas/aula_02/and2 - and2

File Edit View Project Assignments Processing Tools Window Help

Search altera.com

Project Navigator

Entity

Cyclone IV GX: AUTO

PORTA_AND

Hierarchy Files Design Uni

Tasks

Flow: Compilation Customize...

Task

- Compile Design
- Analysis & Synthesis
 - Edit Settings
 - View Report
- Analysis & Elaboration
- Partition Merge

Entity Declaration:

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.numeric_std.all;
4 use IEEE.STD_LOGIC_UNSIGNED.ALL;
5 use IEEE.STD_LOGIC_ARITH.ALL;
6
7 ENTITY PORTA_AND IS
8
9     PORT (
10         A      : IN STD_LOGIC;
11         B      : IN STD_LOGIC;
12         C      : OUT STD_LOGIC
13     );
14 END PORTA_AND;
```

Architecture:

```
17 ARCHITECTURE behavioral OF PORTA_AND IS
18
19 BEGIN
20
21     C <= A and B;
22
23 END behavioral;
```

Messages

Type	ID	Message
Information	204019	Generated file and2_vhd.sdo in folder "C:/Projetos_Altera/Linguagem_Hardware/aulas/aula_02/simulation/modelsim/" for EDA simulation tool
Information		Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
Information	293000	Quartus II Full Compilation was successful. 0 errors, 12 warnings


System (1) / Processing (123) /

100% 00:00:26



Aspectos gerais do VHDL

Dois conjuntos de construtores

 Simulação

 Síntese 

Características

 É baseado em palavras reservadas (**BEGIN**, **END**, ...)

 É insensível à caixa (BEGIN = Begin = begin)

 Declarações terminadas por ponto e vírgula “;”

 Comentários marcados precedidos por duplo hífen “--”

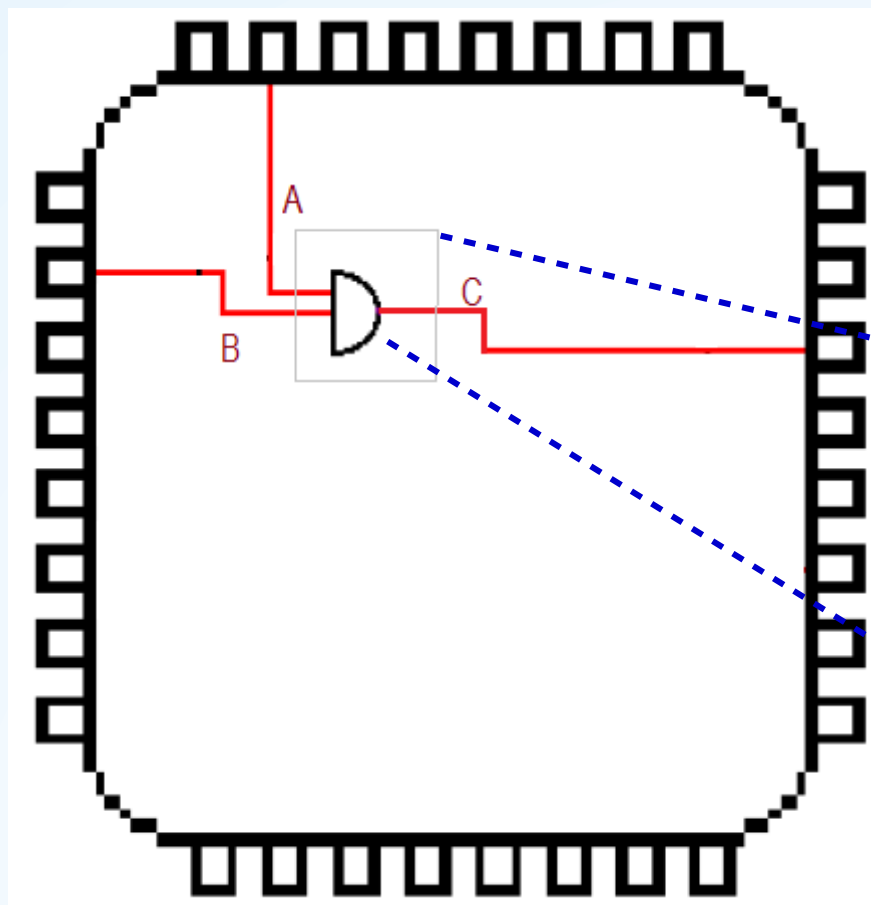


Estrutura do código VHDL

- ❏ Cada programa VHDL consiste de pelo menos um par **entidade/arquitetura**
- ❏ Em um projeto grande, você normalmente escreverá muitos pares **entidade/arquitetura** e os conectará para formar um circuito completo
- ❏ **ENTIDADE** é a lista com especificações de todos os pinos de entrada e saída do circuito
- ❏ **ARQUITETURA** descreve o comportamento que o circuito deve ter



ENTIDADE e comportamento (ARQUITETURA) do componente



```
library ieee;  
use ieee.std_logic_1164.all;  
use ieee.numeric_std.all;  
use IEEE.STD_LOGIC_UNSIGNED.ALL;  
use IEEE.STD_LOGIC_ARITH.ALL;  
  
ENTITY and2 IS  
    PORT (  
        A      : IN STD_LOGIC;  
        B      : IN STD_LOGIC;  
        C      : OUT STD_LOGIC  
    );  
END and2;  
  
ARCHITECTURE behavioral OF and2 IS  
  
BEGIN  
    C <= A and B;  
  
END behavioral;
```



Declaração da ENTIDADE do componente

```
ENTITY <nome_componente> is
  PORT( <sinal_A> : SENTIDO TIPO; <sinal_B> : SENTIDO TIPO; ... );
END nome;

ENTITY nome is
  PORT( A : in STD_LOGIC; B : in STD_LOGIC; C : out STD_LOGIC);
END nome;

ENTITY nome is
  PORT (
    A : in STD_LOGIC;
    B : in STD_LOGIC;
    C : out STD_LOGIC
  );
END nome;
```



Universidade Federal
de Santa Catarina

Exercícios

- ❏ Implementar uma porta lógica OR 2x1
- ❏ Implementar uma porta lógica AND 4x1



Universidade Federal
de Santa Catarina

FIM AULA 2