

Descrição geral do sistema

O processador didático BIP I é um processador que possui instruções de 16 bits, um único Registrador, chamado de Acumulador (ACC).

Este trabalho está dividido em duas partes. A primeira é implementar o processador BIP I e suas memórias, ROM e RAM, mostrado na Figura 1 através de um diagrama em blocos. A Figura 2 mostra os detalhes internos do processador a ser implementado.

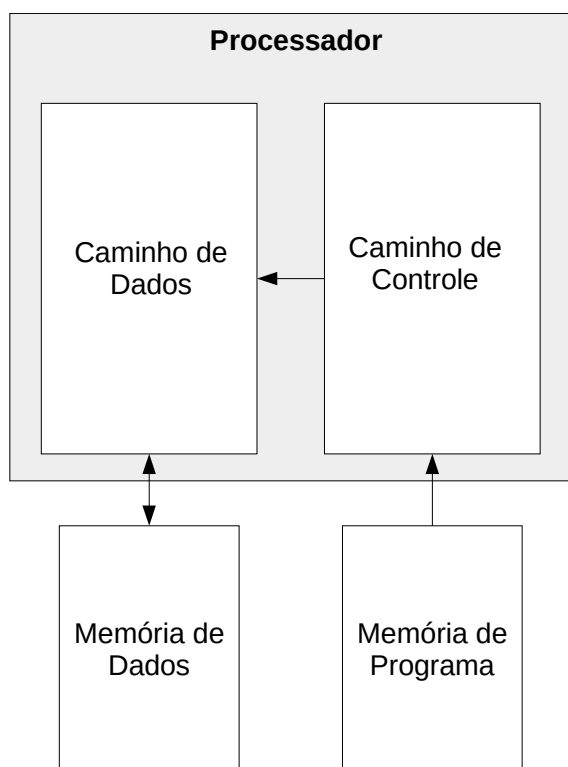


Figura 1: Diagrama em blocos com a implementação do BIP I em caminhos.

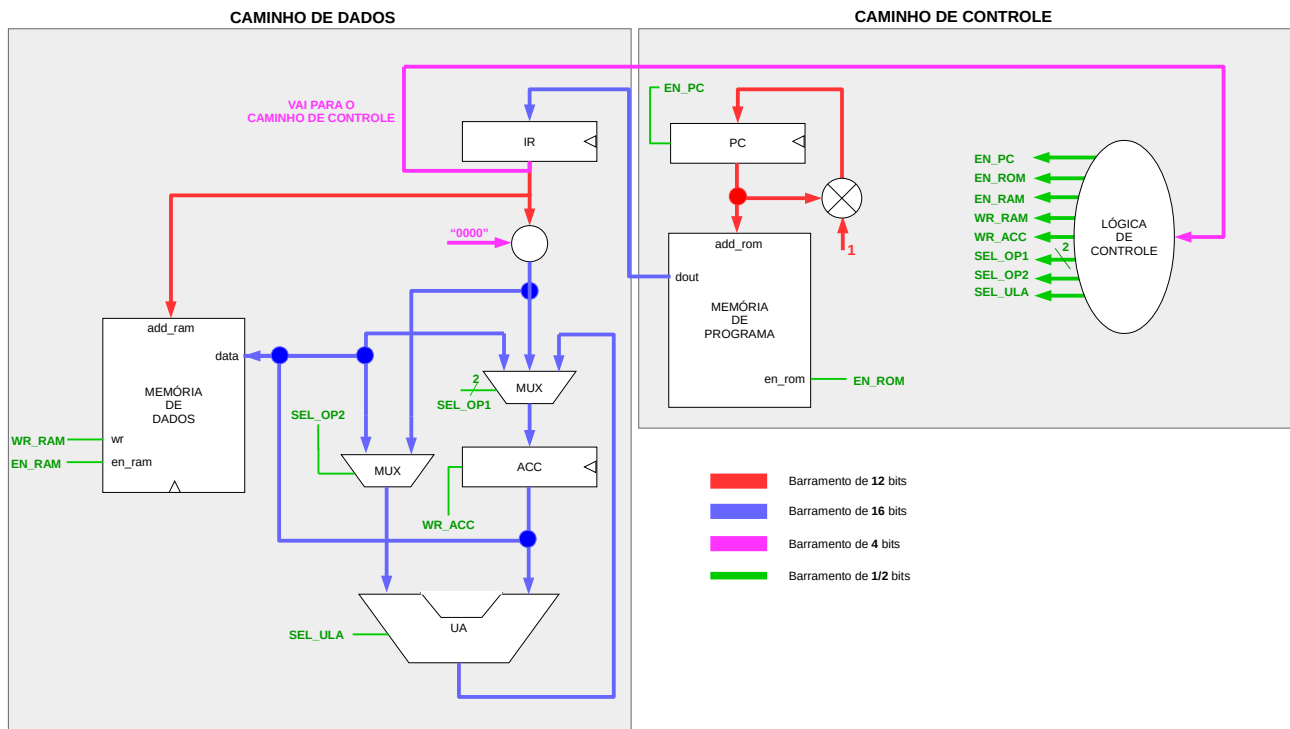


Figura 2: Componentes internos do processador BIP I.

O conjunto de instruções do BIP i deve ser construído na Tabela 1, através de mintermos ou maxtermos. Uma vez implementado e validado no simulador Modelsim, implementar o processador BIP I colocando o Acumulador (ACC) ligados à 10 LEDs do kit de desenvolvimento (os dez bits menos significativos do acumulador). O objetivo é verificar se os valores calculados no processador são observados nos LEDs.

Tabela 1: Opcodes do processador BIP I.

Instrução	Opcode (binário)	WR_RAM	EN_RAM	EN_PC	EN_ROM	WR_ACC	SEL_OP1		SEL_OP2	SEL_ULA
							BIT 1	BIT 0		
STOP	0000	0	0	0	0	0	0	0	0	0
STO	0001	1	1	1	1	0	0	0	0	0
LD	0010	0	1	1	1	1	0	0	0	0
LDI	0011	0	0	1	1	1	0	1	1	0
ADD	0100	0	1	1	1	1	1	0	0	0
ADDI	0101	0	0	1	1	1	1	0	1	0
SUB	0110	0	1	1	1	1	1	0	0	1
SUBI	0111	0	0	1	1	1	1	0	1	1
Reservado	1xxx	x	x	x	x	x	x	x	x	x

Para a segunda parte, você deverá alterar a organização do processador BIP para aceitar a entrada de

números através das chaves deslizantes (SWITCHs DE 0 a 9), conforme mostra a Figura 3.

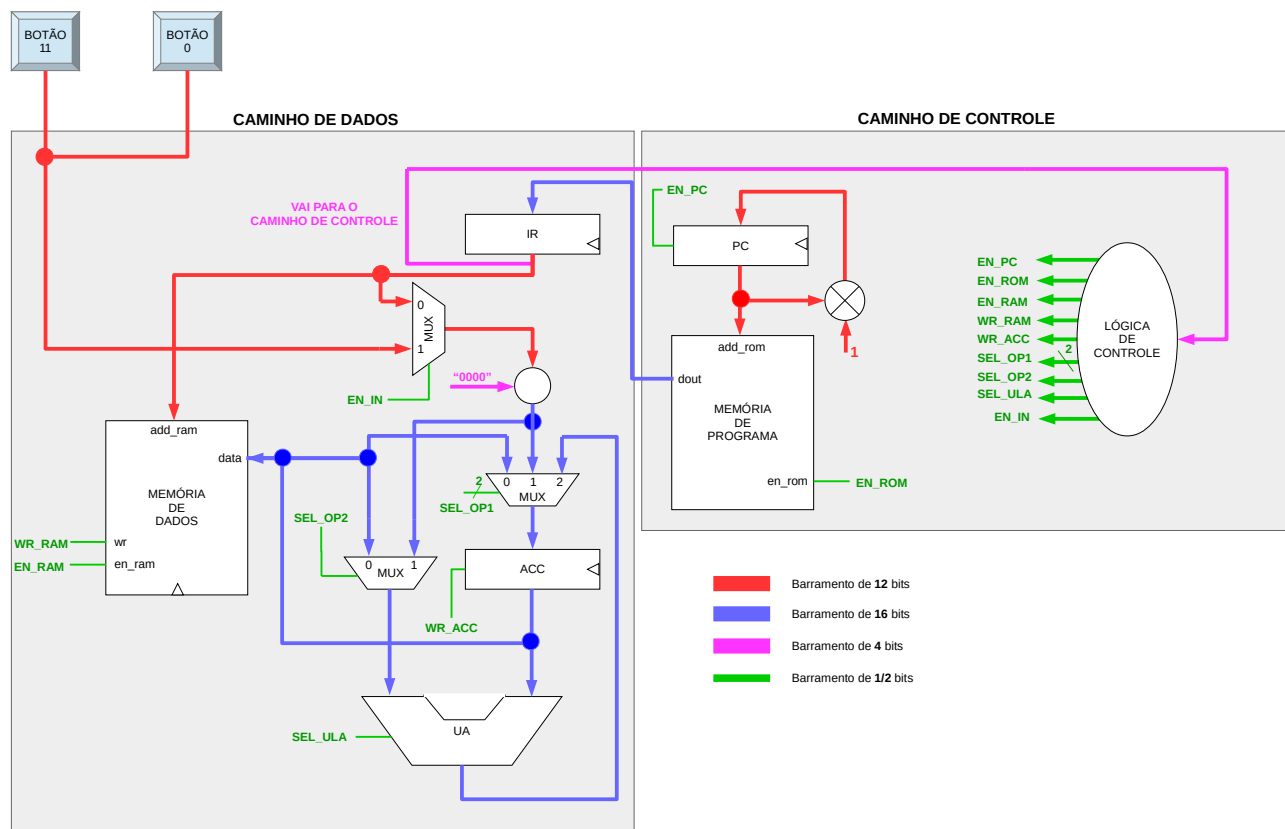


Figura 3: Alteração na Organização do processador BIP.

Você terá que fazer as seguintes implementações:

- Inclua nove botões (SWITCHs) de entrada (para os botões 10 e 11 faça a concatenação com "zeros");
- conecte estes 10 SWITCHs, com dois zeros mais significativos concatenados, em um multiplexador 2x1;
- implemente a lógica de controle deste novo multiplexador (sinal EN_IN) dentro da lógica de controle. O mnemônico e opcode serão: **INP** → **1001**;

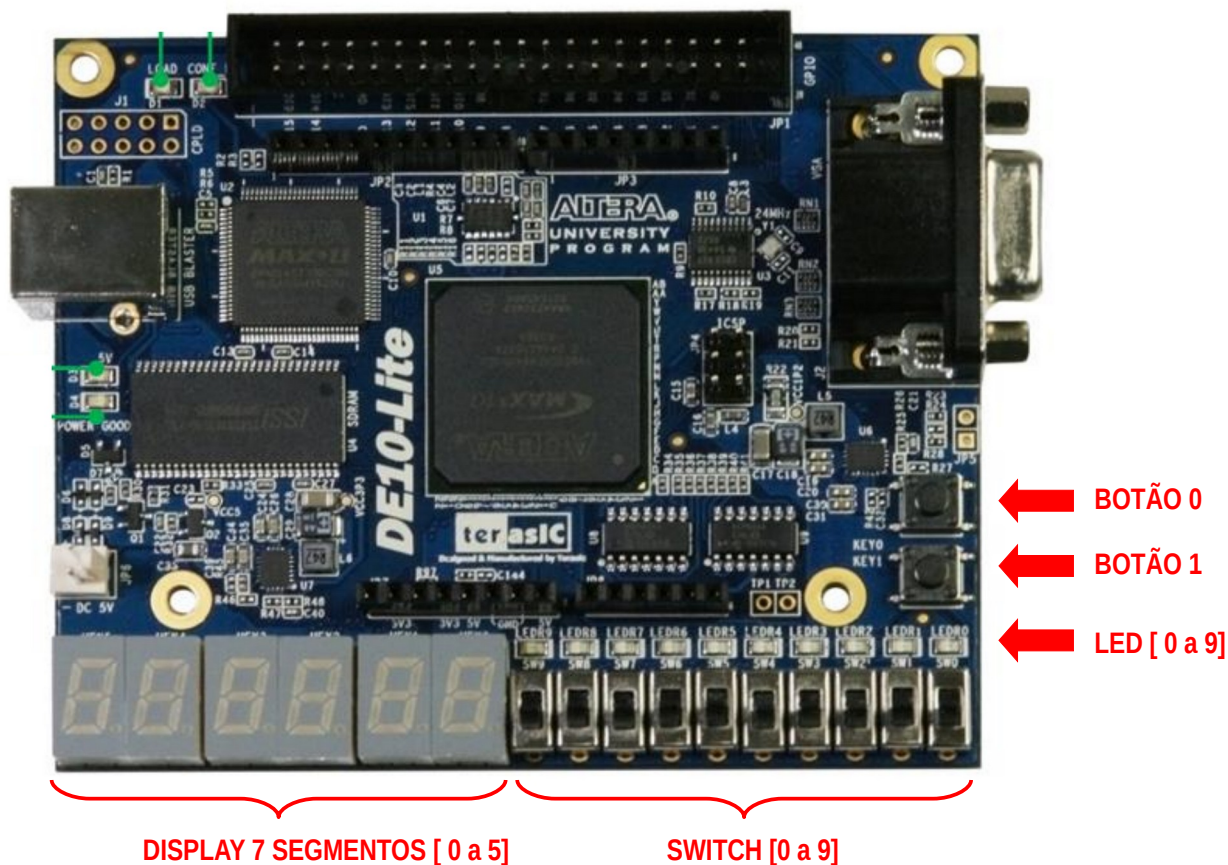


Ilustração 4: Kit de desenvolvimento DE0 utilizado na implementação do trabalho.

Critérios de avaliação

- 2 pontos pela entrega de um diagrama em blocos funcionais (desde que esteja coerente com o código VHDL implementado).
- 2 pontos pela entrega de TestBenchs (funcionando) para cada componente projetado.
- 6 pontos a serem dados durante a apresentação e defesa do projeto.