



Aula 04 – Projeto com múltiplos componentes



Tópicos da aula

- **Componentes**
- **Formas de conexão interna**
- **Exemplos e exercícios**



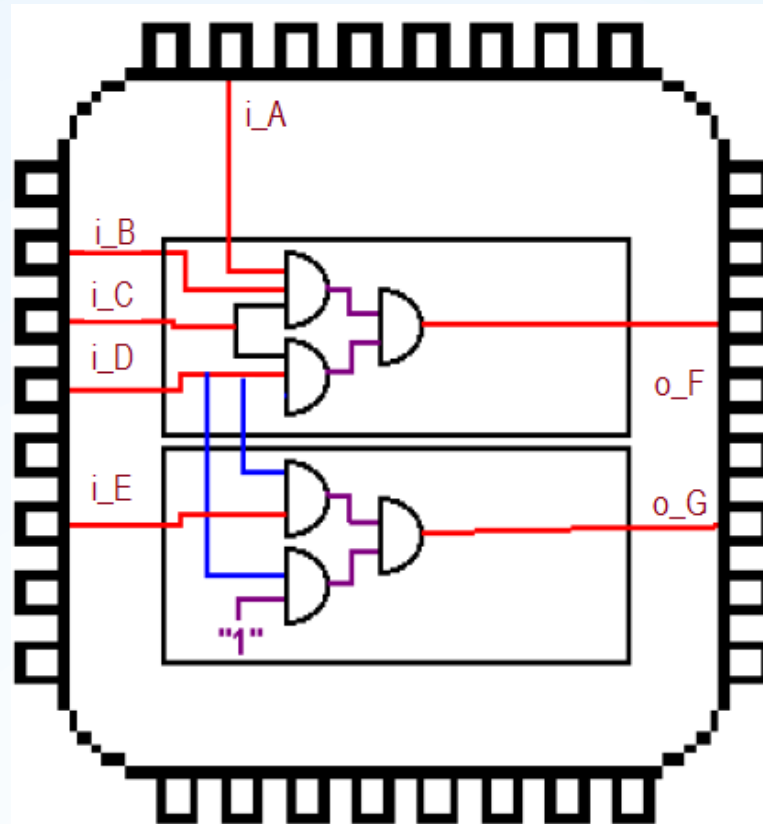
Componentes

- ❏ **Em geral, cada componente escrito em VHDL está relacionado à um arquivo .vhd**
- ❏ **Um projeto é constituído de múltiplos arquivos**
- ❏ **A interconexão de componentes dentro de um projeto acontece com o uso de sinais internos**



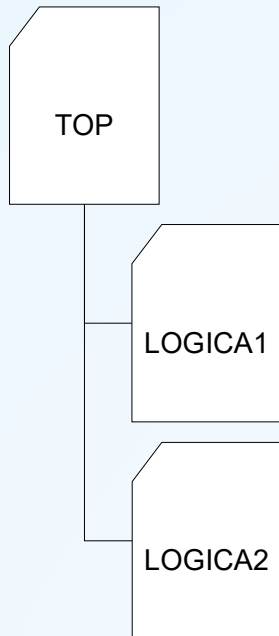
Universidade Federal
de Santa Catarina

Exemplo de componentes em um projeto



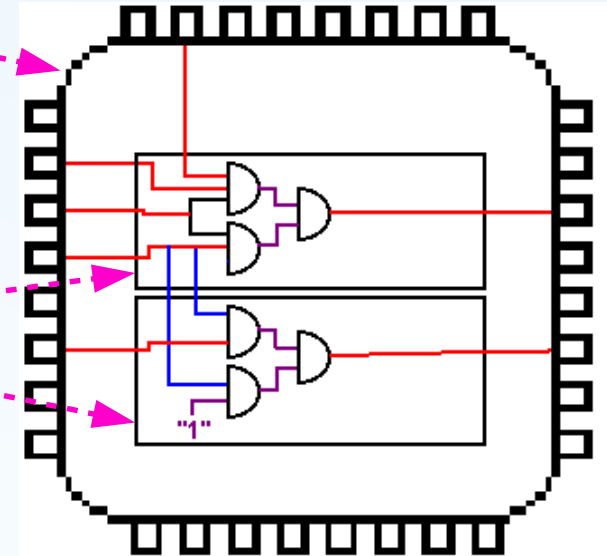


Exemplo de componentes em um projeto



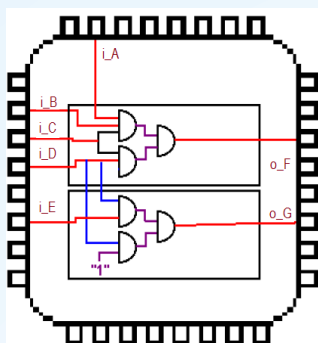
Arquivo Top. Ex.: **TOP_LOGICA.vhd**

Componentes. Ex.: **LOGICA1.vhd**
e **LOGICA2.vhd**





Exemplo de componentes em um projeto



Quartus II 64-Bit - C:/Projetos_Altera/Linguagem_Hardware/aulas/aula_04/TOP_LOGICA - TOP_LOGICA

File Edit View Project Assignments Processing Tools Window Help

TOP_LOGICA

Project Navigator

Entity

- Cyclone III: AUTO
- TOP_LOGICA
 - LOGICA1:U01
 - LOGICA2:U02

Hierarchy Files Design Uni

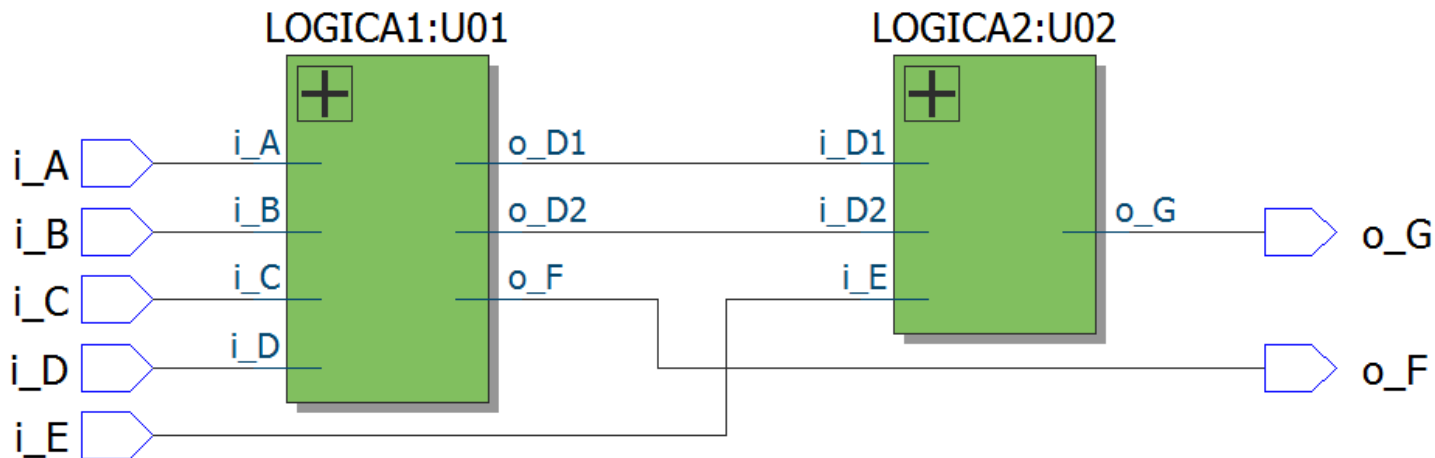
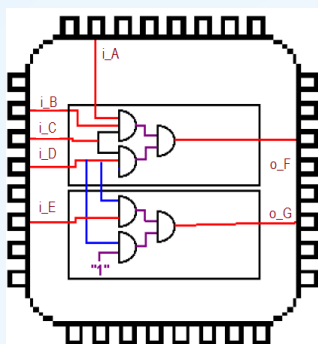
Tasks

Flow: Compilation Customize...

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.numeric_std.all;
4 use IEEE.STD_LOGIC_UNSIGNED.ALL;
5 use IEEE.STD_LOGIC_ARITH.ALL;
6
7 ENTITY TOP_LOGICA IS
8
9     PORT (
10         i_A      : IN  STD_LOGIC;
11         i_B      : IN  STD_LOGIC;
12         i_C      : IN  STD_LOGIC;
13         i_D      : IN  STD_LOGIC;
14         i_E      : IN  STD_LOGIC;
15         o_F      : OUT STD_LOGIC;
16         o_G      : OUT STD_LOGIC;
17     );
18 END TOP_LOGICA;
```

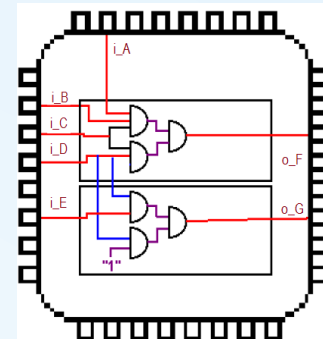


Exemplo de componentes em um projeto





Declaração e instância dos componentes



```
ARCHITECTURE behavioral OF TOP_LOGICA IS

  -- Declaração de sinais internos
  signal w_D1 : STD_LOGIC;
  signal w_D2 : STD_LOGIC;

  -- Declaração de componentes externos.
  COMPONENT LOGICA1 IS
    PORT (
      i_A      : IN  STD_LOGIC;
      i_B      : IN  STD_LOGIC;
      i_C      : IN  STD_LOGIC;
      i_D      : IN  STD_LOGIC;
      o_D1     : OUT STD_LOGIC;
      o_D2     : OUT STD_LOGIC;
      o_F      : OUT STD_LOGIC
    );
  END COMPONENT;

  COMPONENT LOGICA2 IS
    PORT (
      i_D1     : IN  STD_LOGIC;
      i_D2     : IN  STD_LOGIC;
      i_E      : IN  STD_LOGIC;
      o_G      : OUT STD_LOGIC
    );
  END COMPONENT;

BEGIN
```

```
BEGIN

  -- Instancialização de um componente LOGICA1.
  U01 : LOGICA1
    PORT MAP (
      i_A  => i_A,
      i_B  => i_B,
      i_C  => i_C,
      i_D  => i_D,
      o_D1 => w_D1,
      o_D2 => w_D2,
      o_F  => o_F
    );

  -- Instancialização de um componente LOGICA2.
  U02 : LOGICA2
    PORT MAP (
      i_D1 => w_D1,
      i_D2 => w_D2,
      i_E  => i_E,
      o_G  => o_G
    );

END behavioral;
```




Exercícios

- ❏ **Implementar o projeto apresentado no slide 5**
- ❏ **Implementar circuitos digitais com mais de dois componentes**



Universidade Federal
de Santa Catarina

FIM AULA IV