



Universidade Federal  
de Santa Catarina

## Aula 06 - Simuladores



## Tópicos da aula

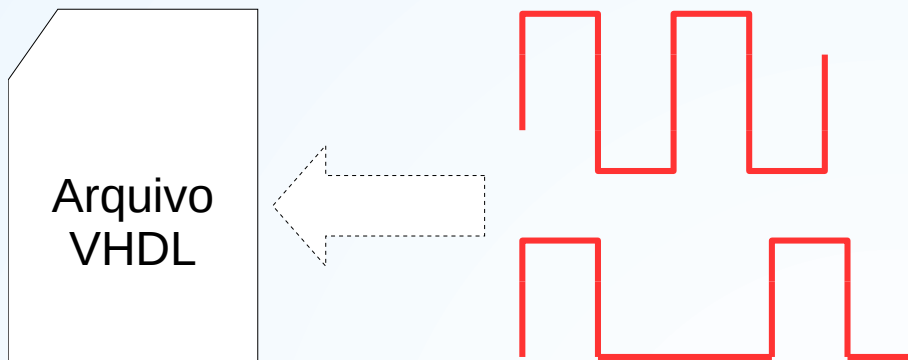
- **Visão geral**
- **Simulador Qsim**
- **Simulador Questa (Modelsim)**



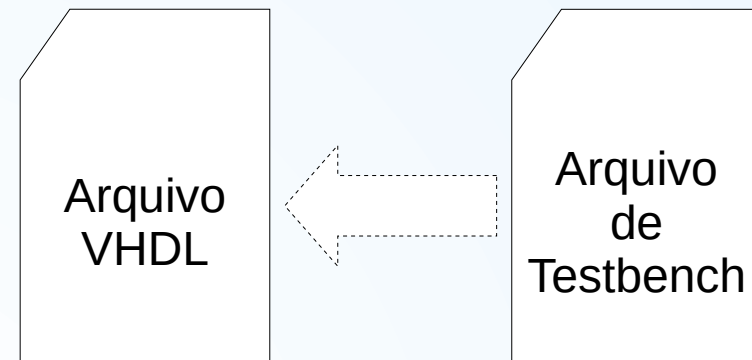
## Teste de componentes VHDL

- ❏ O teste de componentes escritos em VHDL consiste em **gerar estímulos** nos **sinais externos do componente** com o uso de **ferramentas** e/ou **arquivos** de teste específicos para tal
  - ❏ **Qsim** : uso de formas de onda como excitação de entrada
  - ❏ **ModelSim** : uso de arquivos de teste (Testbench) com excitação de entrada

### QSim

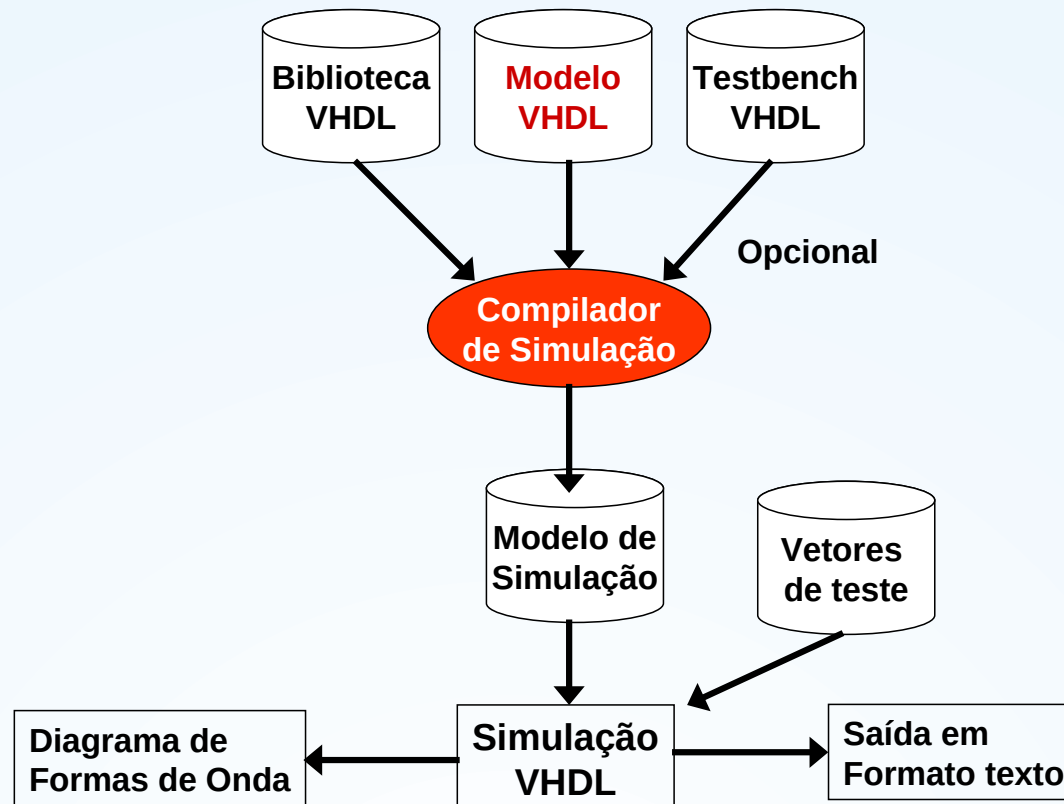


### ModelSim





## Simulação funcional de um modelo VHDL





## Exemplo: teste de componente usando o QSim

- Considera o exemplo feito na Aula 2 → porta lógica AND

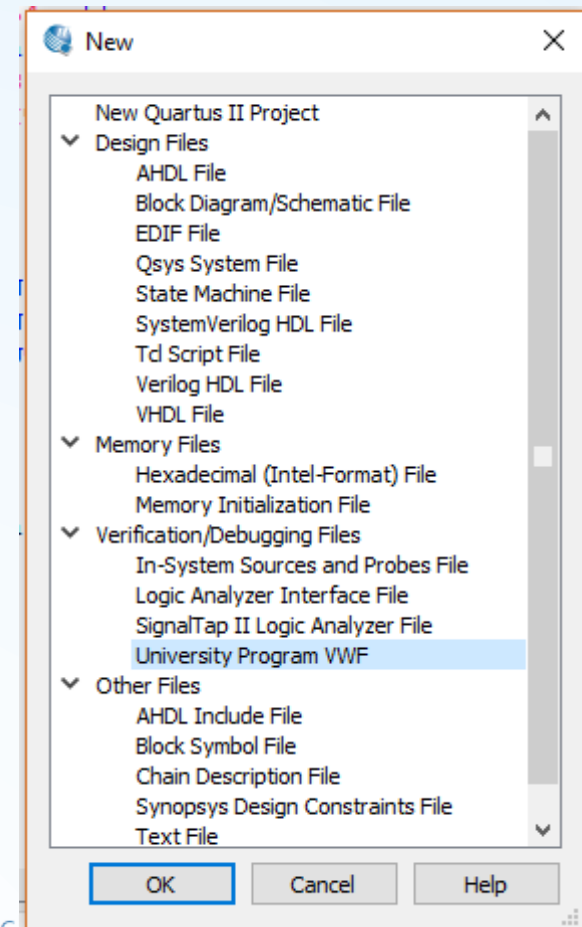
```
1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4  use IEEE.STD_LOGIC_UNSIGNED.ALL;
5  use IEEE.STD_LOGIC_ARITH.ALL;
6
7  ENTITY PORTA_AND IS
8  |
9  |   PORT (
10 |       A      : IN STD_LOGIC;
11 |       B      : IN STD_LOGIC;
12 |       C      : OUT STD_LOGIC
13 |   );
14  END PORTA_AND;
15
16
17  ARCHITECTURE behavioral OF PORTA_AND IS
18  |
19  |
20  BEGIN
21  |
22  |   C <= A and B;
23  |
24  END behavioral;
25
26
```



Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim

- ❏ Clique em **File** → **New**
- ❏ Escolha a opção **University Program VWF**

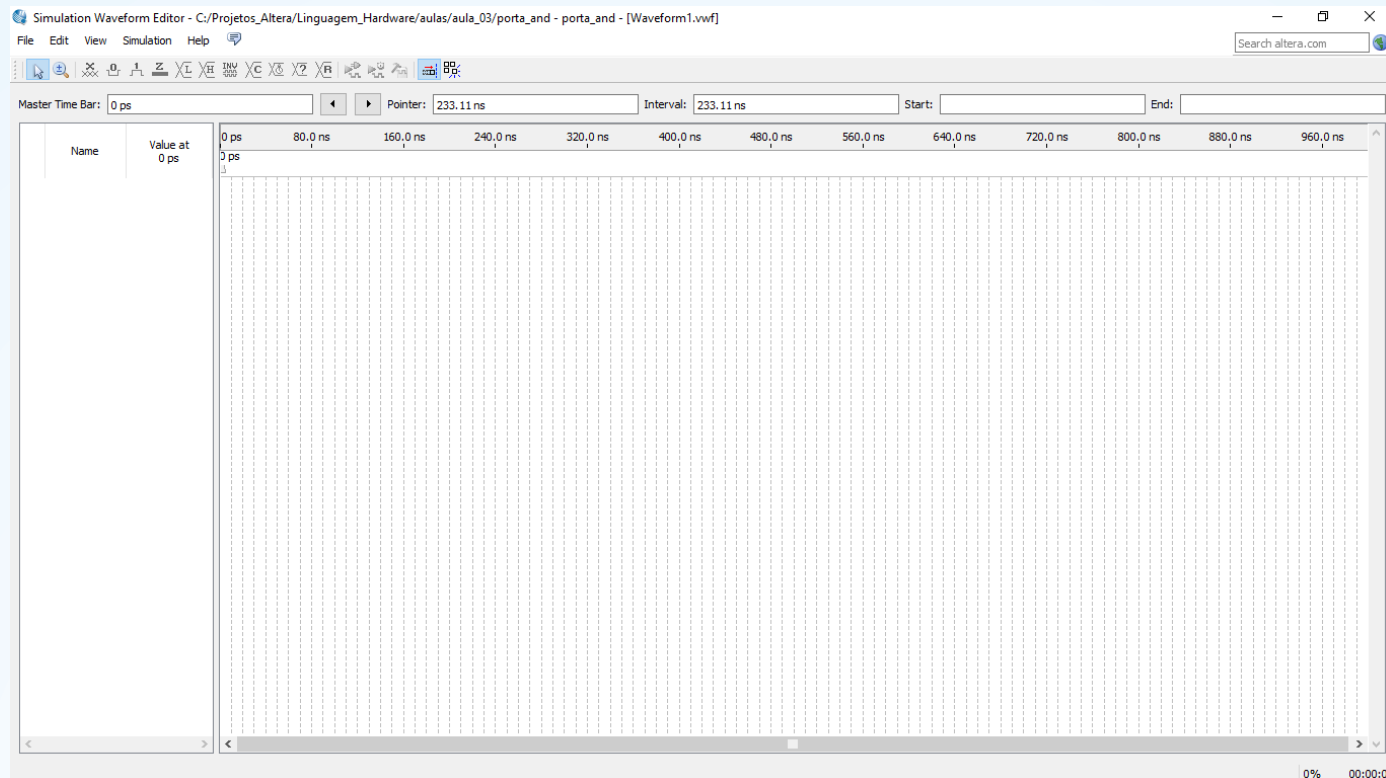




Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim

- Uma nova janela (do simulador) deverá aparecer

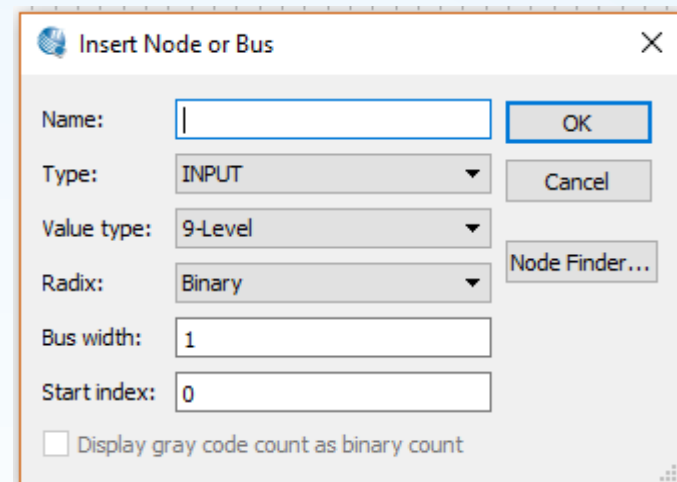




Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim

- ❏ Nesta nova janela clique em **Edit → Insert**
- ❏ Abrirá uma noja janela. Nela, clique em **Node Finder...**



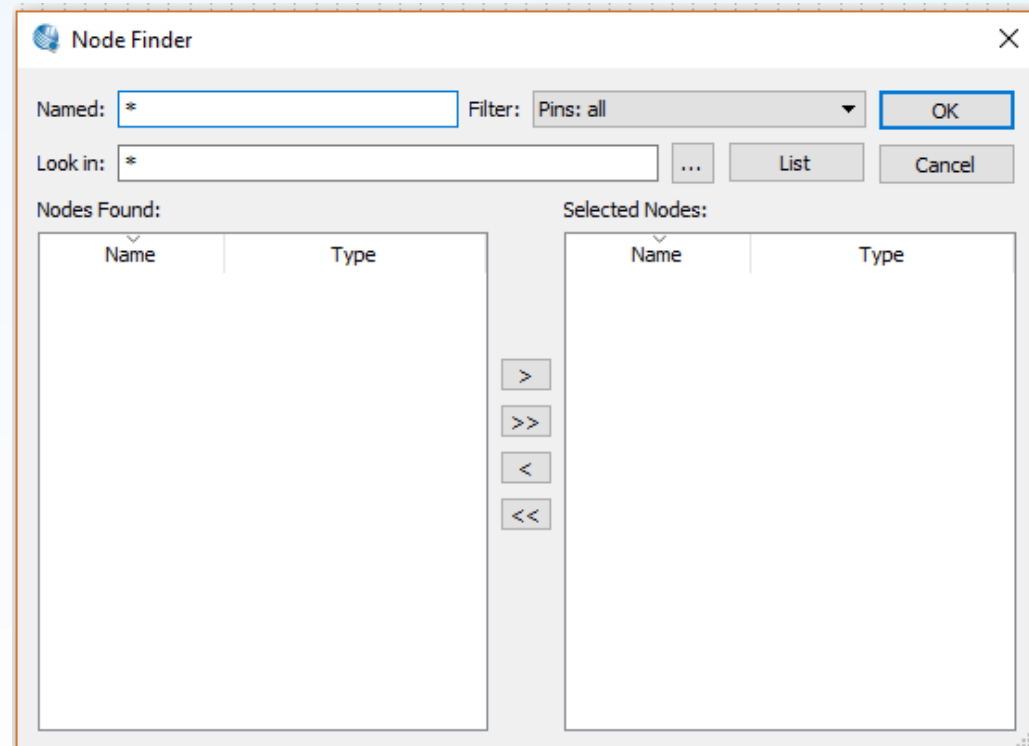




Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim

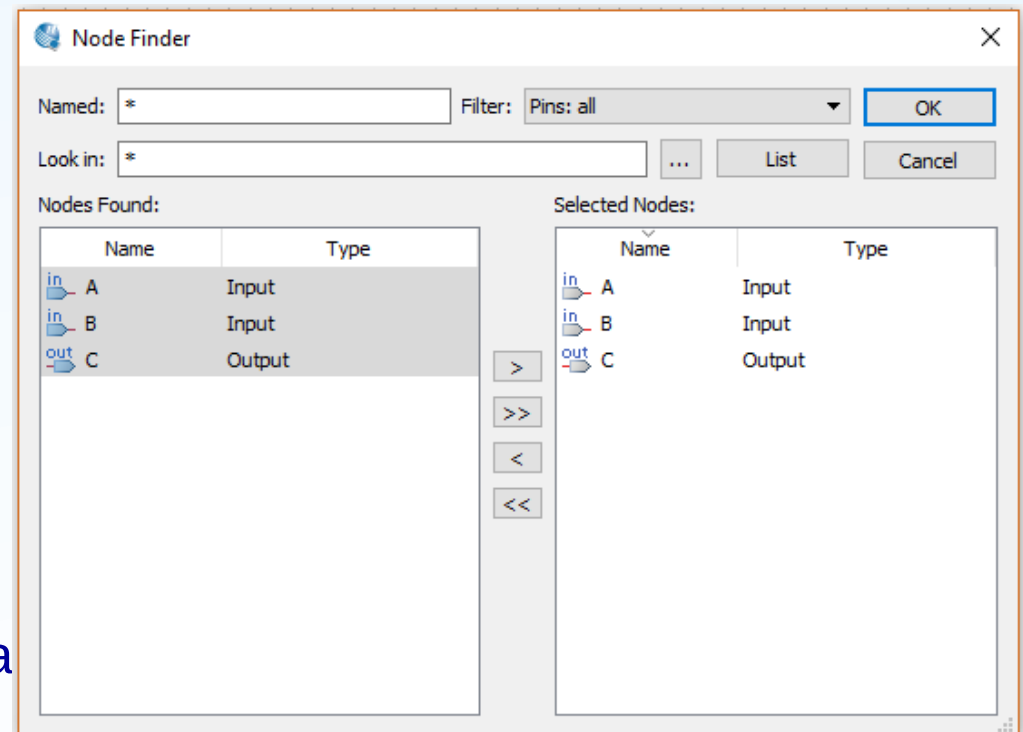
- ❏ A janela Node Finder abrirá, conforme mostra a Figura ao lado
- ❏ Note que a opção **Filter** está em **all**
- ❏ Pressione o botão **List**





## Exemplo: teste de componente usando o QSim

- ❏ Aparecerão no lado esquerdo da janela os sinais externos do componente sob teste (Nodes Found)
- ❏ Clique no botão >> localizado no meio da janela
- ❏ Os sinais de teste agora estarão no lado direito da janela Node Finder (Selected Nodes)
- ❏ Clique no botão **OK**
- ❏ Clique no botão **OK** na janela de confirmação da escolha

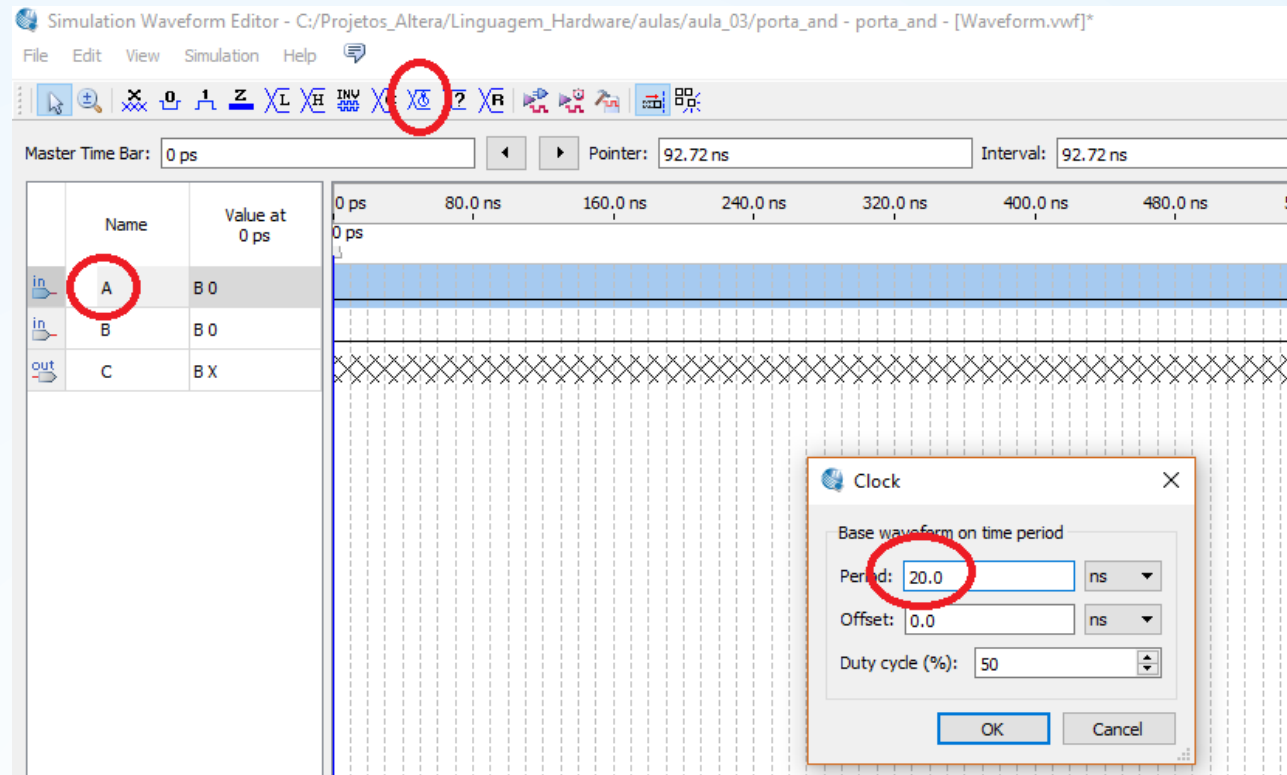




Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim

- ❏ Clique no sinal de entrada **A**
- ❏ Em seguida escolha uma opção de estímulo (ícone de clock)
- ❏ Na janela de clock coloque o período desejado (20 ns, por exemplo)
- ❏ Clique em **OK**
- ❏ Repita o procedimento para o sinal B usando outro período (40 ns, por exemplo)



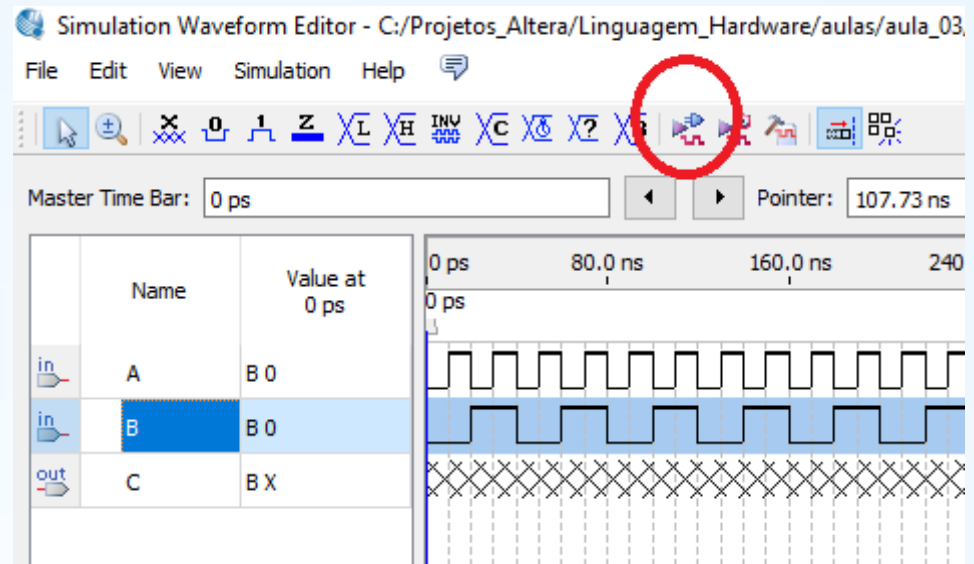


Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim



Pressione o ícone de execução (Figura ao lado) para que a simulação seja realizada

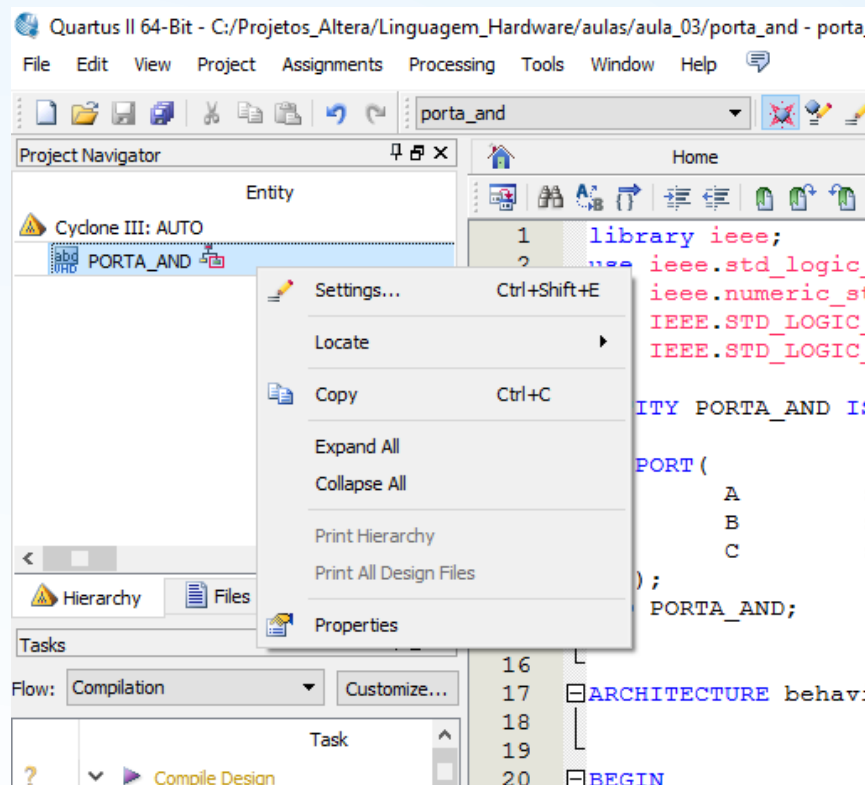




## Exemplo: teste de componente usando o QSim

Se o simulador apresentar uma mensagem de erro, siga o seguinte procedimento:

- Volte à janela do Quartus II
- Clique com o botão da direita do mouse sobre o nome do projeto e selecione a opção Settings...

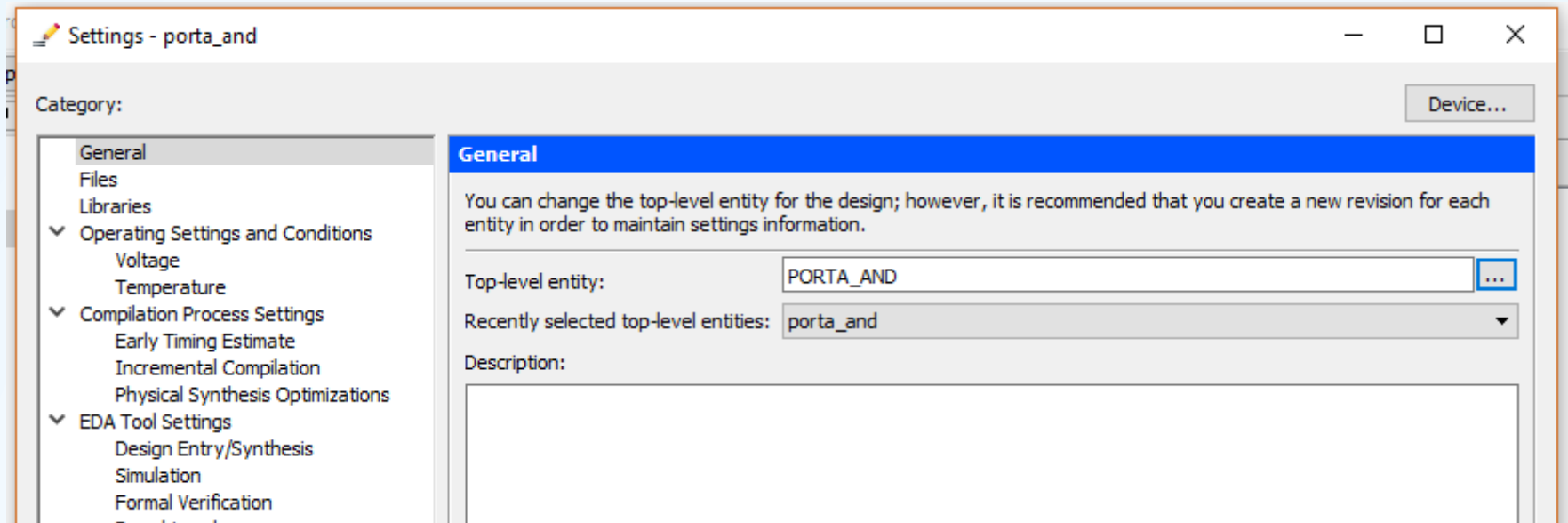




Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim

- Na opção **General**, selecione o nome do projeto na opção **Top-level entity**:
- Clique no botão **Apply** e em seguida no botão **OK**
- Retorne e execute a simulação novamente



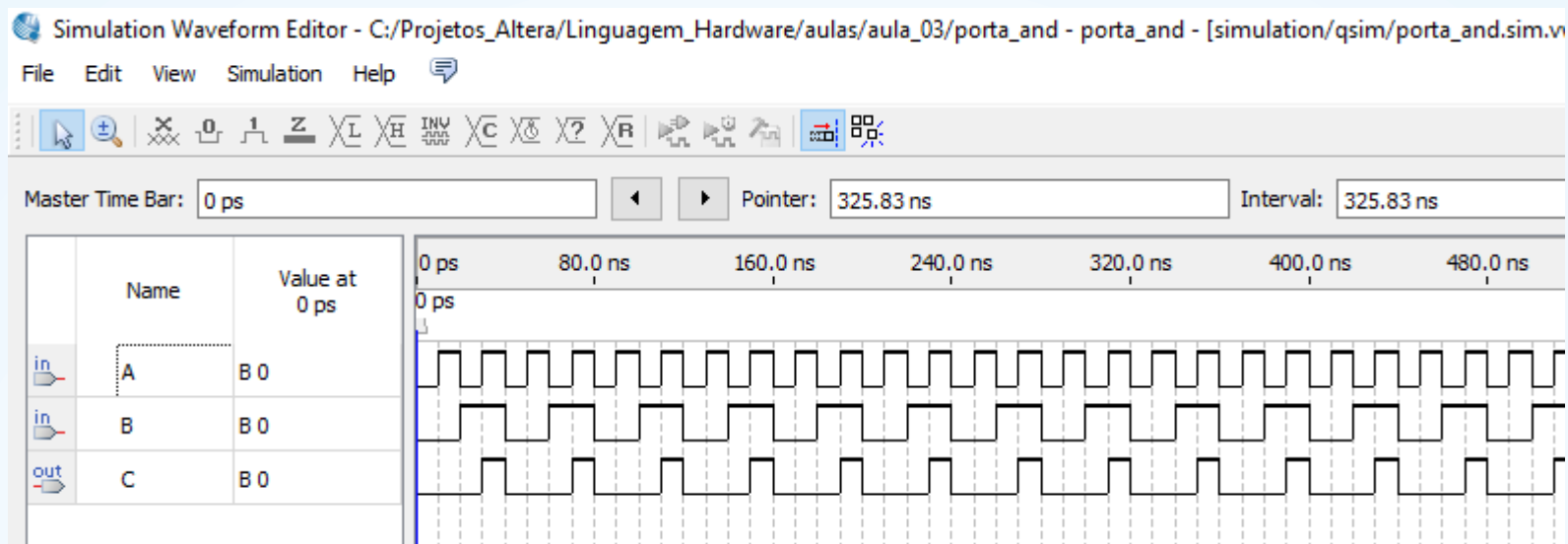


Universidade Federal  
de Santa Catarina

## Exemplo: teste de componente usando o QSim



Deverá aparecer o sinal de saída em C, gerado pela excitação nos sinais A e B





Universidade Federal  
de Santa Catarina

## ModelSim

- ❏ Implemente um projeto de uma porta lógica OR com 3 entradas. Em seguida, implemente um arquivo de TestBench e simule com o uso da ferramenta ModelSim





Universidade Federal  
de Santa Catarina

## FIM AULA 6