

Raport - Ćwiczenie nr 5

Grzegorz Janysek

6 czerwca 2022

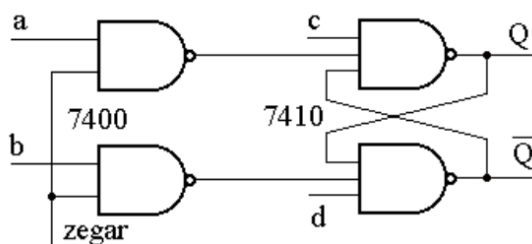
1

Z wykorzystaniem płytki UC-1, oraz układów 7400 i 7410 zbudowano synchroniczny przerzutnik RS. Zbadano działanie przerzutnika podając na wejście zegarowe sygnał z impulsatora, ustawiając uprzednio stany wejść informacyjnych, oraz śledząc jednocześnie stan wyjścia układu za pomocą próbnika stanów logicznych obecnego na płytce UC-1.

Zaobserwowane działanie przerzutnika było zgodne z oczekiwanym. Wejścia c oraz d pełnią rolę sygnałów *preset* oraz *clear*, pozwalając na asynchroniczną zmianę stanu przerzutnika.

zegar	a	b	c	d	Q_{n+1}	$\overline{Q_{n+1}}$
1	0	0	1	1	Q_n	$\overline{Q_n}$
1	0	1	1	1	0	1
1	1	0	1	1	1	0
0	—	—	1	1	Q_n	$\overline{Q_n}$
—	—	—	0	1	1	0
—	—	—	1	0	0	1

Tablica 1: Tabela prawdy dozwolonych stanów badanego synchronicznego przerzutnika RS.



Rysunek 1: Schemat zbudowanego synchronicznego przerzutnika RS.

2

Zbadano działanie zawartego w układzie 7474, wyzwalanego zboczem narastającym przerzutnika D Sygnał zegarowy podano za pomocą impulsatora znajdującego się na płytce UC-1. Zaobserwowane działanie przerzutnika było zgodne z oczekiwanym.

zegar	d	Q_{n+1}	$\overline{Q_{n+1}}$
$0 \rightarrow 1$	0	0	1
$0 \rightarrow 1$	1	1	0
0	—	Q_n	$\overline{Q_n}$
1	—	Q_n	$\overline{Q_n}$

Tablica 2: Tabela prawdy badanego przerzutnika D.

3

Zbadano działanie zawartego w układzie 7475, wyzwalanego poziomem przerzutnika D Sygnał zegarowy oraz sygnał na wejście informacyjne podano za pomocą impulsatora znajdującego się na płytce UC-1.

Zaobserwowane działanie przerzutnika było zgodne z oczekiwanym. W przeciwieństwie do przerzutnika D wyzwalanego zboczem, stan wyjścia badanego układu odzwierciedlał stan wejścia informacyjne tak długo jak stan wejścia zegarowego był wysoki.

zegar	d	Q_{n+1}	$\overline{Q_{n+1}}$
1	0	0	1
1	1	1	0
0	—	Q_n	$\overline{Q_n}$

Tablica 3: Tabela prawdy badanego przerzutnika D.

4

Wykorzystując zawarty w układzie 7593 przerzutnik JK zbudowano układ dzielący częstotliwość przez dwa. Dokonano tego łącząc ze sobą wejścia J i K przerzutnika JK otrzymując w ten sposób przerzutnik T.

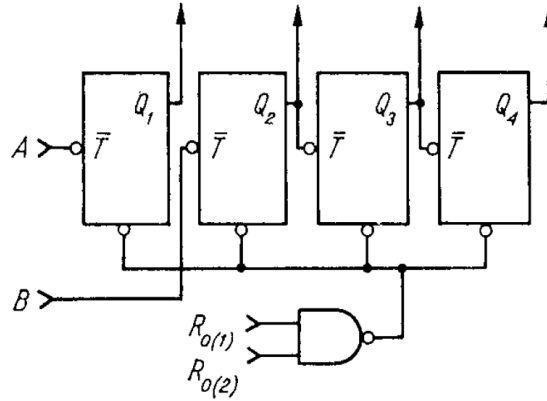
Przerzutniki w układzie 7593 wyzwalane są zboczem opadającym, które to występuje raz na okres sygnału prostokątnego. Negacja wyjścia występować więc będzie raz na okres sygnału wejściowego, co daje jeden okres sygnału wyjściowego na każde dwa okresy sygnału wejściowego. Jest to równoznaczne z podziałem częstotliwości na dwa.

zegar	d	Q_{n+1}	$\overline{Q_{n+1}}$
—	0	Q_n	$\overline{Q_n}$
$1 \rightarrow 0$	1	$\overline{Q_n}$	Q_n

Tablica 4: Tabela prawdy zbudowanego przerzutnika T.

5

Zbudowano licznik modulo 16. Ręcznie wyzwalając wejście licznika za pomocą impulsatora znajdującego się na płytce UC-1, zaobserwowano kolejne stany licznika ukazane poprzez diody LED. Zaobserwowano również podział częstotliwości sygnału prostokątnego podanego generatorem przez 2^n , gdzie n jest kolejnym bitem wyjściowym licznika.



Rysunek 2: Schemat logiczny układu UCY7493.

Do budowy licznika wykorzystano układ UCY7493, aby połączyć wszystkie 4 zawarte w nim przerzutniki w szereg tworzący licznik, połączono ze sobą wyprowadzenia Q_1 i B . Wyprowadzenie A stało się wejściem licznika, na wejścia resetujące R_0 i R_1 podano stan wysoki. Licznik cyklicznie przechodzi przez wszystkie możliwe stany, których jest $2^4 = 16$.

6

Zbudowano licznik modulo 10 modyfikując licznik modulo 16 z punktu 5. Przy modyfikacji wykorzystano zawartą w układzie 7400 bramkę NAND, której celem jest śledzenie wyjścia licznika i podanie sygnału resetującego w momencie doliczenia do 10.

Stan wysoki wyjść Q_2 i Q_4 licznika (zakładając że zlicza on po kolei) jest warunkiem wystarczającym do stwierdzenia potrzeby resetu. Jest to spowodowane tym że wyjścia Q_2 i Q_4 , są w stanie wysokim tylko gdy licznik doliczył do 10, 11, 14 lub 15.

Do wejść bramki NAND podłączono więc wejścia Q_2 i Q_4 , natomiast do jej wyjścia podłączono R_0 i R_1 . Doliczenie do którejkolwiek z liczb 10, 11, 14 lub 15 powoduje pojawienie się zera logicznego na wejścia resetujące i zresetowanie licznika.

7

Wykorzystując płytkę UC-1 zbudowano układ z dwóch rejestrów przesuwnych: 74164 i 74165. Szeregowe wejście rejestru 74164 podłączono do impulsatora, wyjścia równoległe rejestru podłączono do wskaźników LED w celu śledzenia stanu rejestru. Wyjścia równoległe układu 74164 podłączono również do wejść równoległych układu 74165, a jego wyjście szeregowe do próbnika stanów logicznych na płytce UC-1. Utworzony w ten sposób szereg (impulsator, 74164, 74165, wskaźnik logiczny) testowano następująco.

Na wejście CLK rejestru 74164 podawano sygnał zegarowy, podając jednocześnie impulsy (z użyciem impulsatora) na wejście szeregowe. Za pośrednictwem diod LED obserwowano stan rejestru przesuwne: bity przesuwaly się o jeden ilekroć układ wykrywał narastające zbocze sygnału zegarowego. Najmłodszy bit odzwierciedlał stan impulsatora na wejściu szeregowym w momencie przesunięcia rejestru.

Następnie chcąc przetestować działanie układu 74165, ustalono stan na magistrali równoległej pomiędzy dwoma rejestrami impulsując na wejście 74164, przesuwać go odpowiednio. W kolejnym kroku podano stan niski na wejście SH/\overline{LD} od 74165, co spowodowało zapis stanu ustalonego na magistrali równoległej do rejestru. Zmieniono stan wejścia SH/\overline{LD} na wysoki, umożliwia to przesunięcie rejestru 74165 na skutek narastającego zbocza sygnału zegarowego, oraz jednocześnie uniewrażliwienie go na zmianę stanu magistrali. Podawano następnie sygnał zegarowy obserwując jednocześnie stan wskaźnika logicznego na wyjściu szeregowym rejestru 74165. Z kolejnymi narastającymi zboczami na wejściu CLK rejestr przesuwał się ustawiając stan wyjścia szeregowego na kolejne bity zapisane uprzednio na magistrali równoległej.