

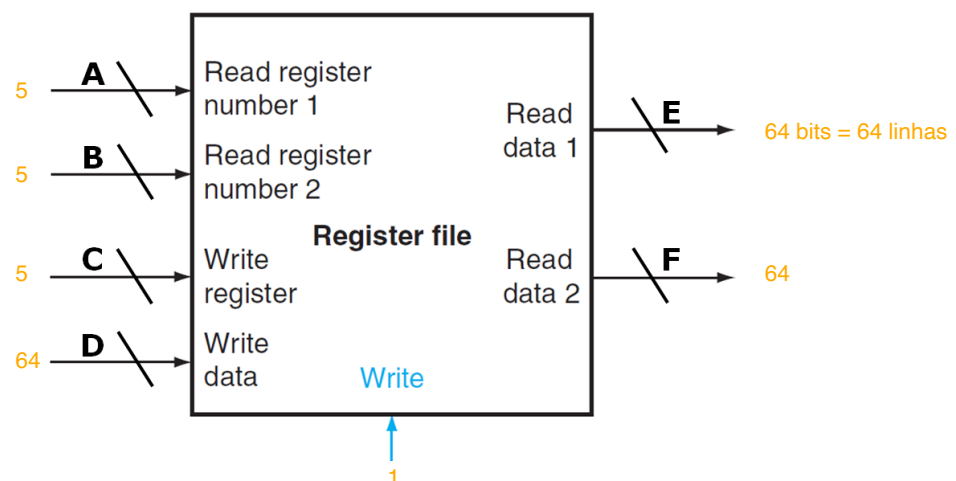
Arquitetura de Computadores

Aulas Práticas 2021/2022

Licenciatura em Engenharia Informática e Computação
FCUP/FEUP – Universidade do Porto

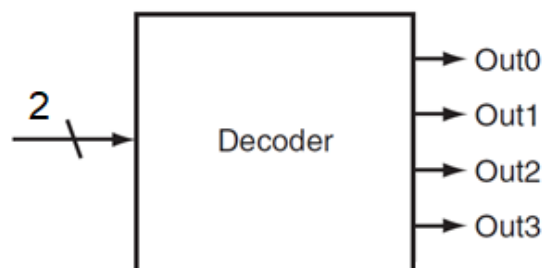
Implementação AArch64 (I)

1. Considere o ficheiro de registos (*register file*) que se segue. Sabendo que este possui 32 registos de 64 bits cada, diga qual o valor (número de linhas) representado por A, B, C, D, E e F.

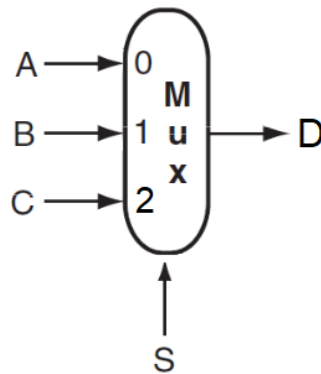


2. Desenhe o circuito lógico que implementa o seguinte decoder (pode utilizar qualquer tipo de portas na resolução).

	0	1	2	3
00	1	0	0	0
01	0	1	0	0
10	0	0	1	0
11	0	0	0	1



3. Desenhe o circuito lógico que implementa o seguinte multiplexor (pode utilizar qualquer tipo de portas na resolução).



4. Tendo por base o CPU da implementação de ciclo único apresentado na Figura 1, determine o valor dos 8 sinais de controlo durante a execução das seguintes instruções:

ALUOp = 10

Operação subjacente à instrução

(a) ADD X10, X11, X12

PCSrc = 0, Mem2Reg=0, Reg2Loc = 0, RegWrite = 1, ALUSrc = 0, MemRead = 0, MemWrite = 0

(b) LDUR X10, [X11, #40]

PCSrc = 0, Mem2Reg=1, Reg2Loc=X, RegWrite = 1, ALUSrc=1, MemRead=1, MemWrite=0

ALUOp = 00

Calcúlo de endereços

(c) STUR X10, [X11, #40]

PCSrc = 0, Mem2Reg=X, Reg2Loc=1, RegWrite=0, ALUSrc = 1, MemRead = 0, MemWrite = 1

ALUOp = 01

(d) CBZ X10, #100

PCSrc=(valor de z), Mem2Reg=0, Reg2Loc=1, RegWrite=0, ALUSrc = 0, MemRead = 0, MemWrite = 0

ALUOp = XX

(e) B #200

PCSrc = 1, Mem2Reg=0, Reg2Loc = X, RegWrite = 0, ALUSrc = X, MemRead = 0, MemWrite = 0

5. Tendo por base o CPU da implementação de ciclo único apresentado na Figura 1, determine o valor fornecido às entradas *Read register 1*, *Read register 2* e *Write register* da unidade de registos e o valor fornecido à entrada *Address* da memória de dados durante a execução das seguintes instruções:

(a) ADD X10, X11, X12

ReadRegister1= 11, ReadRegister2 = 12, WriteRegister= 10

(b) LDUR X10, [X11, #40]

ReadRegister1= 11, ReadRegister2 = X, WriteRegister= 10

(c) STUR X10, [X11, #40]

ReadRegister1= 11, ReadRegister2 = X, WriteRegister= 10

(d) CBZ X10, #100

ReadRegister1= 10, ReadRegister2 = X, WriteRegister= X

(e) B #200

ReadRegister1= X, ReadRegister2 = X, WriteRegister= X

6. Tendo por base o CPU da implementação de ciclo único apresentado na Figura 1, altere-o de modo a implementar também as seguintes instruções:

(a) BR (*branch register*)

(b) BL (*branch and link*)

7. Sabendo que o *program counter* (PC) tem o valor 0x00402000, indique o valor do PC após a execução da próxima instrução, caso esta seja a instrução:

- (a) ADD X10, X11, X12 +4
- (b) LDUR X10, [X11, #40] +4
- (c) STUR X10, [X11, #40] +4
- (d) CBZ X10, #100 +4 ou + 4*100
- (e) B #200 + 4*200

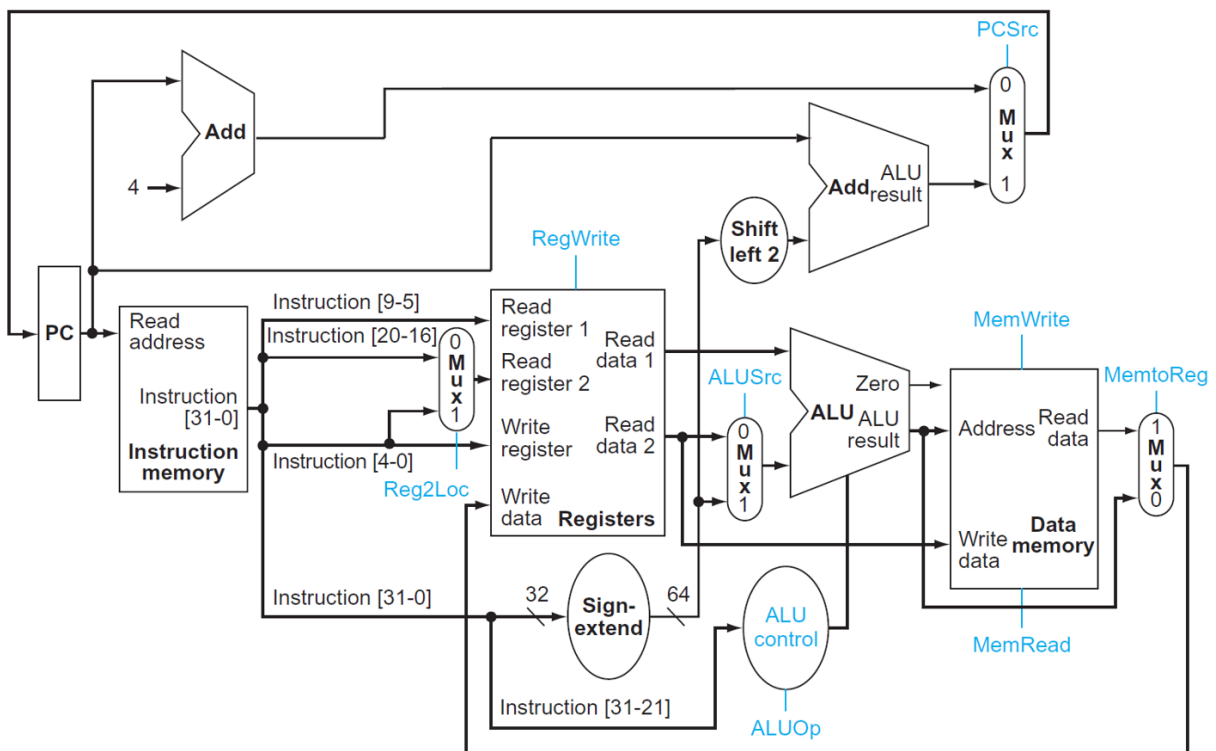


Figure 1: CPU da implementação de ciclo único