

Q1)

Code:

```
module Assignment_2(  
    input i0,  
    input i1,  
    input enable,  
    output a,b,c,d  
);  
    and v1(a,enable,~i1&~i0);  
    and v2(b,enable,~i1&i0);  
    and v3(c,enable,i1&~i0);  
    and v4(d,enable,i1&i0);  
  
endmodule
```

simulation:

```
module Assignment_2_tb();  
    reg i0,i1,enable;  
    wire a,b,c,d;
```

```
Assignment_2 uut(  
    .i0(i0),  
    .i1(i1),  
    .enable(enable),  
    .a(a),  
    .b(b),  
    .c(c),  
    .d(d)
```

```
);
```

```
initial begin
```

```

enable=0;

i1=0;i0=0;#10;

i1=0;i0=1;#10;

i1=1;i0=0;#10;

i1=1;i0=1;#10;

i1=1'bx;i0=1'bz;#10;

enable=1;

i1=0;i0=0;#10;

i1=0;i0=1;#10;

i1=1;i0=0;#10;

i1=1'bx;i0=1'bz;#10;

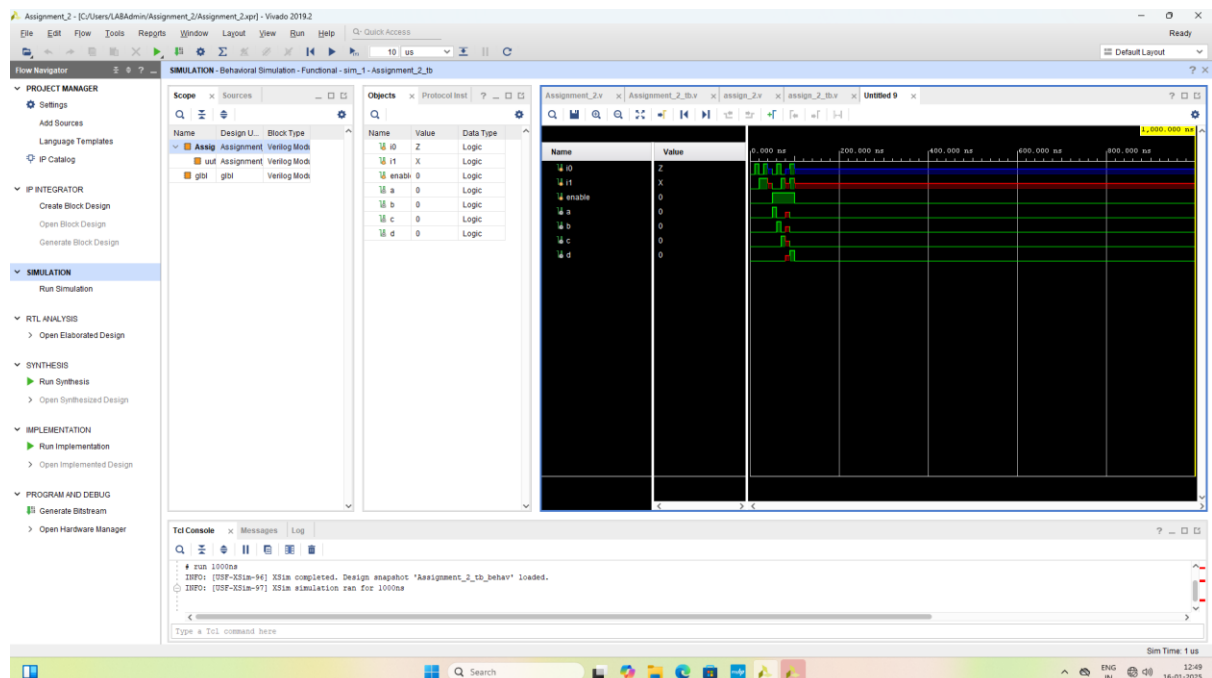
i1=1;i0=1;#10;

enable=0;i1=1'bx;i0=1'bz;#10;

end

endmodule

```



Q2)

Code:

```

module assign_2(
input x,y,z,w,
output f
);
wire v1,v2,v3,v4,v5,v6,v7;

    or (v1,x,y,z,~w);
    or (v2,x,y,~z,~w);
    or (v3,x,~y,z,w);
    or (v4,x,~y,~z,~w);
    or (v5,~x,y,z,w);
    or (v6,~x,y,~z,w);
    or (v7,~x,y,~z,~w);

    and(f,v1,v2,v3,v4,v5,v6,v7);
endmodule

simulation:
module assign_2_tb();
reg x,y,z,w;
wire f;

assign_2 uut(
    .x(x),
    .y(y),
    .z(z),
    .w(w),
    .f(f)
);

initial begin
    x=0;y=0;z=0;w=0;#10;
    x=0;y=0;z=0;w=1;#10;

```

```

x=0;y=0;z=1;w=0;#10;

x=0;y=0;z=1;w=1;#10;

x=0;y=1;z=0;w=0;#10;

x=0;y=1;z=0;w=1;#10;

x=0;y=1;z=1;w=0;#10;

x=0;y=1;z=1;w=1;#10;

x=1;y=0;z=0;w=0;#10;

x=1;y=0;z=0;w=1;#10;

x=1;y=0;z=1;w=0;#10;

x=1;y=0;z=1;w=1;#10;

x=1;y=1;z=0;w=0;#10;

x=1;y=1;z=0;w=1;#10;

x=1;y=1;z=1;w=0;#10;

x=1;y=1;z=1;w=1;#10;

$stop();

```

end

endmodule

