



## به نام خدا



## دانشگاه تهران دانشکدگان فنی دانشکده مهندسی برق و کامپیوتر

# مدار های منطقی و سیستم های دیجیتال

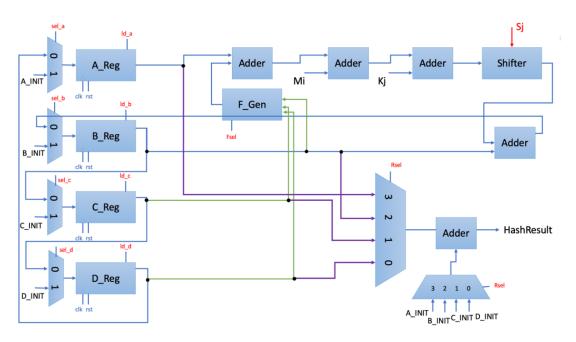
گزارش تمرین کامپیوتری ششم CA 6

> نام و نام خانوادگی: نیلوفر مرتضوی

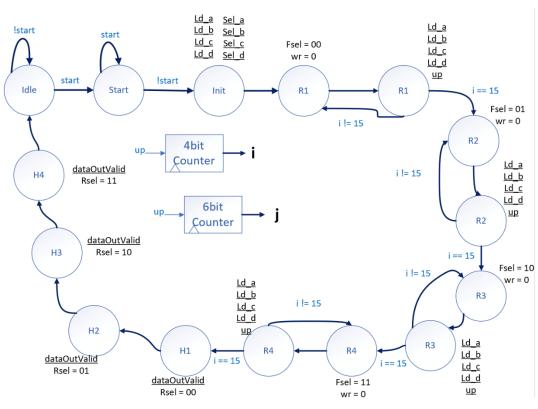
شماره دانشجویی: 220701096

#### Step 1

در قدم اول طبق توضيحات داده شده ديتاث را رسم ميكنيم:

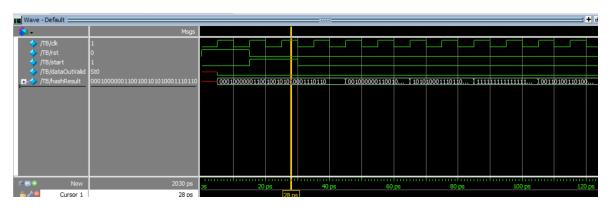


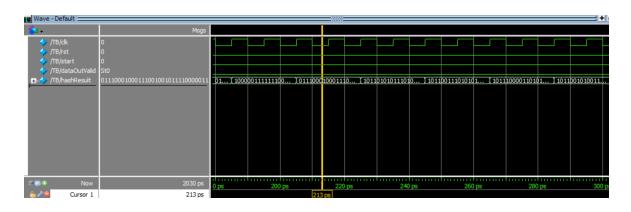
همچنین دیاگرام controller و سیگنال ها به شکل زیر است:

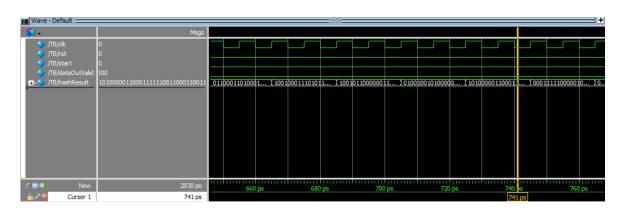


#### Step 2

در این گام تمامی component ها را در ماژول های مختلف وریلاگ نوشته و یک ماژول کلی طراحی کرده و یک تست بنچ برای بررسی درستی آن نوشتم.







همانطور که در waveform و در قسمتی از آن در عکس ها مشاهده می شود، خروجی ما با خروجی کد داده شده مطابقت دارد که نشان از درستی آن دارد

### Step 3

ماژول Top نوشته شده که حاوی instant از مموری و Hash Generator است. خلاصه سنتز در شکل زیر آمده است.

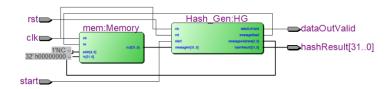
Flow Summary	6 6 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7		
Flow Status	Successful - Thu Jun 27 09:25:28 2024		
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition		
Revision Name	HashGen		
Top-level Entity Name	Тор		
Family	Cyclone II		
Total logic elements	1,033 / 4,608 ( 22 % )		
Total combinational functions	1,033 / 4,608 ( 22 % )		
Dedicated logic registers	150 / 4,608 ( 3 % )		
Total registers	150		
Total pins	36 / 89 ( 40 % )		
Total virtual pins	0		
Total memory bits	0 / 119,808 ( 0 % )		
Embedded Multiplier 9-bit elements	0 / 26 ( 0 % )		
Total PLLs	0 / 2 ( 0 % )		
Device	EP2C5T144C6		
Timing Models	Final		

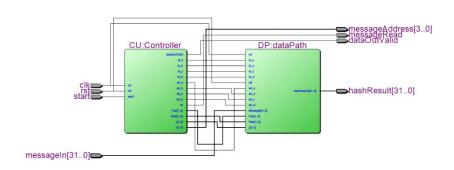
تعداد رجیستر های استفاده شده ۱۵۰ عدد است .فرکانس کلاک در شکل زیر آمده است.

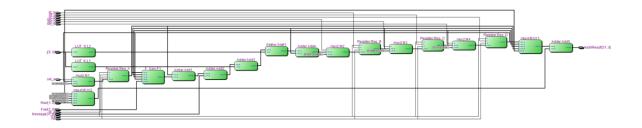
Slow Model Fmax Summary					
	Fmax	Restricted Fmax	Clock Name	Note	
1	INF MHz	151.84 MHz	Hash_Gen:HG CU:Controller i[0]	limit due to hold check	
2	66.55 MHz	66.55 MHz	clk		

حداکثر فرکانس کلاک برابر ۶۶.۵۵ مگاهرتز است.

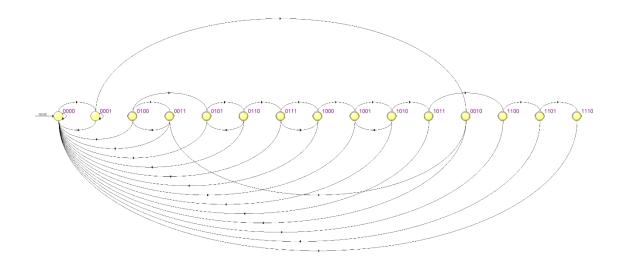
## ساختار های RTL در شکل زیر آمده اند که دقیقا مشابه طراحی صورت گرفته است.



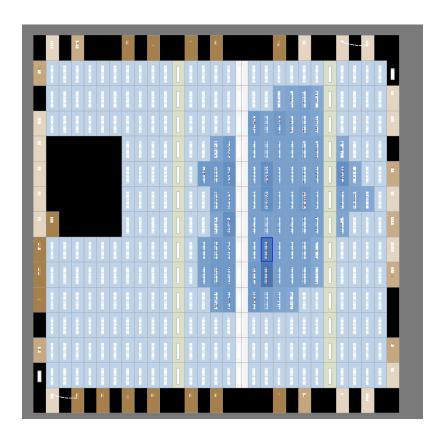




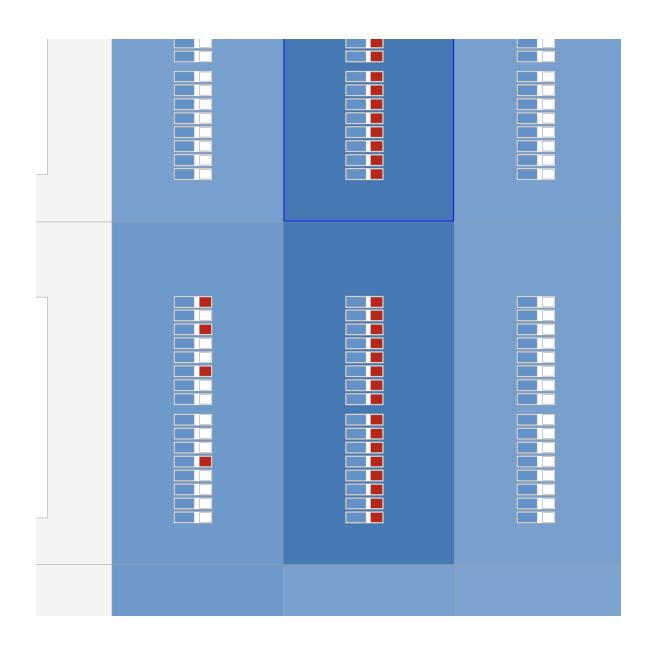
ماشین حالت در شکل زیر آمده است که طبق شکل همان FSM طراحی شده است که به صورت دیگر کشیده شده است.



شکل موردنظر در زیر قابل مشاهده است.



تعداد logic element های هر بلوک ۱۶ عدد است.



برای flexibility بیشتر، هر بلوک دارای دو مستطیل جداگانه است.