



به نام خدا

دانشگاه تهران
دانشکده فنی
دانشکده مهندسی برق و کامپیوتر

مدار های منطقی و سیستم های دیجیتال

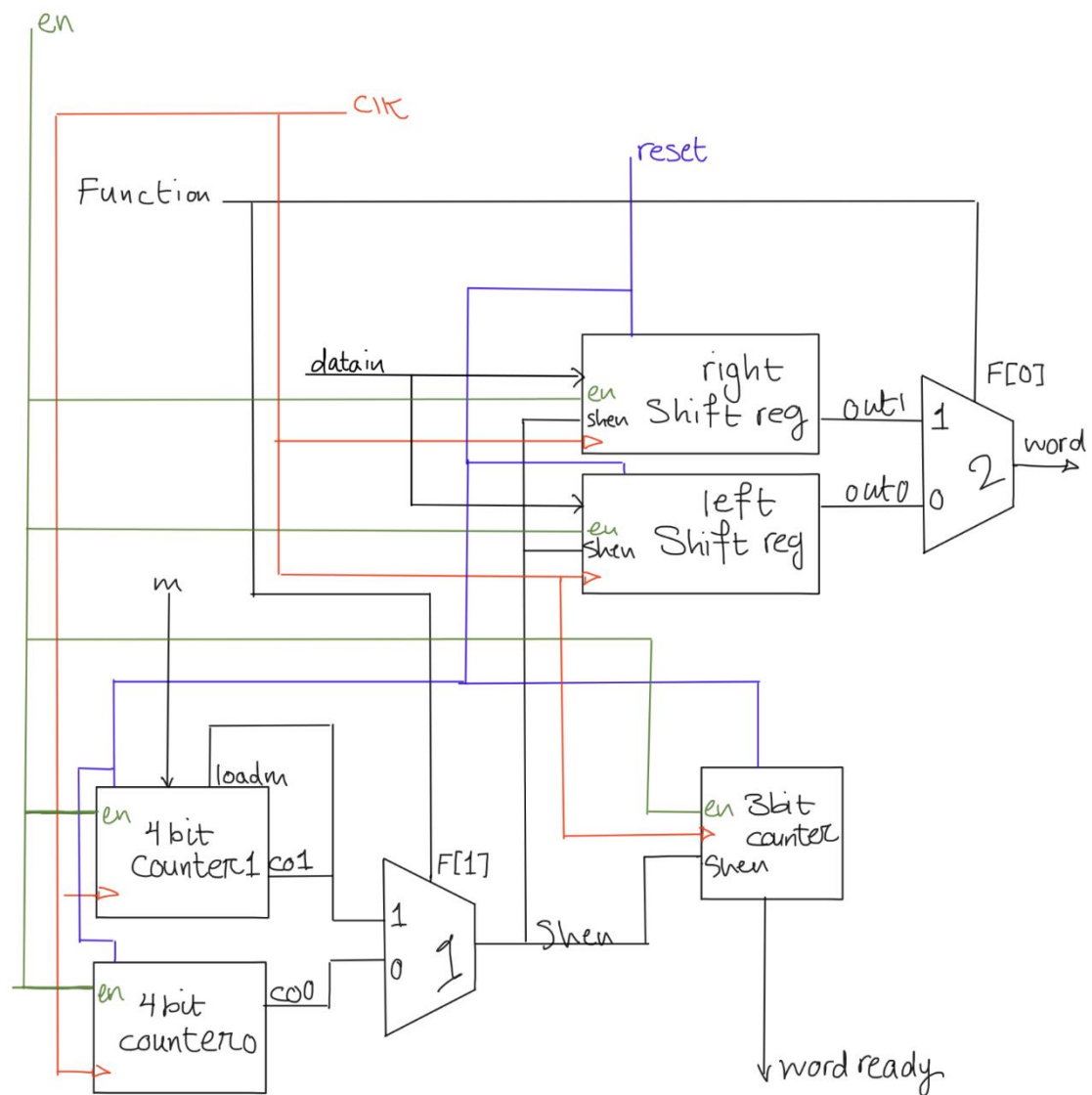
گزارش تمرین کامپیوتری چهارم
CA 4

نام و نام خانوادگی:
نیلوفر مرتضوی

شماره دانشجویی:
220701096

Step 1

طراحی شماتیک اولیه به صورت زیر می باشد که تمامی سیگنال ها، ورودی ها و خروجی ها مشخص شده اند:



در این ساختار از دو shift register استفاده شده که هر دو با دستور enable(en) و shift enable(shen) فعال شده و دیتای ورودی را شیفت می دهند اما یکی به چپ و یکی به راست و سپس با استفاده از سیگنال کنترلی F[0] و یک مالتی پلکسر دیتای خواسته شده را انتخاب می کنیم.

دو 4-bit counter داریم که یکی از آنها دارای خصوصیت parallel load (برای لود کردن m) است. مانند قسمت قبل با یک مالتی پلکسر و سیگنال کنترلی F[1] از بین آنها انتخاب می شود که هر 16 سیکل یکبار دیتا دریافت شود و یا هر 16-m سیکل یکبار.

در انتها یک 3-bit counter برای آماده کردن سیگنال word_ready داریم که با دریافت 8 بیت (111)، سیگنال خروجی را 1 می کند و تا دریافت دیتای بعدی 1 می ماند و سپس 0 می شود.

تمام این component ها به سیگنال en , reset , clk به طور موازی و هماهنگ متصل هستند.

در نهایت خروجی 8 بیتی word را هنگام 1 شدن word_ready مشاهده و بررسی می کنیم.

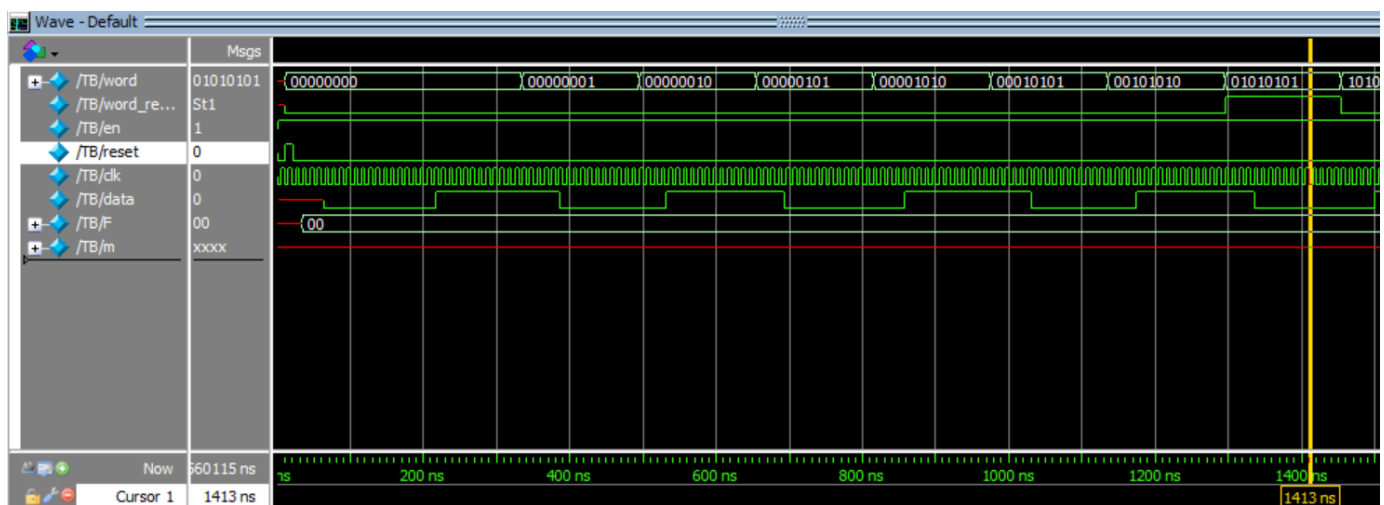
Step 2

در این مرحله برای زدن کد وریلاگ به صورت structural ، تمام component های استفاده شده را به صورت ماژول های جداگانه نوشته و در آخر از تمامی این ماژول ها در فایل وریلاگ serial_receiver ، instant گرفته و بلاک نهایی را مدل سازی می کنیم.

Step 3

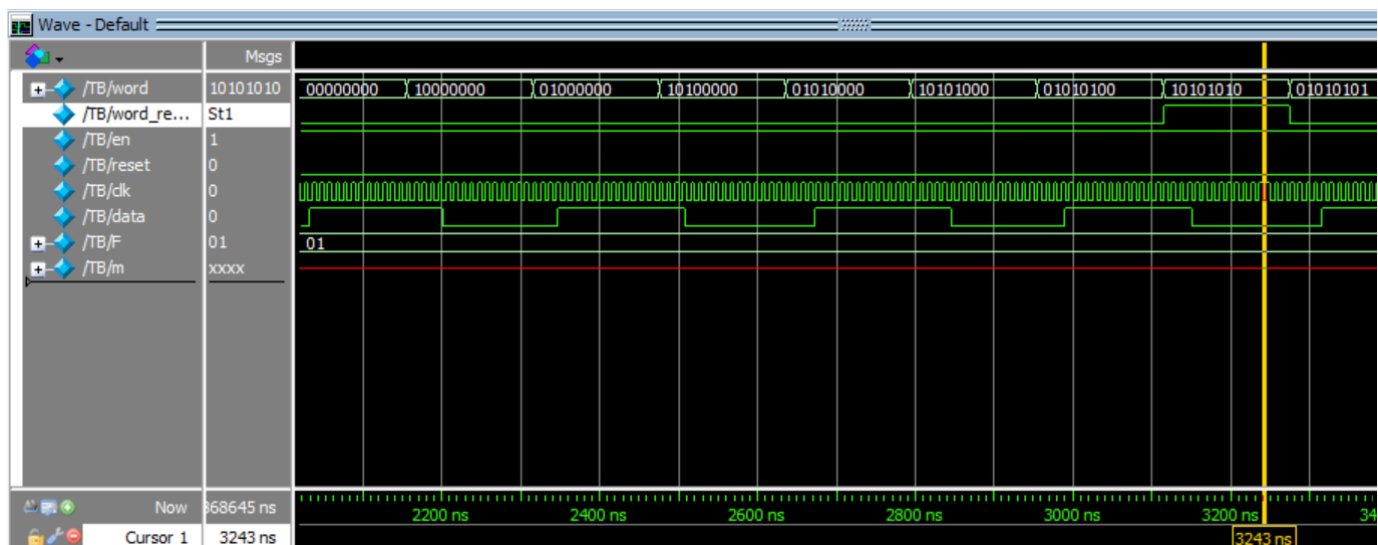
در این مرحله برای آزمایش درستی بلاک ساخته شده یک تست بنچ نوشتیم که waveform های آن به شکل زیر است:

(1) داده ها به ترتیب از بیت پر ارزش ارسال می شوند و نرخ ارسال 16 سیکل یک بیت است(00):

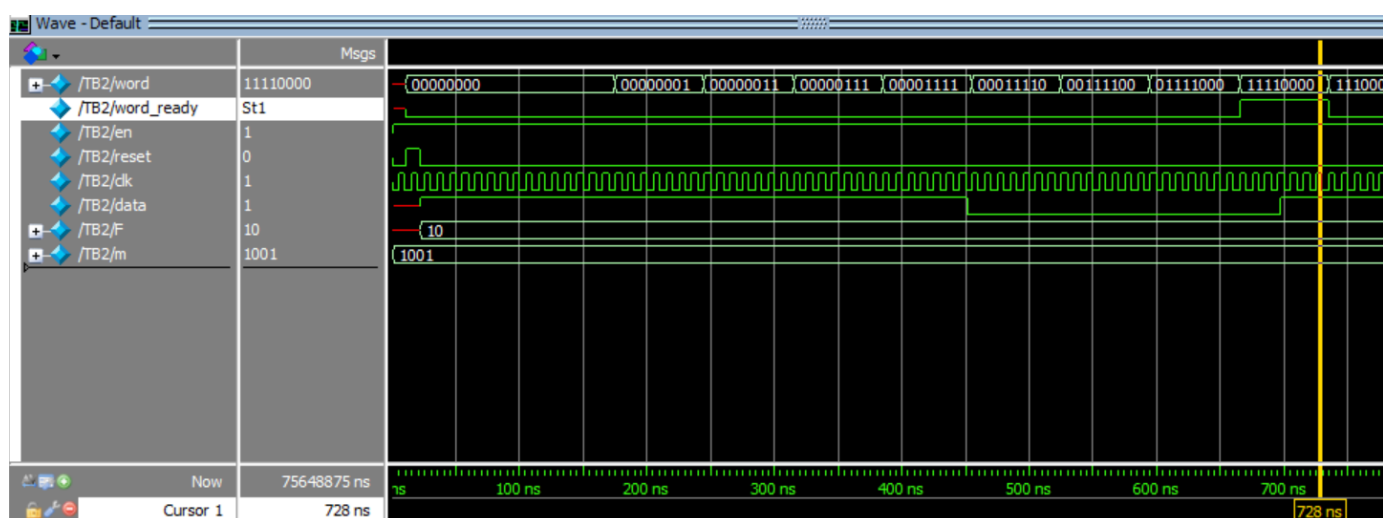


مشاهده می شود که سیگنال word_ready به درستی کار می کند و دقیقاً با دریافت 8 بیت 1 می شود. همچنین بیت ها به سمت چپ شیفت داده می شوند که نشان می دهد طبق خواسته سوال دیتا از بیت پر ارزش دریافت می شود.

2) داده ها به ترتیب از بیت کم ارزش ارسال می شوند و نرخ ارسال 16 سیکل یک بیت است(01):

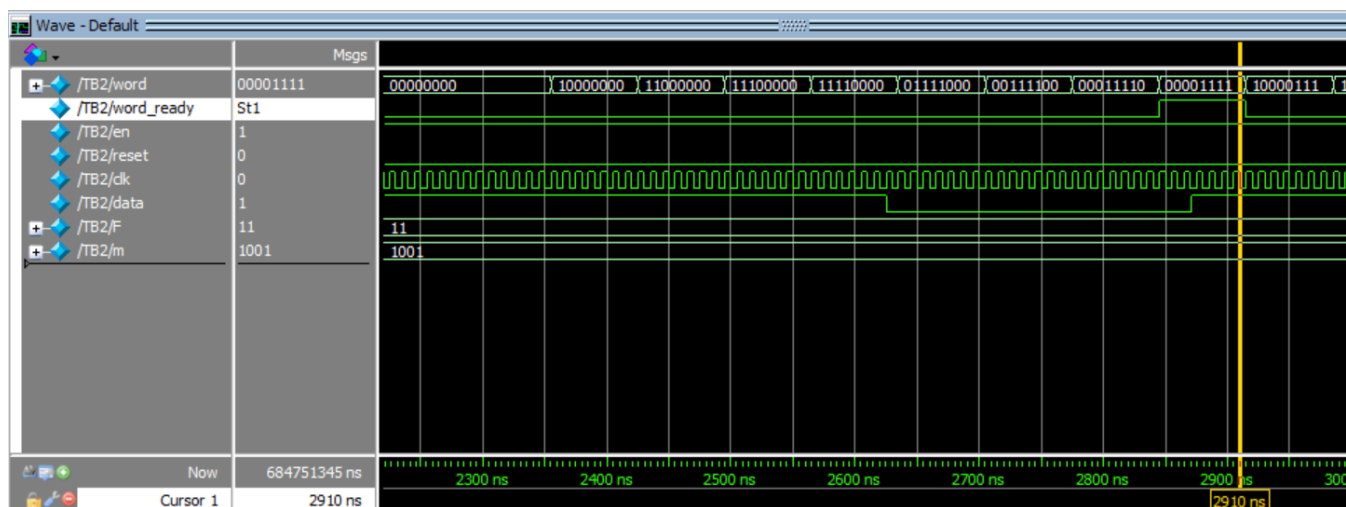


3) داده ها به ترتیب از بیت پر ارزش ارسال می شوند و نرخ ارسال 16-m سیکل یک بیت است(10):



در فایل TB2 برای ارزیابی $m=1001$ که معادل $m=9$ است یک تست بنج جداگانه نوشتم که دو حالت 10 و 11 را بررسی کنم. باید هر $16-9=7$ سیکل یک دیتا دریافت شود و بعد از دریافت 8 بیت، word_ready برابر 1 شود که طبق waveform بالا درست انجام شده.

4) داده ها به ترتیب از بیت کم ارزش ارسال می شوند و نرخ ارسال 16-m سیکل بیت است(11):



در این حالت هم مانند قسمت قبل هر 7 سیکل یک بار دیتا دریافت می کنیم اما به ترتیب از بیت کم ارزش دیتا دریافت می شود که باز هم مشاهده می شود درست کار می کند.