

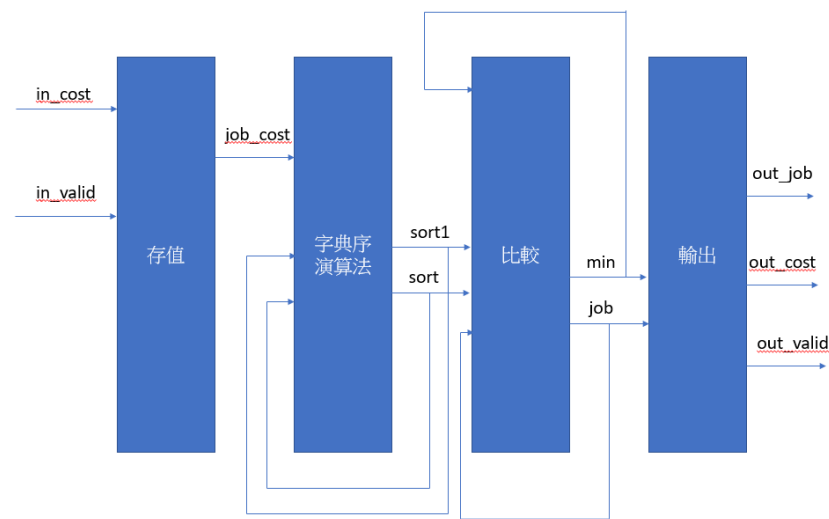
# DCS HW05 Report

109511207 電機 13 蔡宗儒

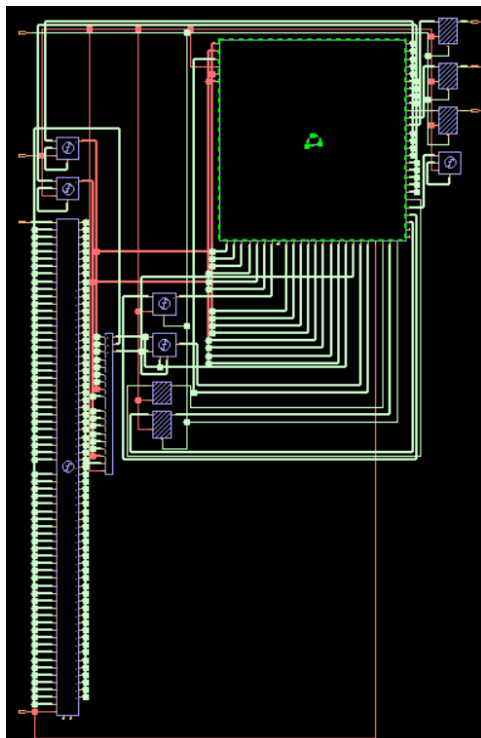
## (一) 如何設計作業

這次期末專題我最後使用的方法是窮舉法，根據今年 IC Contest 的做法用字典序演算法去弄出排序，其中為了減少 Latency，我使用了平行兩套的方式去做，如此一來 Latency 能夠減半。然後我也設計了一個 2Bits 的 FSM，State 分別為 S\_idle(閒置)、S\_in(當 in\_valid 時將 in\_cost 存進 Shift Register 中)、S\_algo(當 in\_valid 結束時用字典序演算法將所有排序依小到大弄出來)、S\_out(將 Output 輸出 8 個 Cycle)。

## (二) 架構圖



附上 nSchema 圖



### (三) 遇到的困難與解決方法

#### 如何做到平行兩套了

字典序演算法是將[0,1,2,3,4,5,6,7]的順序排到[7,6,5,4,3,2,1,0]，所以總共需要共  $8! = 40320$  個 Cycle，但其實可以將所有排序切成兩半，一半從[0,1,2,3,4,5,6,7]跑到[3,7,6,5,4,2,1,0]，另一半從[4,0,1,2,3,5,6,7]跑到[7,6,5,4,3,2,1,0]，如此一來就能平行跑，並做到平行兩套。這麼一來需要更大的面積，但經過 Tradeoff 之後的 Performance 也會較佳。

#### 可以做到平行更多套嗎

我做完兩套時本想繼續做到四套和八套，但在做四套時發現會 Timinig Violation，當下以為沒辦法再切了，所以就沒繼續做下去。後來看到 1De 結果後發現滿多人的 Latency 應該是有切到八套，後來想想是因為我做兩套時的比較過程還不會 Timing Violation，但切到四套和八套時會因為要等前面比較完才能比下去，就會導致 Timing Violation。這時候應該將比較的部分切 Pipeline 傳到下一級去比較的，當下沒想到實在是很可惜。

### (四) 心得

這次的期末專題其實我一開始是採用匈牙利演算法的，最後有做到剩 03 有 X，但我不知道怎麼解決，有 X 的部分出現在 FSM 中，所以我推測應該是我的 FSM 寫得不太好。也因為卡住所以只能在 1De 的最後一天的晚上七點改成做窮舉法，做窮舉法真的很快樂，因為很快也很直觀，雖然最後很可惜當下沒有想到可以繼續切 Pipeline 就可以平行八套，但其實如果我當下有想到切 Pipeline，最後可能反而會 1De 沒過，因為我是在最後 20 分鐘才測到有測值有問題的，如果當下繼續做平行八套的話應該就測不到問題了，只能說自己對自己太有自信，才會花太多時間研究匈牙利演算法。且最後用匈牙利演算法的 Design 去測助教的測值在 01\_RTL 後面的測值就會錯了。

### (五) Area

```
Report : area
Design : JAM
Version: R-2020.09
Date   : Mon Jun 20 00:18:43 2022
*****
Library(s) Used:

    slow (File: /RAID2/COURSE/iclab/iclabta01/umc018/Synthesis/slow.db)

Number of ports:          25
Number of nets:          3314
Number of cells:         3188
Number of combinational cells: 2634
Number of sequential cells:   550
Number of macros/black boxes: 0
Number of buf/inv:        358
Number of references:     137

Combinational area:      52264.397374
Buf/Inv area:            4174.632105
Noncombinational area:   42145.488972
Macro/Black Box area:    0.000000
Net Interconnect area:   undefined (No wire load specified)

Total cell area:         94409.886346
Total area:              undefined
```