



第九章 中央处理器(一)

秦磊华 计算机学院

- 9.1 CPU的组成和功能
- 9.2 指令周期与时序
- 9.3 数据通路
- 9.4 指令周期流程分析

CONTENT



9.1 CPU的组成和功能

1. 冯诺依曼计算机组成

◆ 运算器、控制器

存储程序、程序控制

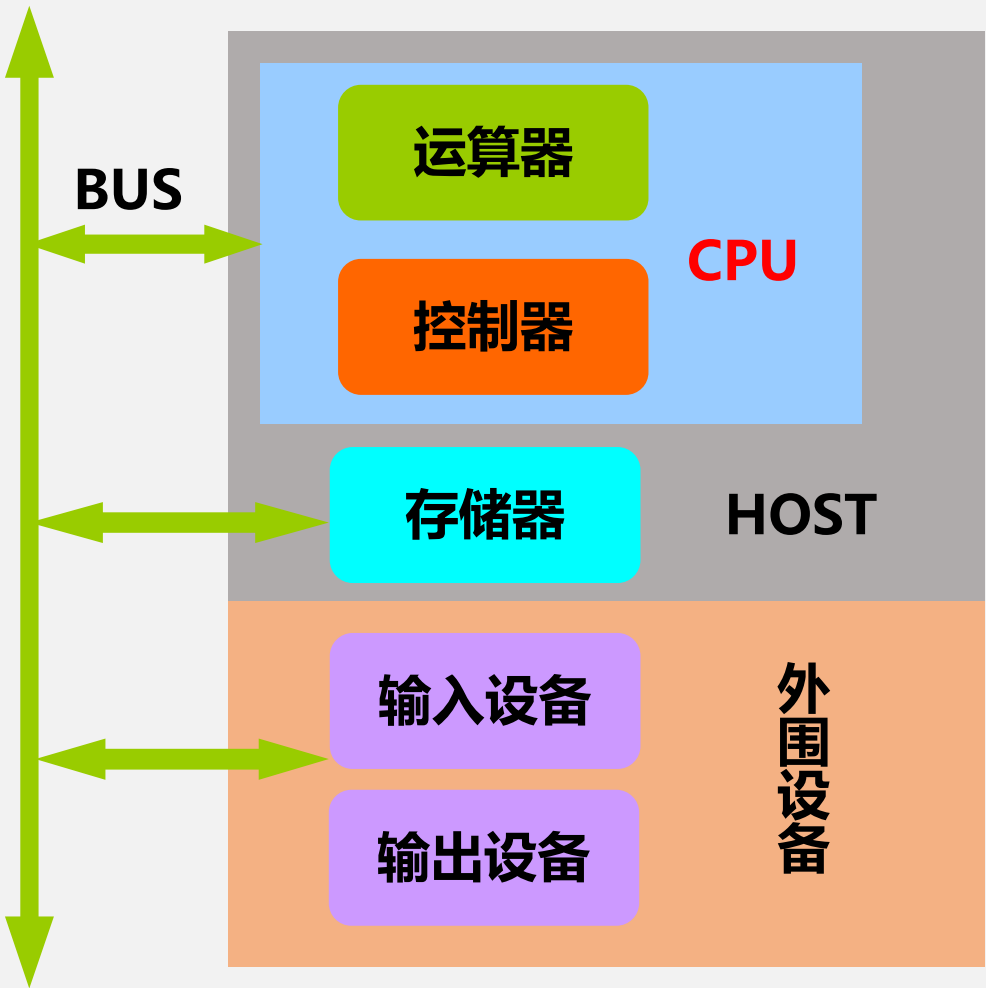
取指令，执行指令

◆ 差异性

ISA，数据通路

控制器实现方式

性能、成本





9.1 CPU的组成和功能

2. CPU基本功能

- ◆ 运算器: 数据处理
- ◆ 控制器: 程序执行/指令执行

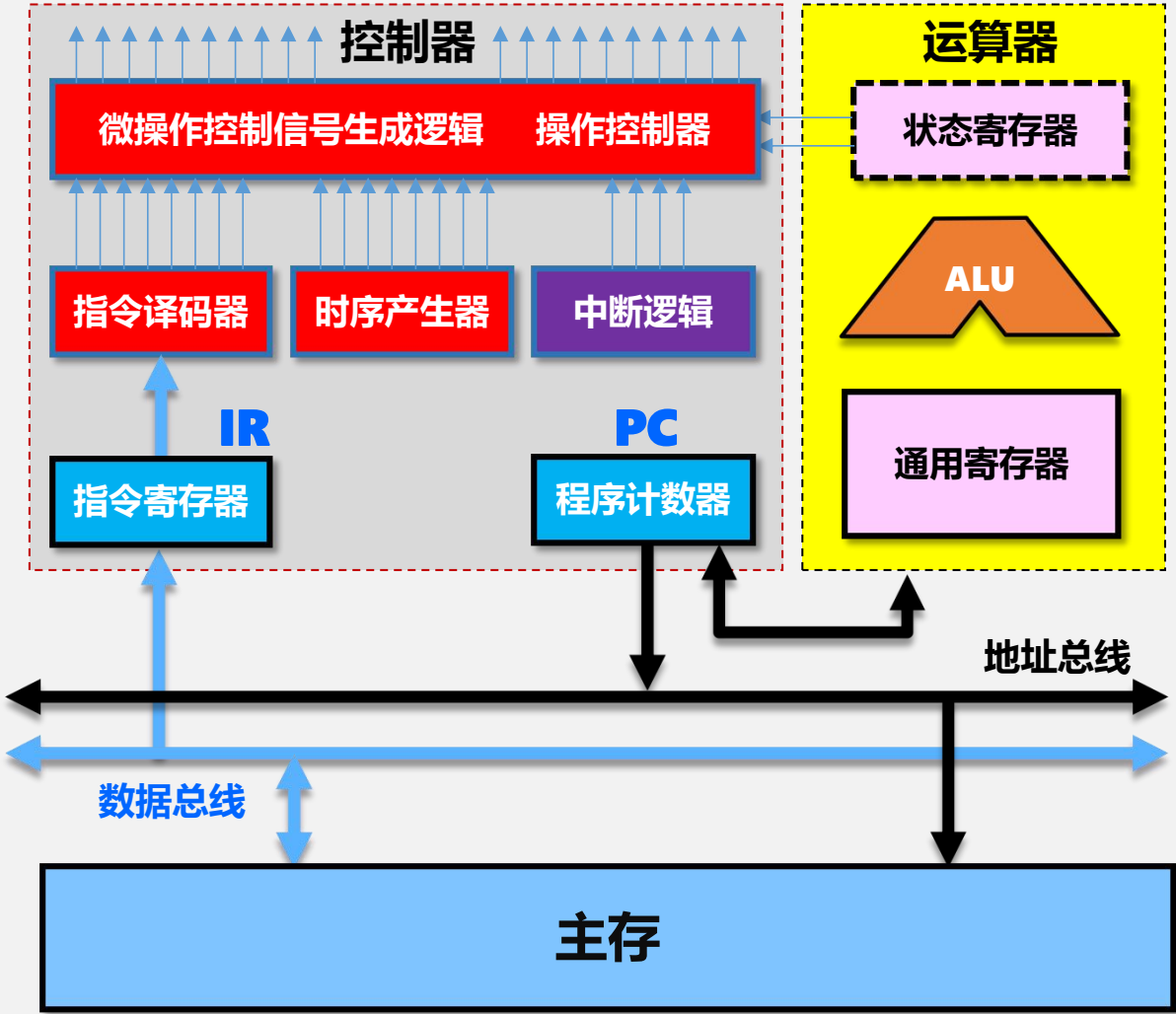
(1)取指令

Mem[PC++] → IR

(2)执行指令

指令字 → 控制信号序列

控制信号序列 → 数据通路



2. CPU基本功能

- ◆**数据加工**: 算术/逻辑运算 运算器
 - ◆**程序控制**: 程序中指令执行顺序控制
 - ◆**操作控制**: 产生指令执行时所需操作控制信号
 - ◆**时序控制**: 对各种操作实施定时(即何时做什么操作均应受控)
 - ◆**异常控制**: 异常处理
- } 控制器

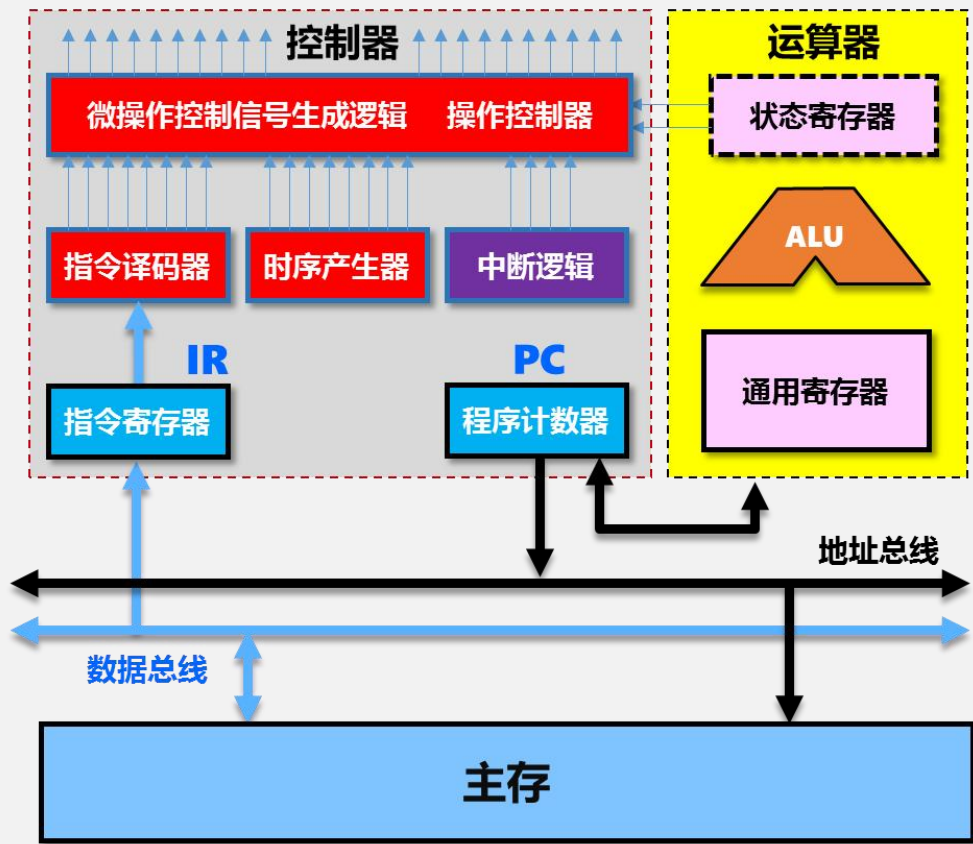
对各种操作实施定时(即何时做什么操作均应受控)

9.1 CPU的组成和功能

3. CPU中主要寄存器

- ◆ PC--程序计数器 X86: EIP MIPS: PC
- ◆ IR -----指令寄存器
- ◆ AR -----地址寄存器 MAR
- ◆ DR -----数据缓冲寄存器 MDR
- ◆ AC -----累加寄存器
- ◆ PSW -----程序状态字
- ◆ X86: EFLAGS MIPS: 无

- ◆数据加工 ◆程序控制:
- ◆操作控制: ◆时序控制:
- ◆异常控制:



学习的重点： 每个寄存器的位置； 与相关部件的连接与控制； PC增量如何实现

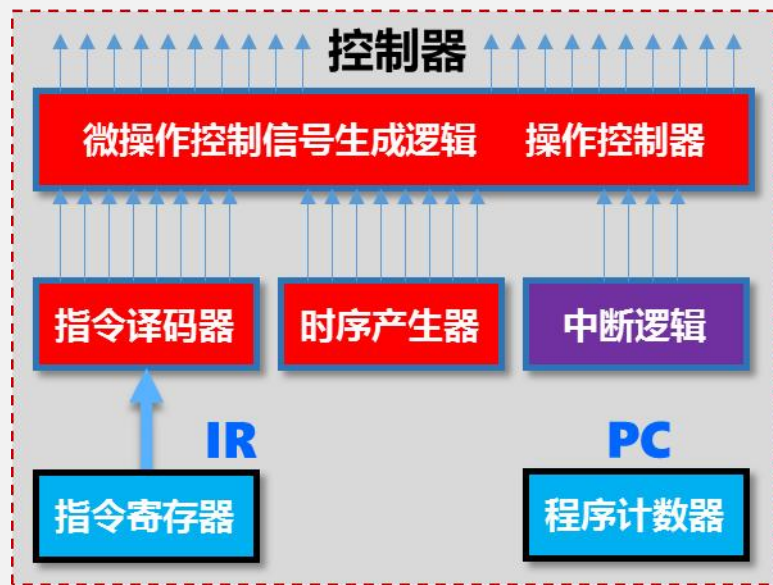
4. 操作控制器

◆取指令，将**机器指令译码**并生成**执行部件**所需的**控制信号序列**，控制信号按序送至各执行部件控点，引起逻辑门开闭，建立正确的**数据通路**，从而完成指令功能。

◆操作控制器的类型

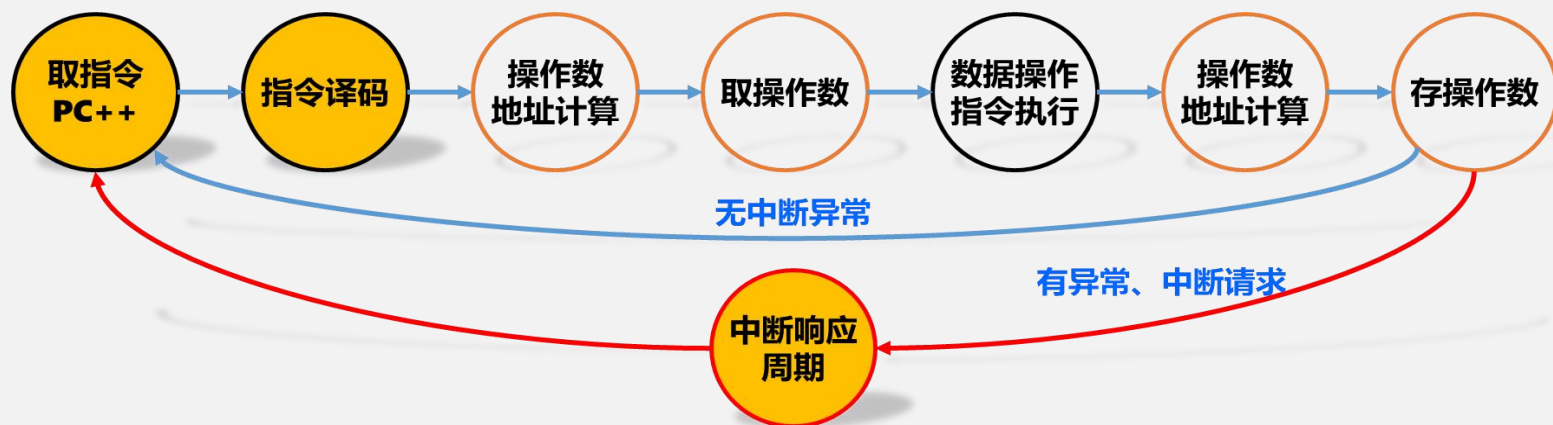
硬布线控制器（时序逻辑型）

微程序控制器（存储程序型）



1. 指令周期的概念

◆ 从内存中取出一条指令并执行该指令所需的时间？

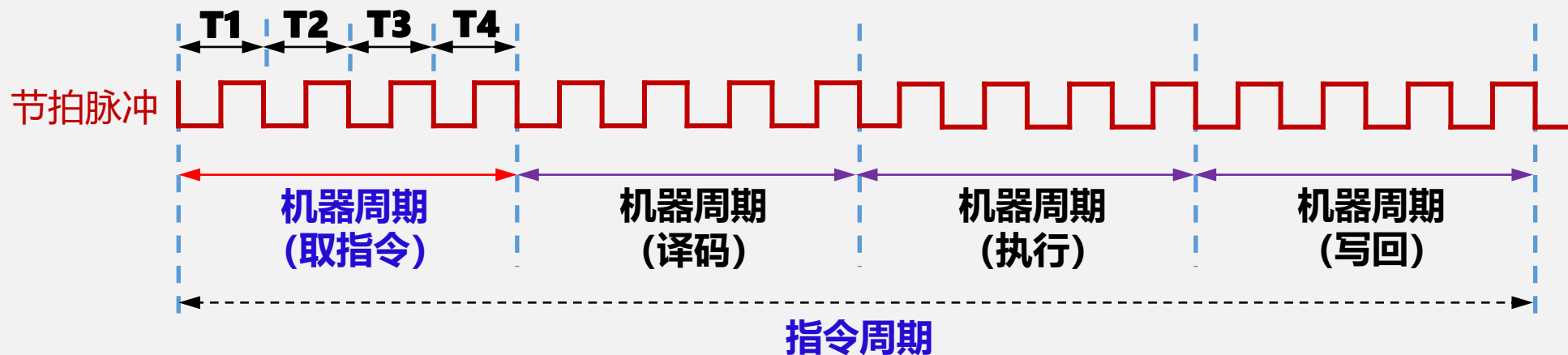


◆ 不同指令的指令周期时间相同吗？

◆ 取指时间不同还是执行时间不同？

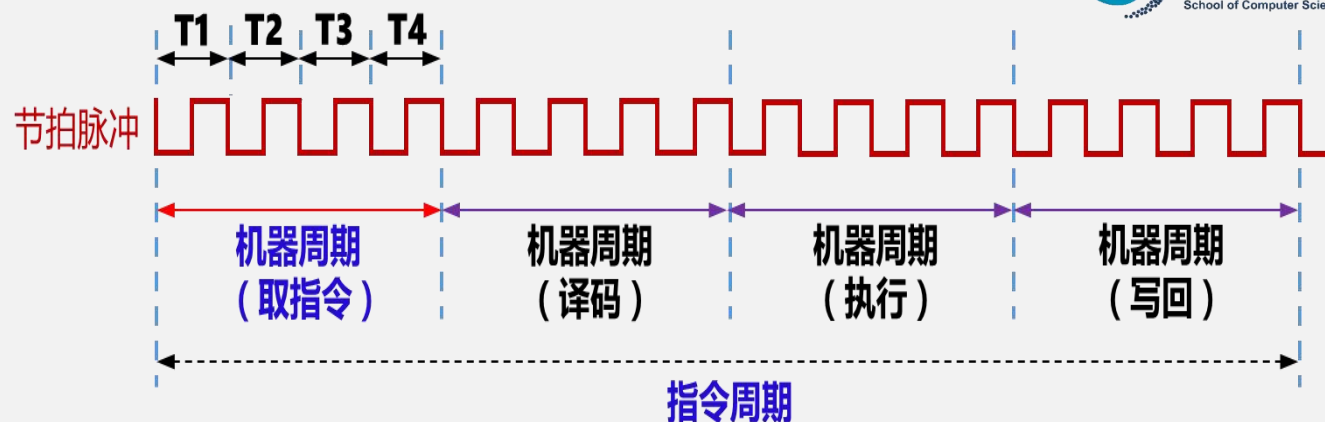
◆ 如何对指令周期不同阶段的时间定时？(定时是同步系统要解决的关键问题)

2. 指令周期的几个时间划分



- ◆ 时钟周期 = 节拍脉冲 数据通路上完成一次微操作所需要的最短时间
- ◆ 机器周期 = CPU周期 从主存读出一条指令的最短时间 可完成 复杂操作
- ◆ 指令周期: 从主存取一条指令并执行指令的时间

3. 指令周期的同步方式



不同指令功能不同，所需时间不同，如何进行控制？

◆ 定长指令周期

机器周期数**固定**，节拍数**固定**。(按**指令周期**同步，MIPS 单周期)

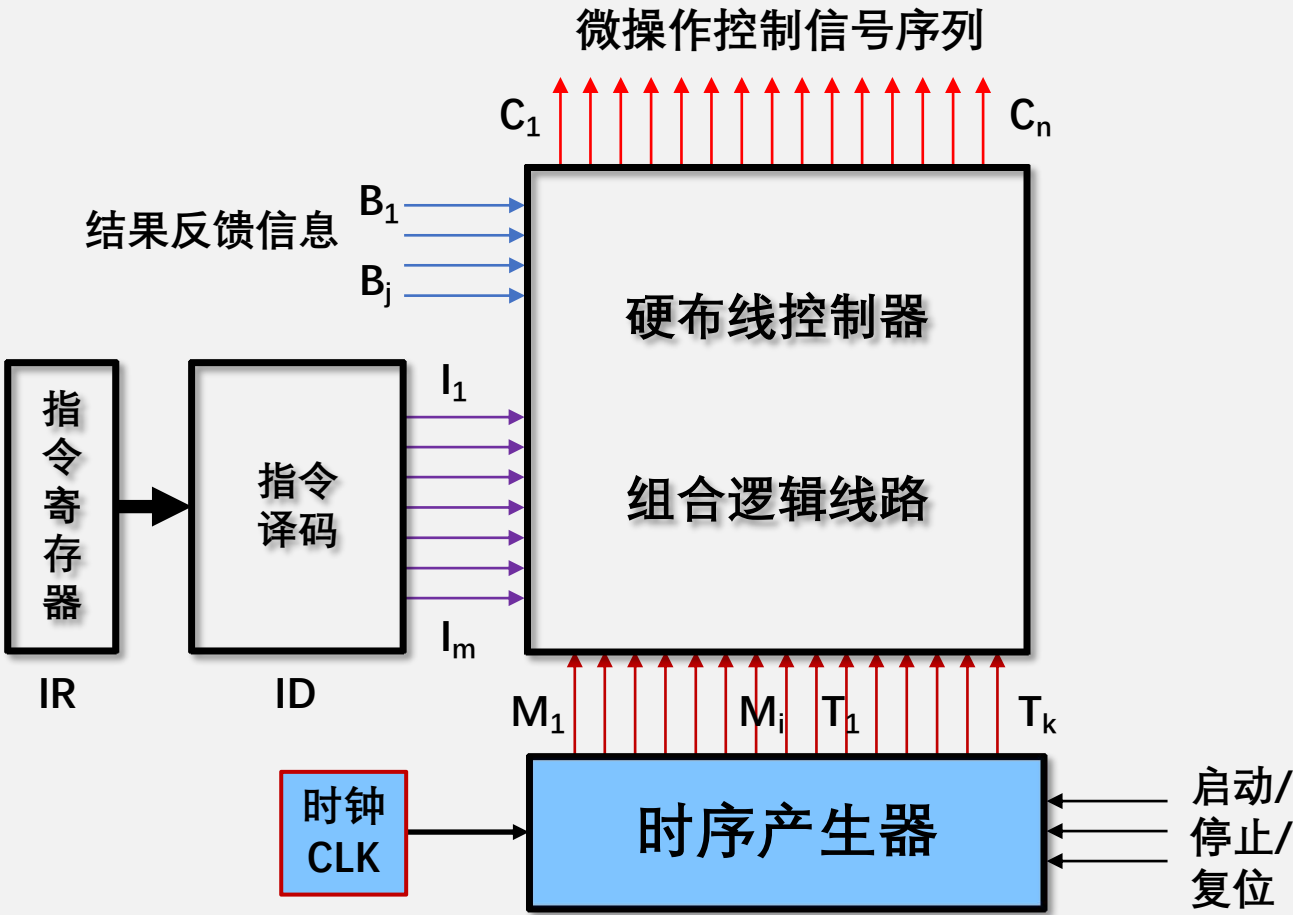
◆ 变长指令周期

机器周期数**可变**。(按**时钟周期/CPU周期**同步，MIPS 多周期)

3. 指令周期的同步方式

◆早期三级时序系统

◆时序产生器循环产生周期电位、节拍电位，供控制器对信号进行时间调制

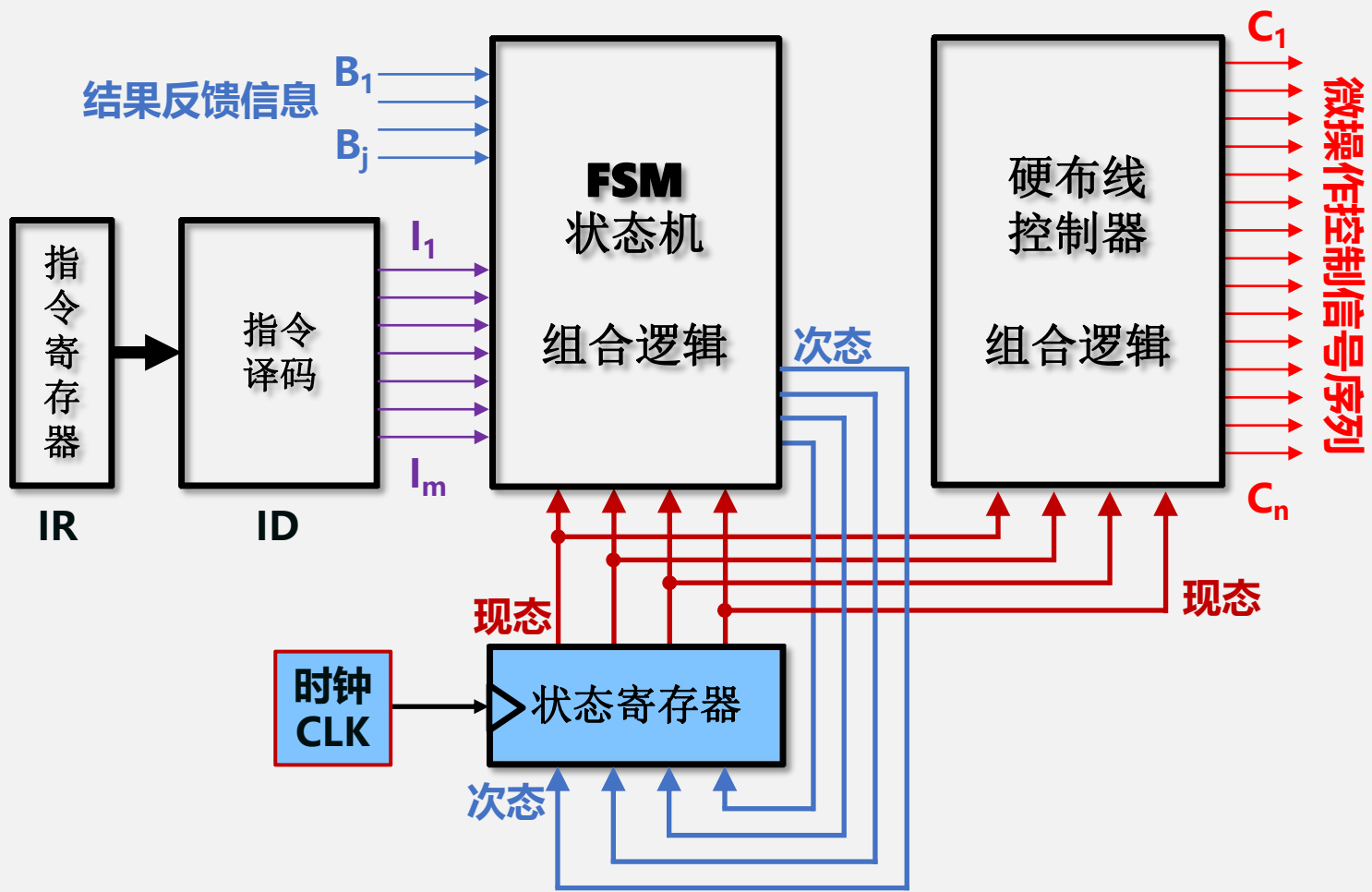


◆ $\text{MemRead} = M_{IF} \cdot (T2 + T3) + \text{Load} \cdot M_{EX} \cdot (T2 + T3)$

9.2 指令周期

3. 指令周期的同步方式

◆ 现代时序系统



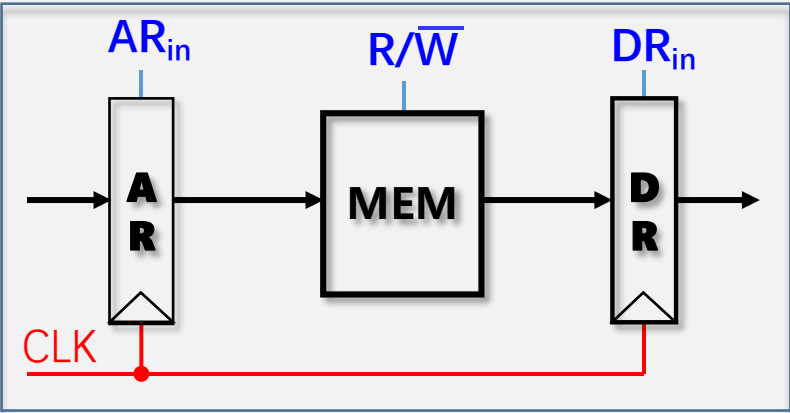
◆ 操作控制信号仅仅与状态寄存器现态有关



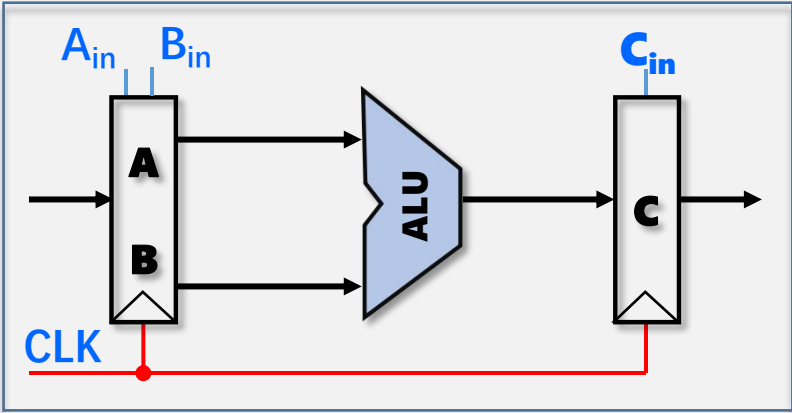
9.3 数据通路

1. 数据通路的基本概念

◆ 指令执行过程中依次用到的功能部件的集合

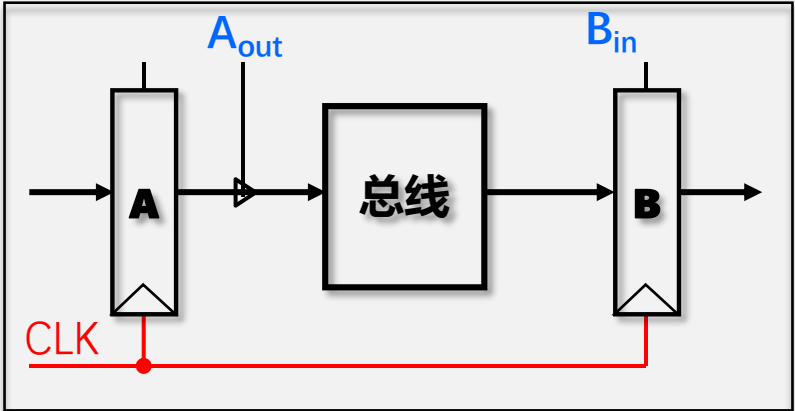


访存通路



运算通路

◆ 确定正确的数据通路是设计控制信号的基础



总线传输



2. 数据通路的分类

(1) 共享通路（总线型）

- ◆ 主要部件都连接在公共总线上，各部件间通过总线进行数据传输
- ◆ 节约成本，冲突率高，并发性差，分时使用总线，控制复杂，效率低

9.3 数据通路

2. 数据通路的分类

(1) 共享通路（总线型）

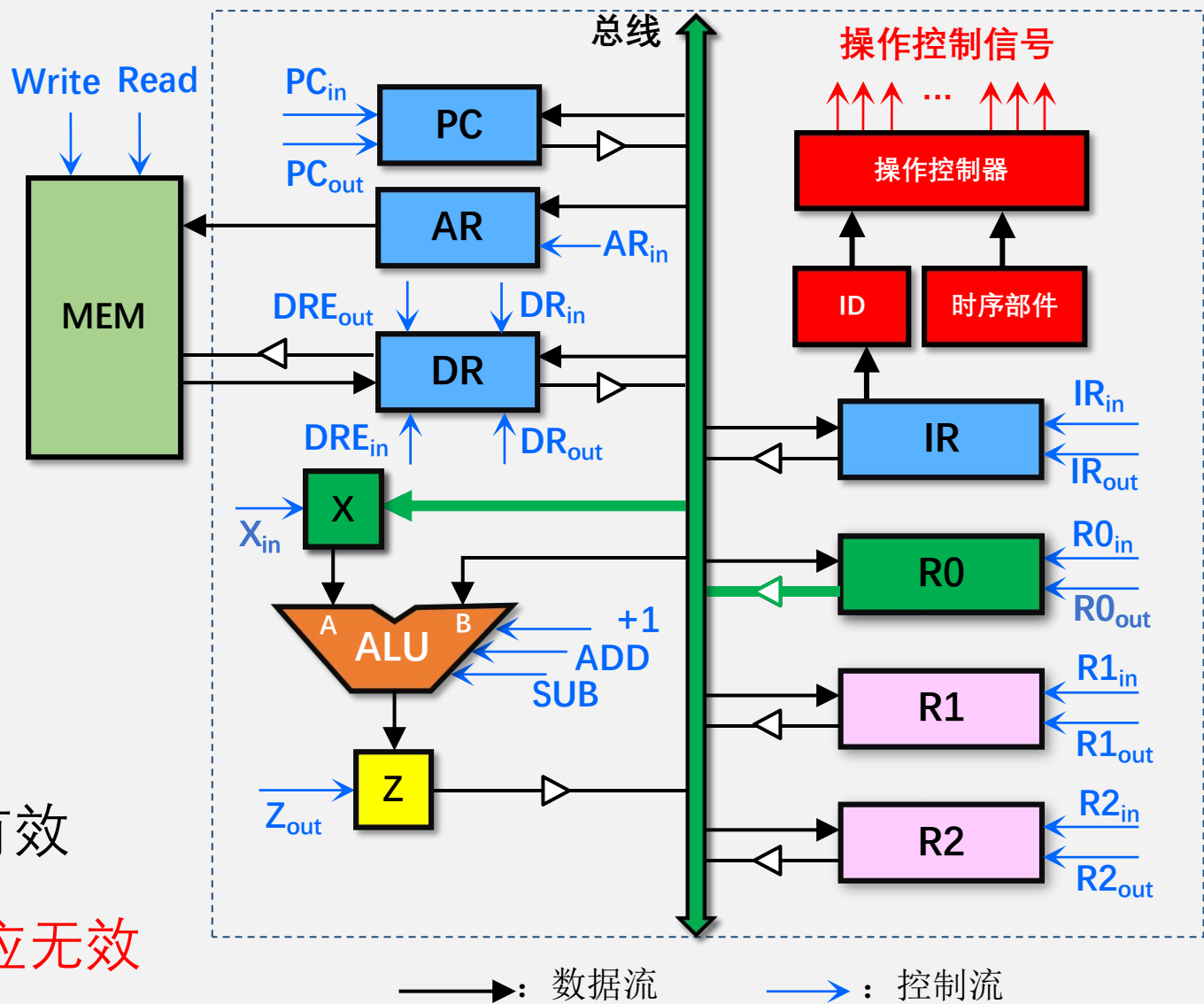
- ◆ 主要部件都连接在总线上
- ◆ 各部件间通过总线进行传输

$R0 \rightarrow X$ 的数据通路

$R0 \rightarrow X$ 的控制信号

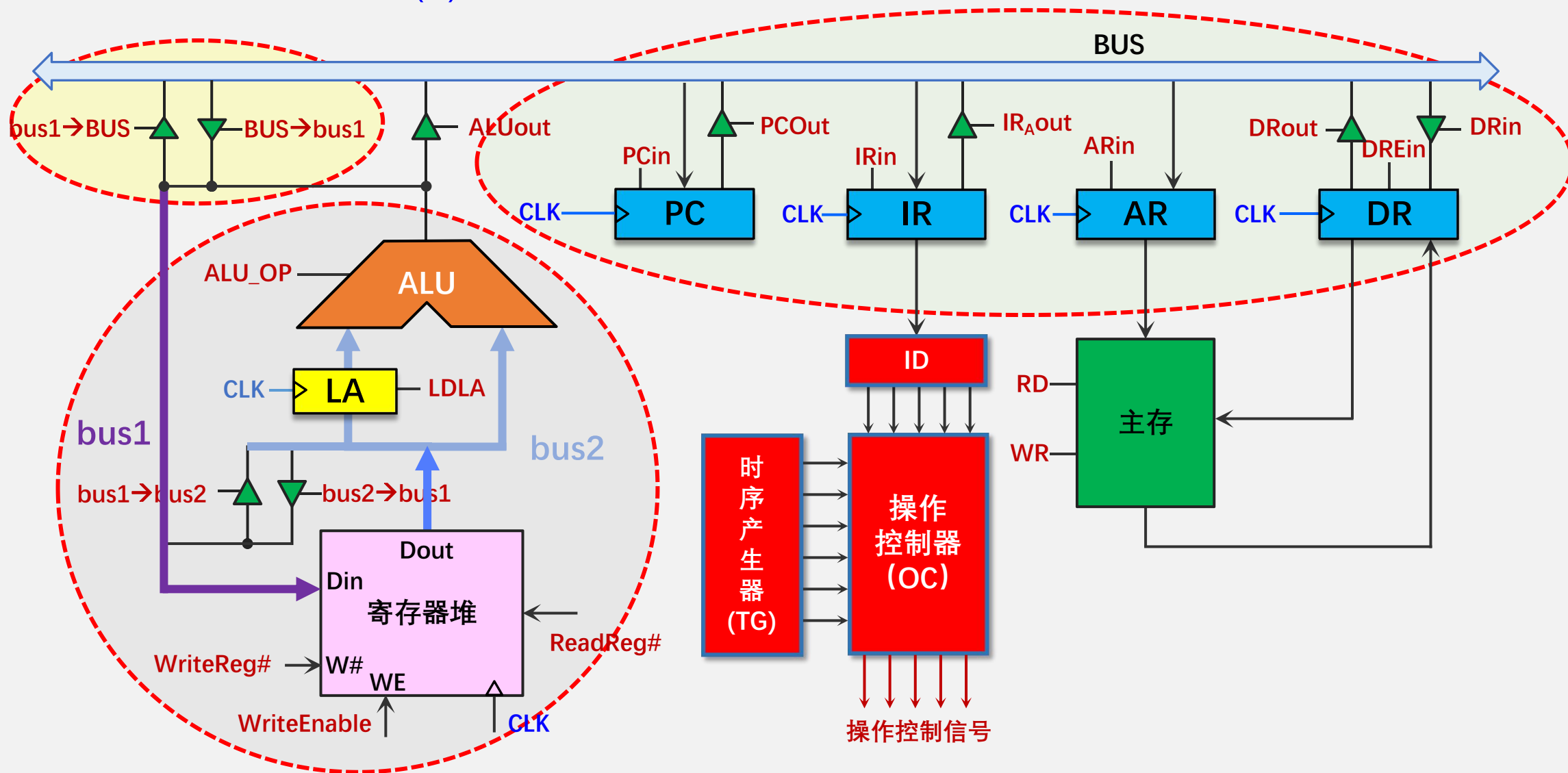
$R0_{out}$, X_{in} 依次有效

其余与总线有关控制信号均应无效



9.3 数据通路

2. 数据通路的分类 (1)共享通路（总线型）





9.3 数据通路

2. 数据通路的分类

(2) 专用通路

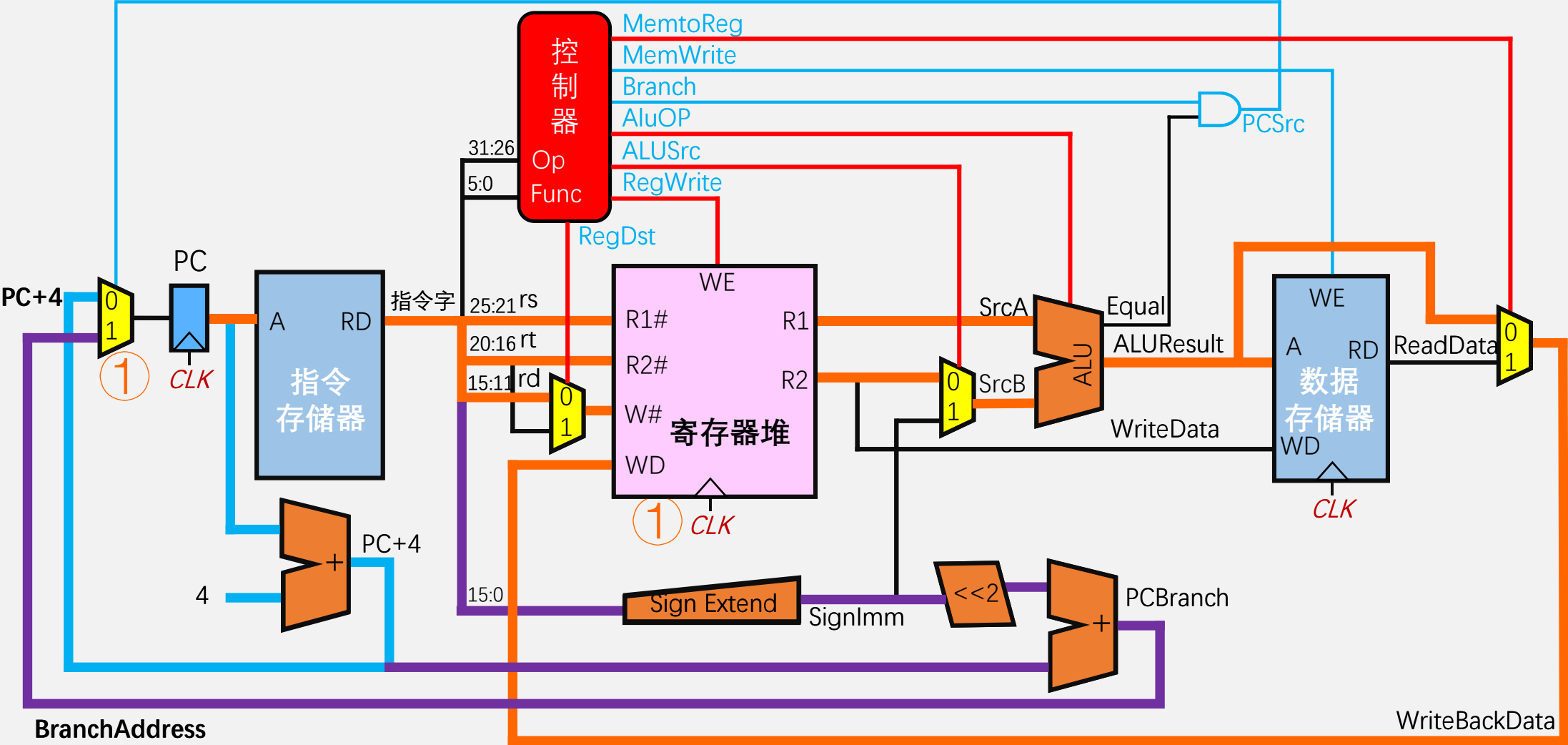
- ◆ 并发度高，性能佳，设计复杂，成本高，并发性高，控制相对简单
- ◆ 可以看作多总线结构



9.3 数据通路

2. 数据通路的分类

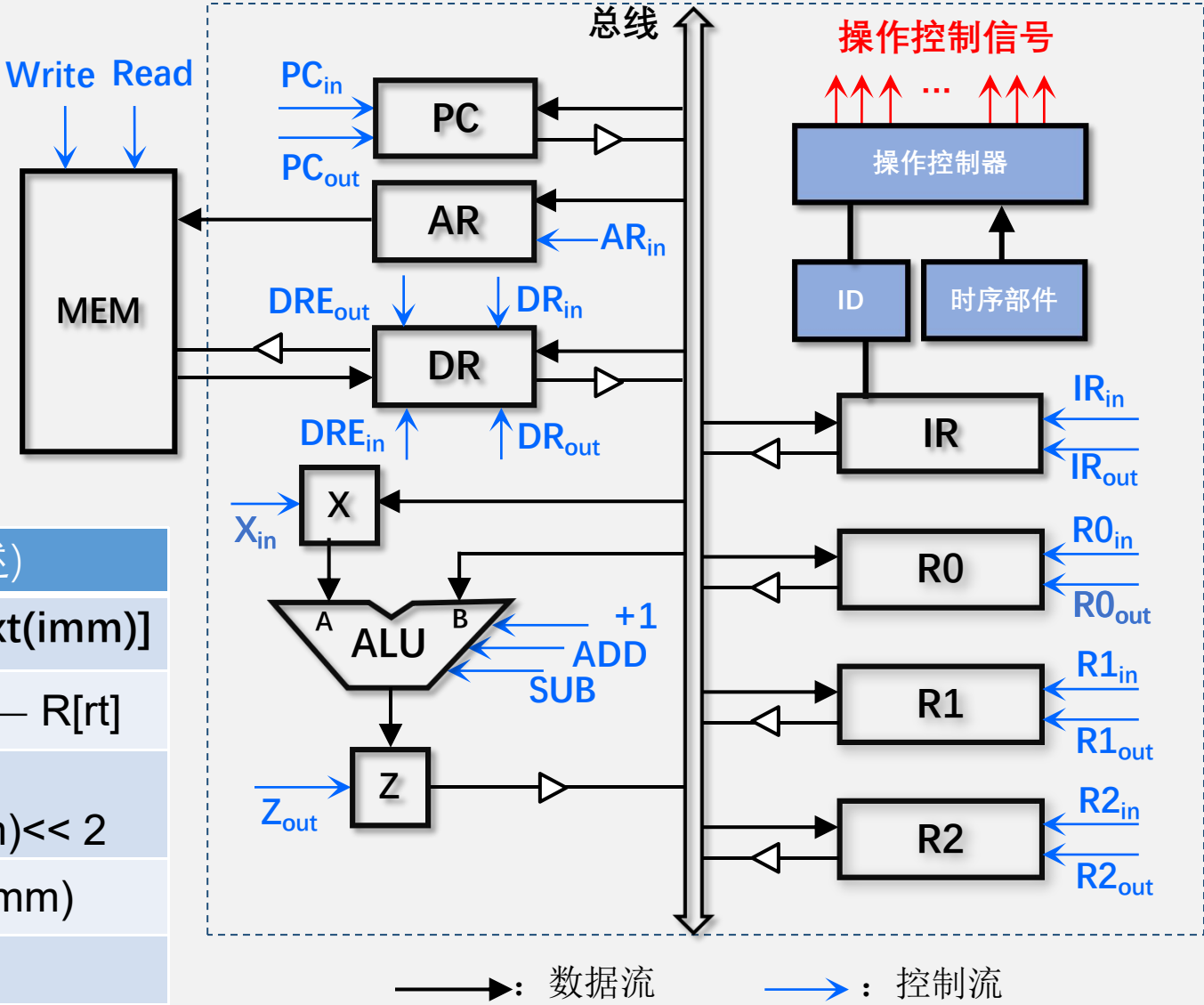
(2)专用通路(单周期MIPSCPU)



9.4 指令周期流程分析

1. 单总线结构CPU

#	指令	指令功能 (RTL描述)
1	lw rt,imm(rs)	$R[rt] \leftarrow M[R[rs] + \text{SignExt}(\text{imm})]$
2	sw rt,imm(rs)	$M[R[rs] + \text{SignExt}(\text{imm})] \leftarrow R[rt]$
3	beq rs,rt,imm	if($R[rs] == R[rt]$) $PC \leftarrow PC + 4 + \text{SignExt}(\text{imm}) \ll 2$
4	addi rt,rs,imm	$R[rt] \leftarrow R[rs] + \text{SignExt}(\text{imm})$
5	add rd,rs,rt	$R[rd] \leftarrow R[rs] + R[rt]$



9.4 指令周期流程分析

1. 单总线结构CPU

(1) 取指令的数据通路

$\text{Mem}[\text{PC}++] \rightarrow \text{IR}$

$\text{IR} \leftarrow (\text{Mem}[\text{PC}++])$

取指CPU周期用到两条数据通路：

◆ $\text{PC} \rightarrow \text{AR} \rightarrow \text{MEM} \rightarrow \text{DR} \rightarrow \text{IR}$

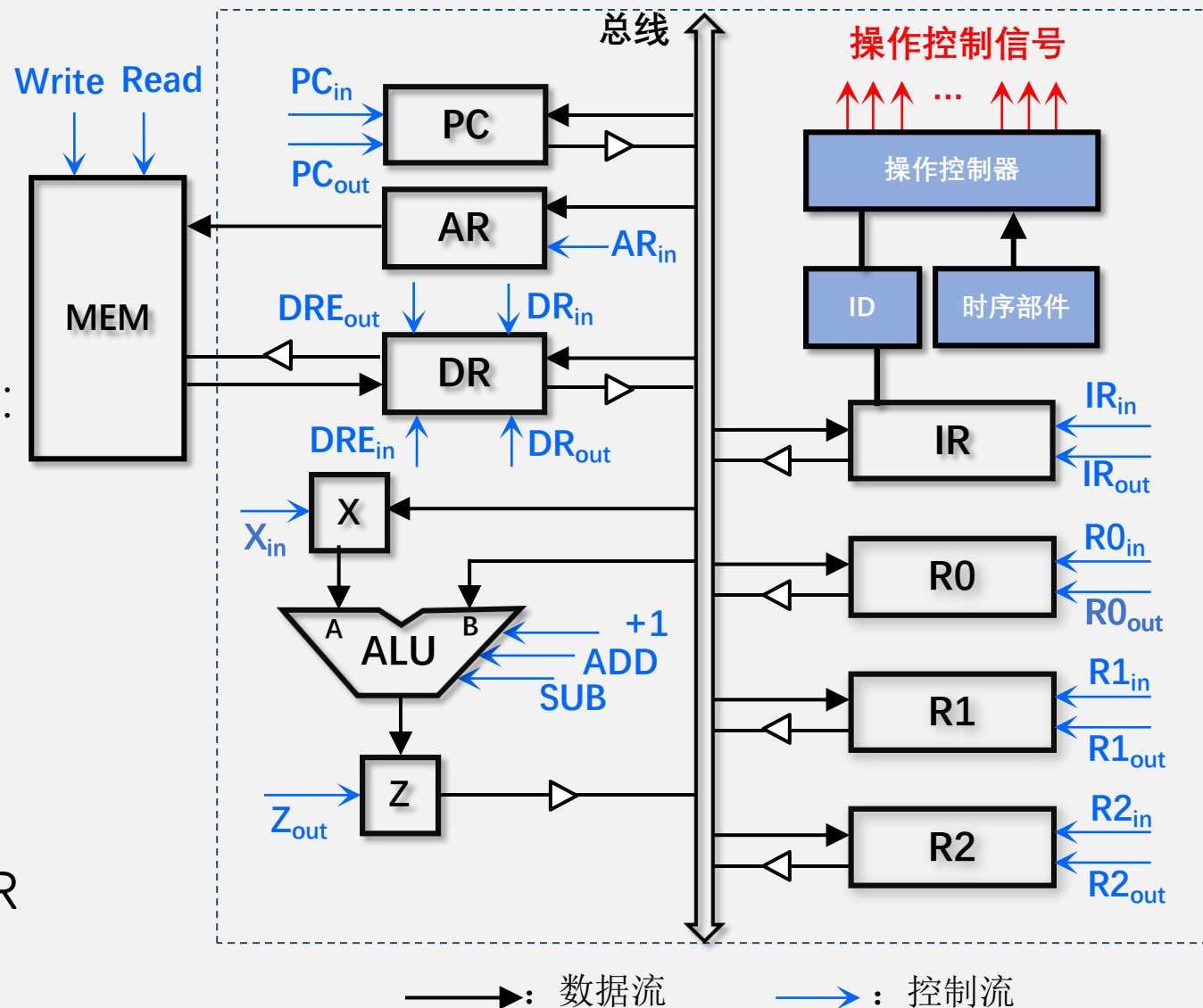
◆ $\text{PC} \rightarrow \text{X} \rightarrow \text{ALU} \rightarrow \text{PC}$

通路1: $\text{PC} \rightarrow \text{AR}$, $\text{PC} \rightarrow \text{X}$

通路2: $\text{ALU}_{(\text{X}+4)} \rightarrow \text{Z}$

通路3: $\text{Z} \rightarrow \text{PC}$, $\text{MEM}[\text{AR}] \rightarrow \text{DR}$

通路4: $\text{DR} \rightarrow \text{IR}$



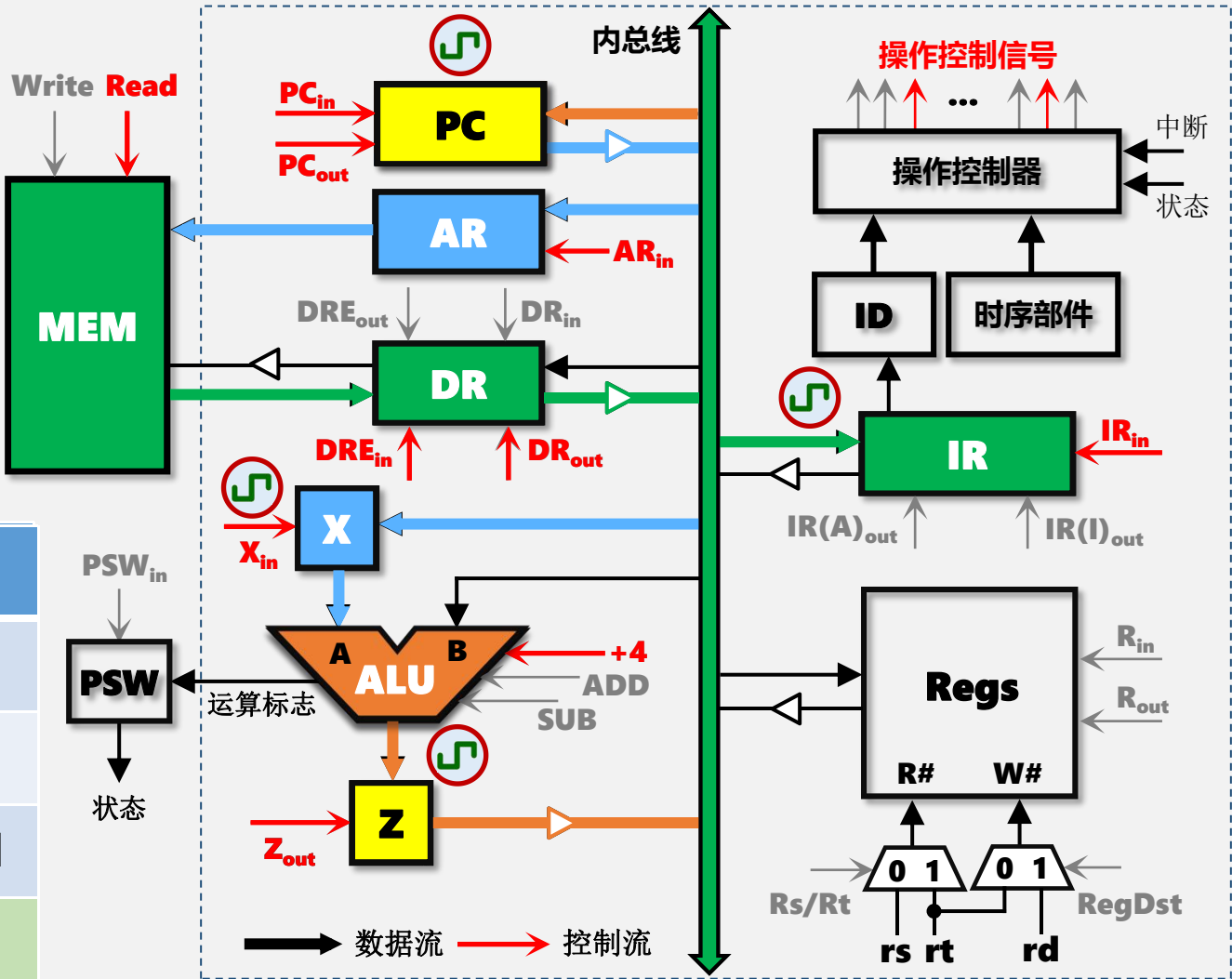
9.4 指令周期流程分析

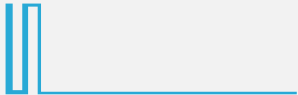
1. 单总线结构CPU

(1) 取指令的数据通路

$IR \leftarrow (Mem[PC++])$

节拍	数据通路 (数据流)	控制信号(控制流)
T1	PC→AR, PC→X	PC _{out} , AR _{in} , X _{in}
T2	ALU(X+4)→Z	+4
T3	Z→PC, M[AR]→DR	Z _{out} , PC _{in} , DRE _{in} , Read
T4	DR→IR	DR _{out} , IR _{in}





第一部分完