

UNIVERSIDADE FEDERAL DA PARAÍBA
CENTRO DE INFORMÁTICA
INTRODUÇÃO A MICROELETRONICA

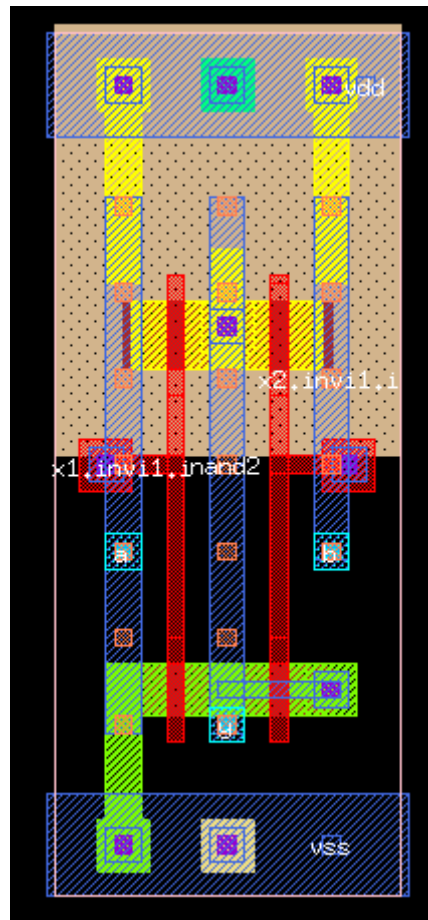


RELATÓRIO II

THIAGO ALVES DE ARAUJO
MATRICULA: 2016019787

1 – NAND

Com base no diagrama de palitos da porta NAND, criamos um circuito no Graal utilizando o layout dois inversores ideais criados anteriormente. Para isso, adicionamos duas instancias do inversor (Create > Instance > NoSym), porém uma foi espelhada no eixo y (Create > Instance > Sym Y). Após isso, ajustamos o tamanho dos componentes e excluimos os desnecessários. Abaixo está o circuito final:



Layout porta NAND

1.1– Análise Estática

Após gerarmos o arquivo “.spi” da porta NAND, vamos criar um arquivo “.cir” para simular o comportamento estático da célula. Para isso, criamos um circuito onde, em um primeiro momento a entrada A permanece fixa em VDD e a B varia de 0V a 1.8V. No segundo momento a porta B permanece fixa em VDD e A varia de 0V a 1.8V. Abaixo está o esquema do circuito criado:

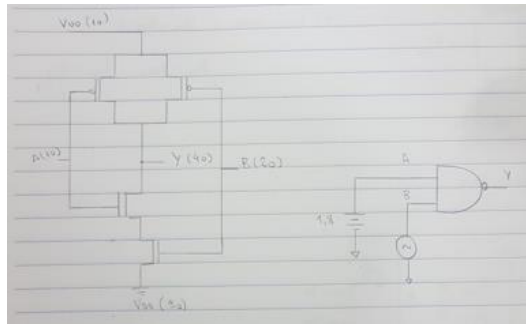


Diagrama do circuito desejado

Com isso, podemos criar o circuito ".cir" da simulação. Abaixo está o código criado:

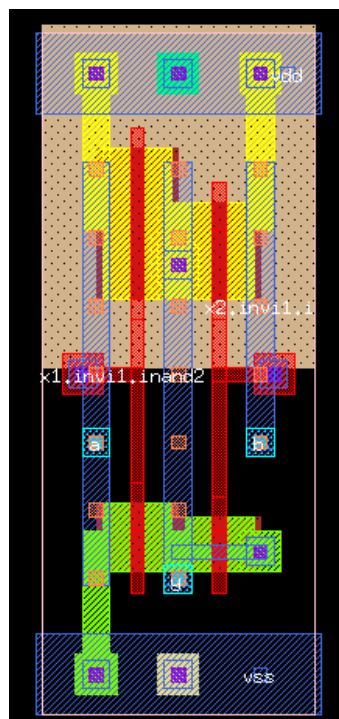
```
.include nand2.spi

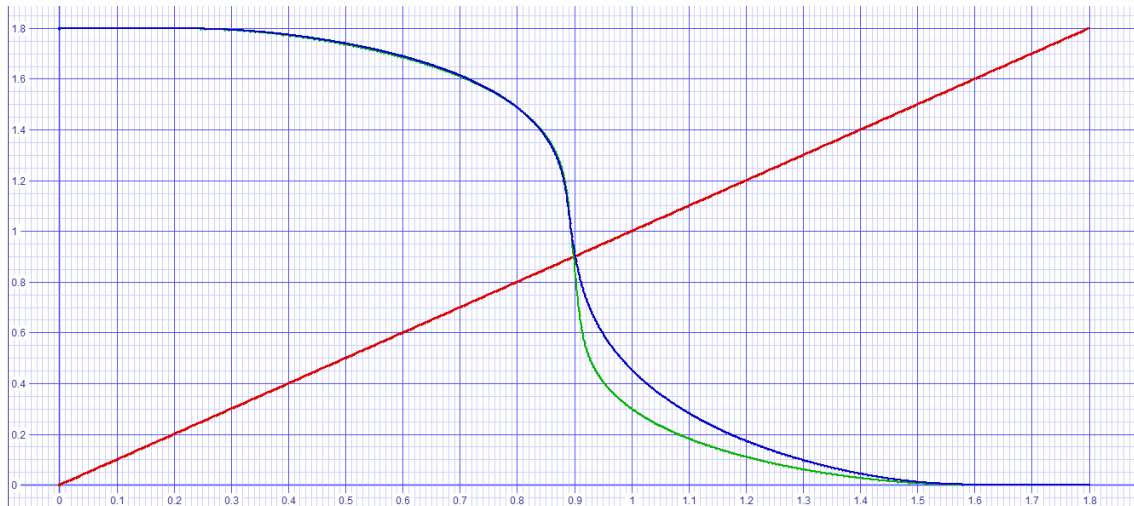
* INTERF a b vdd vss y
X1      10 20 10 30 40 nand2
X2      20 10 10 30 41 nand2

V3 20 30 0V
V1 10 30 1.8V DC
V2 30 0 0V DC
.model tp pmos level=54
.model tn nmos level=54
*.tran
.dc V3 0 1.8 .001
.end
```

Arquivo ".cir" da análise estática

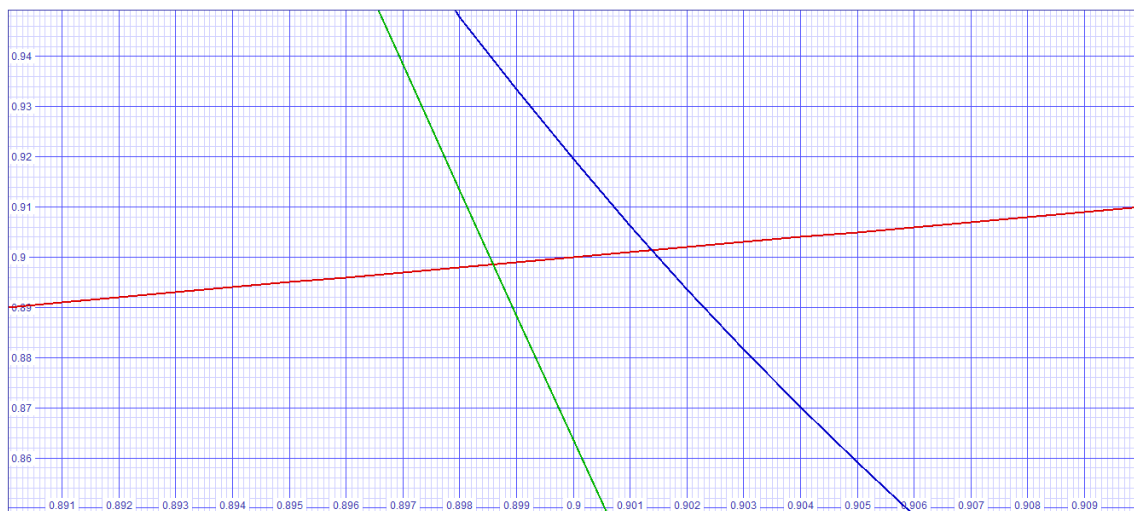
Mesmo adicionando dois inversores ideias, percebemos que a transição da porta está desequilibrada. Para corrigir esse erro, regulamos os tamanhos dos transistores até que a reta corte os 0,9V na transição. Após várias tentativas, o layout ficou da seguinte forma:





Reta verde $v(40)$ – A em VDD e B variando

Reta azul $v(41)$ – A variado e B em VDD



$v(40) = 0,899$ e $v(41) = 0,0901$

1.2- Análise Dinâmica

Para a análise dinâmica utilizaremos a mesma ideia anterior, porém a entrada irá variar com um pulso. Abaixo está o arquivo “.cir” criado:

```
.include nand2.spi

* a b vdd vss y
X1 10 20 10 30 40 nand2
X2 20 10 10 30 41 nand2

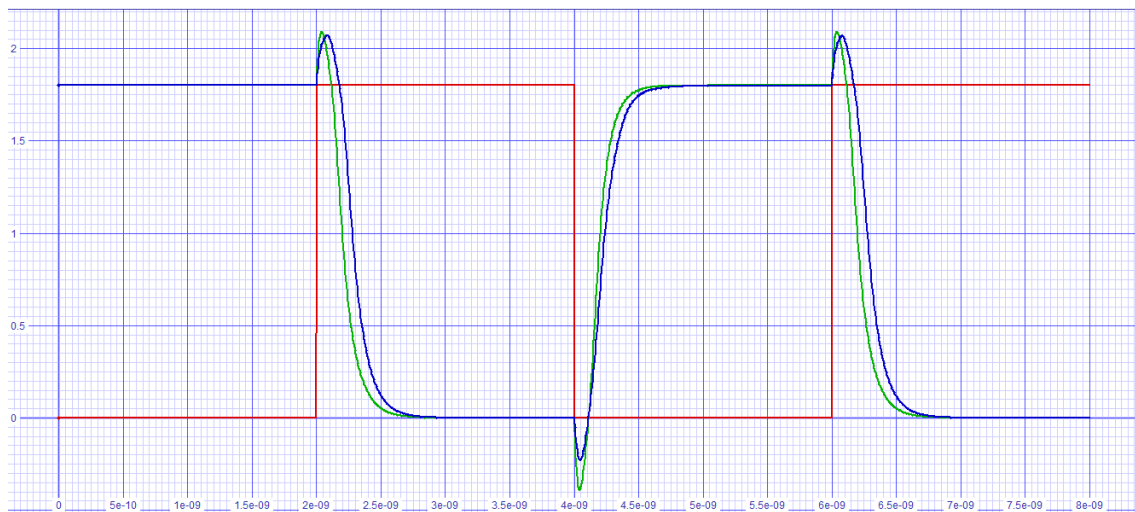
V3 10 30 1.8V DC
V2 30 0 0V DC
V1 20 30 pulse(0V 1.8V 2ns 1ps 1ps 2ns 4ns)

.model tp pmos level=54
.model tn nmos level=54
.tran 0.001ns 8ns
*.dc V3 0 1.8 .001
.end
```

Análise dinâmica

João Pessoa
2018

Com isso, obtemos o seguinte resultado:



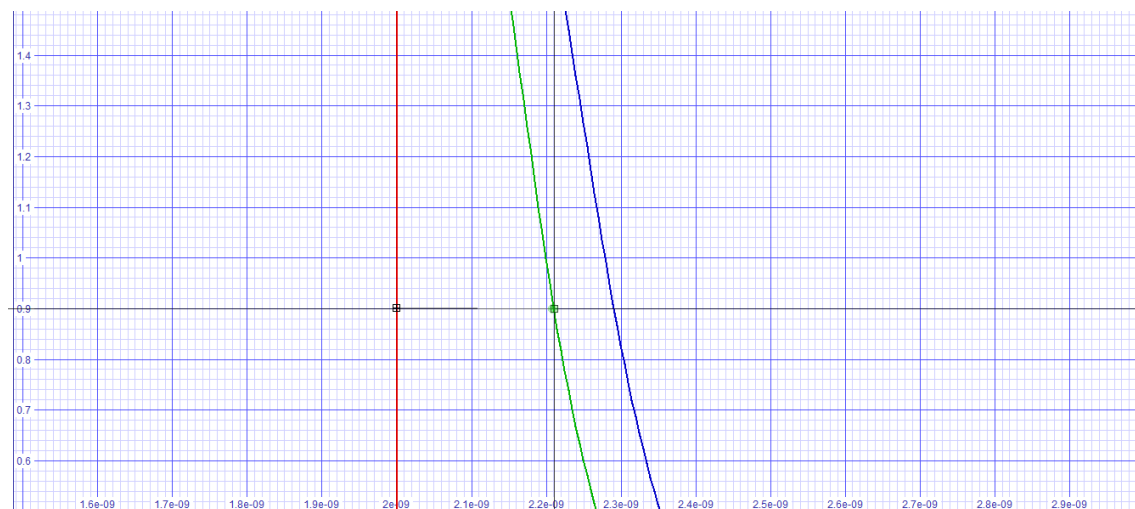
Reta verde $v(40)$ – A em VDD e B variando

Reta azul $v(41)$ – A variado e B em VDD

Pela análise realizada vemos que ocorreram em alguns momentos de oscilação em que parecia que a resposta da saída seria contrária à saída esperada, mas esses efeitos são normais e são conhecidos como glitch (quando ocorre uma mudança repentina no sinal das entradas), são essas oscilações que vemos na curva azul nos momentos de mudança do sinal lógico das entradas.

1.3 – Tempos de High – Low e Low – High

Como o sinal de entrada varia de 0V a 1.8V, o tempo de HL e LH será medido em $V = 0.9V$. Lembrando que a reta verde é correspondente a *plot* $v(40)$ (A = VDD e B = 0V a 1.8V) e a reta azul é correspondente *plot* $v(41)$ (A = 0V a 1.8V e B = VDD).



$V(40)$ HL = 2,0955e-10



V(41) HL = 2,9014e-10



V(40) LH = 1,9009e-10



V(41) LH = 2,2372e-10