

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

THIAGO RIDER AUGUSTO

**Hardware dinâmico para tolerância a
falhas em microprocessadores**

Dissertação apresentada como requisito parcial para
a obtenção do grau de Mestre em Microeletrônica

Orientador: Prof. Dr. Antônio Carlos Schneider Beck
Filho

Porto Alegre
2015

CIP — CATALOGAÇÃO NA PUBLICAÇÃO

Augusto, Thiago Rider

Hardware dinâmico para tolerância a falhas em microprocessadores / Thiago Rider Augusto. – Porto Alegre: PGMICRO da UFRGS, 2015.

23 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR-RS, 2015. Orientador: Antônio Carlos Schneider Beck Filho.

1. Tolerância à Falhas. 2. Detecção de Erros. 3. Hardware Adaptativo. 4. Microprocessadores. I. Beck Filho, Antônio Carlos Schneider. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luis da Cunha Lamb

Coordenador do PGMICRO: Prof. Gilson Inácio Wirth

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“Logic will get you from A to B.
Imagination will take you everywhere.”*

— ALBERT EINSTEIN

AGRADECIMENTOS

Agradeço ao \LaTeX por não ter vírus de macro...

RESUMO

Com a evolução dos processos de fabricação de dispositivos eletrônicos, um fenômeno já conhecido passa a afetar ainda mais os circuitos: trata-se do fenômeno da radiação cósmica. Logo, ao tentar se utilizar circuitos no meio espacial, é necessária a devida adaptação com técnicas especializadas para mitigar falhas que podem levar a efeitos catastróficos e arruinar missões espaciais. Ao passar dos anos, muitas técnicas foram desenvolvidas em diferentes níveis: hardware, software ou híbridas. A suscetibilidade dos circuitos a radiação está ligada a maior integração, que faz com que os transistores sejam cada vez mais diminutos. Com as chaves menores, a chance de uma partícula afetar um ou mais dispositivos é muito maior. O aumento da frequência de operação também ocupa lugar nessa problemática, haja visto que com um intervalo mais curto entre as bordas de relógio, aumenta-se a probabilidade de um pulso espúrio ser capturado pela lógica. A complexidade e tamanho dos circuitos também ficaram maiores e grande parte dos sistemas é microprocessado, levando a um interesse ainda maior de proteger essa classe de sistemas. Este trabalho visa implementar em hardware diversas técnicas de detecção de erros, com o objetivo de proteger processadores contra falhas transientes, propondo um módulo especializado, capaz de atuar dinamicamente selecionando uma técnica, levando em consideração a melhor relação entre o custo do tempo de execução e a taxa de detecção de erros. Tem relevância no contexto de uso de sistemas micro processados em ambientes hostis cuja exposição à radiação ou ainda, influência eletromagnética podem causar efeitos inesperados no comportamento do circuito.

Palavras-chave: Tolerância à Falhas. Detecção de Erros. Hardware Adaptativo. Microprocessadores.

Dynamic hardware for fault tolerance in microprocessors

ABSTRACT

With the development of electronic devices manufacturing processes, an already known phenomenon becomes even more affect the circuits: it is the phenomenon of cosmic radiation. Then when you try to use circuits in the space environment, appropriate adjustment is required with specialized techniques to mitigate failures that can lead to catastrophic effects and ruin space missions. Over the years, many techniques have been developed at different levels: hardware, software or hybrid. The susceptibility of circuits radiation is linked to greater integration, which makes the transistors are increasingly tiny. With the minor keys, the chance of a particle affect one or more devices is much higher. Increasing the frequency of operation also takes place on these problems, there is seen that with a shorter interval between the clock edges, increases the likelihood of a spurious pulse is captured by logic. The complexity and size of the circuits were also larger and much of the microprocessor systems is leading to an even greater interest in protecting this class of systems. This work aims to implement in hardware several error detection techniques, in order to protect against transient faults processors, offering a specialized module, able to act dynamically selecting a technique, taking into account the best ratio between the cost of run time and error detection rate. Has relevance in micro systems use context processed in hostile environments where exposure to radiation or, electromagnetic influence can cause unexpected effects on circuit behavior.

Keywords: Fault Tolerance,Error Detection,Adaptative Hardware,Microprocessors.

LISTA DE ABREVIATURAS E SIGLAS

SMP	Symmetric Multi-Processor
NUMA	Non-Uniform Memory Access
SIMD	Single Instruction Multiple Data
SPMD	Single Program Multiple Data
ABNT	Associação Brasileira de Normas Técnicas

LISTA DE FIGURAS

Figura 7.1	Descrição da Figura deve ir no topo	19
Figura 7.2	Exemplo de figura importada de um arquivo e também exemplo de caption muito grande que ocupa mais de uma linha na Lista de Figuras	19
Figura 7.3	Exemplo de figura desenhada com o environment <code>picture</code>	20

LISTA DE TABELAS

Tabela 7.1 Uma tabela de Exemplo.....	20
---------------------------------------	----

SUMÁRIO

1 INTRODUÇÃO	11
1.1 Objetivos	12
1.2 Justificativa	12
1.3 Expectativas	13
2 CONTEXTO DA PESQUISA	14
2.1 O processador miniMIPS	14
2.2 A Origem de tudo: As 3 causas de problemas com a radiação cósmica	14
2.3 <i>Background</i> de tolerância a falhas	14
2.3.1 Radiação e Efeitos	14
2.3.2 Eletrônica, SEUs e SETs	14
2.3.3 Métricas para avaliar suscetibilidade dos circuitos	14
2.3.4 Técnicas de detecção de erros em processadores	14
2.3.5 Técnicas de mitigação para SEUs e SETs em processadores	14
3 ROBUSTECIMENTO DE PROCESSADORES CONTRA EFEITOS DA RADIAÇÃO CÓSMICA	15
3.1 Proteções em hardware	15
3.2 Proteções em software	15
3.3 Fragilidades das proteções em hardware e software	15
4 HARDWARE ADAPTATIVO PARA TOLERÂNCIA A FALHAS	16
4.1 Porque adaptativo?	16
4.2 Arquitetura proposta	16
4.2.1 Máquina de estados para a técnica EDDI	16
4.2.2 Máquina de estados para a técnica 2	16
4.2.3 Máquina de estados para a técnica 3	16
4.3 Metodologia de verificação adaptada a uma campanha de injeção de falhas	16
4.3.1 Metodologia de Verificação Universal	16
4.3.2 Experimentos de injeção de falhas em simulação	16
4.3.2.1 Biblioteca de injeção de falhas usando VPI	16
4.3.2.2 Premissas ao se injetar falhas	16
4.4 Integrando as máquinas de estados propostas	16
5 ANÁLISE E RESULTADOS DA PESQUISA	17
5.1 Casos de teste usando o módulo RadFTAH	17
6 CONCLUSÃO	18
6.1 Trabalhos Futuros	18
7 EXEMPLOS DE USO DO L^AT_EX	19
7.1 Figuras e tabelas	19
7.1.1 Formato de Figuras	20
7.1.2 Classificação dos etc.	20
7.2 Sobre as referências bibliográficas	21
REFERÊNCIAS	22
APÊNDICE A — CONTRIBUIÇÕES	23

1 INTRODUÇÃO

“Little by little, one travels far.”

— J.R.R. TOLKIEN

As prospecções do International Technology Roadmap for Semiconductors (ITRS) preveem que em pouco tempo teremos transistores de menos de meia dezena de nanômetros, além de tecnologias com múltiplos gates(MGT) e isso implica em: menor confiabilidade dos transistores, manifestações de efeitos da radiação ao nível do mar, menores capacitâncias(menores cargas armazenadas), menores margens de ruído e menor consumo.(MASSENGILL et al., 2012)

Enquanto a tecnologia avança no sentido da escalabilidade, a radiação e seus efeitos permanecem como um fenômeno prejudicial ao correto funcionamento dos circuitos eletrônicos, afetando ainda mais estes a cada mudança de nó tecnológico. O que antes era foco de atenção quase que exclusivamente no setor aeroespacial, vem a ser preocupação também ao nível do mar.(MASSENGILL et al., 2012)

O entendimento de um tipo de evento causado pela radiação, o *Single-Event Upset*(SEU), é reconhecidamente uma das preocupações-chave no que tange a confiabilidade dos circuitos para a tecnologia atual e futura. A natureza deste evento tem origem numa partícula carregada que passa por um dispositivo microeletrônico e ioniza o material pelo caminho percorrido. Ao ocorrer esta ionização, são gerados pares elétron-lacuna. Os portadores livres(elétrons e lacunas) eventualmente serão recombinados. Esta recombinação pode ser evitada em condições apropriadas de operação de um dispositivo, através dos campos elétricos internos. Com isso, um pulso elétrico é gerado, sendo grande o suficiente para interromper o funcionamento normal do dispositivo. Este fenômeno não está associado a um dano permanente no dispositivo, porém o resultado é um erro num bit. O fenômeno é chamado de *Single-Event Upset*(SEU), ou ainda, *soft error* ou *soft failure*(TANG; RODBELL, 2003). Segundo o dicionário de termos usados na área aeroespacial da NASA (2010), SEUs são descritos de forma semelhante com a seguinte definição:

Single Event Upsets: Radiation-induced errors in microelectronic circuits caused when charged particles(usually from the radiation belts or from cosmic rays) lose energy by ionizing the medium through which they pass, leaving behind a wake of electron-hole pairs.

Nota-se que nesta definição são incluídas possíveis fontes das partículas: cinturões de radiação ou raios cósmicos.

1.1 Objetivos

Este trabalho tem como objetivo principal realizar uma pesquisa e implementação de um hardware adaptativo para tolerância a falhas utilizando técnicas para microprocessadores já consagradas na literatura científica da área.

Para alcançar esta meta principal, o percurso da pesquisa inclui objetivos secundários, sejam eles:

- Realizar uma revisão bibliográfica sobre: as técnicas de tolerância a falhas em microprocessadores, as metodologias de verificação de hardware, técnicas de injeção de falhas e sobre o fenômeno da radiação cósmica em circuitos eletrônicos;
- Solidificar os conhecimentos sobre a arquitetura MIPS através do conhecimento do microprocessador escolhido para o trabalho;
- Ser capaz de selecionar uma metodologia de verificação de hardware e também de injeção de falhas a ser utilizada em conjunto com o simulador para uma campanha de injeção de falhas;
- Selecionar algumas técnicas de tolerância a falhas para serem implementadas no hardware;
- Propor *datapath* e controle para cada técnica de tolerância a falhas selecionada para compôr o hardware;
- Integrar as técnicas para um funcionamento contínuo do sistema, sendo assim adaptativo às diversas situações do ambiente injetor de falhas.

1.2 Justificativa

A avaliação de diversas técnicas de detecção de erros em software, com o objetivo de proteger processadores contra falhas transientes e ainda, a implementação em hardware de forma a atuar dinamicamente selecionando qual a melhor técnica tem relevância no contexto de uso de sistemas microprocessados em ambientes hostis cuja exposição à radiação ou ainda, influência eletromagnética podem causar efeitos inesperados no comportamento do circuito, aproveitando o menor custo computacional disponível para uma dada taxa de erros detectados.

1.3 Expectativas

Espera-se que com o hardware desenvolvido e o ambiente injetor de falhas seja possível comparar o custo, em tempo de processamento adicional, necessário para a execução de um mesmo algoritmo aplicando-se cada técnica disponível no módulo. Para que isso seja possível, um dicionário de dados e uma análise da cobertura de falhas devem ser explorados ao decorrer da campanha de injeção de falhas.

É possível que com os resultados decorrentes da injeção de falhas em diversos pontos do processador sejam utilizados para realizar uma análise dos pontos mais suscetíveis a falhas no projeto do processador.

Além do tempo de processamento, é esperado obter um tamanho em portas lógicas para este hardware, já que é uma métrica interessante para efeitos comparativos com o processador em si. No caso de uma implementação no mesmo *die*, é importante saber qual o espaço adicional que o módulo ocuparia.

2 CONTEXTO DA PESQUISA

2.1 O processador miniMIPS

2.2 A Origem de tudo: As 3 causas de problemas com a radiação cósmica

2.3 *Background* de tolerância a falhas

2.3.1 Radiação e Efeitos

2.3.2 Eletrônica, SEUs e SETs

2.3.3 Métricas para avaliar suscetibilidade dos circuitos

2.3.4 Técnicas de detecção de erros em processadores

2.3.5 Técnicas de mitigação para SEUs e SETs em processadores

3 ROBUSTECIMENTO DE PROCESSADORES CONTRA EFEITOS DA RADIAÇÃO CÓSMICA

“The scientific man does not aim at an immediate result. His duty is to lay the foundation for those who are to come, and point the way.”

— NIKOLA TESLA

3.1 Proteções em hardware

3.2 Proteções em software

3.3 Fragilidades das proteções em hardware e software

4 HARDWARE ADAPTATIVO PARA TOLERÂNCIA A FALHAS

4.1 Porque adaptativo?

4.2 Arquitetura proposta

4.2.1 Máquina de estados para a técnica EDDI

4.2.2 Máquina de estados para a técnica 2

4.2.3 Máquina de estados para a técnica 3

4.3 Metodologia de verificação adaptada a uma campanha de injeção de falhas

4.3.1 Metodologia de Verificação Universal

4.3.2 Experimentos de injeção de falhas em simulação

4.3.2.1 Biblioteca de injeção de falhas usando VPI

4.3.2.2 Premissas ao se injetar falhas

4.4 Integrando as máquinas de estados propostas

5 ANÁLISE E RESULTADOS DA PESQUISA

Segundo (ABATE; STERPONE; VIOLANTE, 2008), tal coisa assim assim assado...

Segundo (ARORA; KULKARNI, 1998), tal coisa assim assim assado...

5.1 Casos de teste usando o módulo RadFTAH

6 CONCLUSÃO

“One never notices what has been done; one can only see what remains to be done.”

— MARIE CURIE

Concluindo...

6.1 Trabalhos Futuros

A melhora disso ou daquilo.... como trabalho futuro.

Uma nova implementação da técnica XYZ... também é justificada por tal e tal motivo.

A exploração em outra arquitetura de microprocessador tal e tal ajudaria nisso naquilo ou naquilo outro...

7 EXEMPLOS DE USO DO L^AT_EX

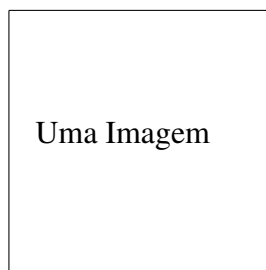
No início dos tempos, Donald E. Knuth criou o T_EX. Algum tempo depois, Leslie Lamport criou o L^AT_EX. Graças a eles, não somos obrigados a usar o Word nem o LibreOffice.

7.1 Figuras e tabelas

Esta seção faz referência às Figuras 7.1, 7.2 e 7.3, a título de exemplo. A primeira figura apresenta a estrutura de uma figura. A *descrição* deve aparecer **acima** da figura. Abaixo da figura, deve ser indicado a origem da imagem, mesmo se essa for apenas os autores do texto. Segundo (ZIADE et al., 2004), blah blhah blah... Os artigos de (AZAMBUJA, 2010; ABATE; STERPONE; VIOLANTE, 2008; AL-YAMANI; OH; MCCLUSKEY, ; ALKHALIFA et al., 1999) servem de exemplos disso, daquilo e daquilo outro...

A Figura 7.2 representa o caso mais comum, onde a figura propriamente dita é importada de um arquivo (neste exemplo em formato eps ou pdf. Veja a seção 7.1.1). A Figura 7.3 exemplifica o uso do environment `picture`, para desenhar usando o próprio L^AT_EX.

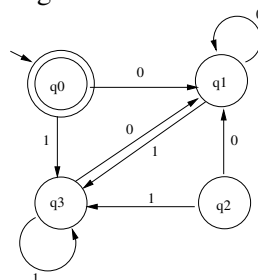
Figura 7.1 – Descrição da Figura deve ir no topo



Fonte: Os Autores

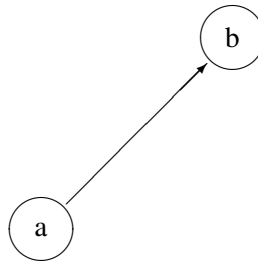
Tabelas são construídas com praticamente os mesmos comandos. Ver a tabela 7.1.

Figura 7.2 – Exemplo de figura importada de um arquivo e também exemplo de caption muito grande que ocupa mais de uma linha na Lista de Figuras



Fonte: Os Autores

Figura 7.3 – Exemplo de figura desenhada com o environment `picture`.



Fonte: Os Autores

Tabela 7.1 – Uma tabela de Exemplo

<i>Col 1</i>	<i>Col 2</i>	<i>Col 3</i>
Val 1	Val 2	Esta coluna funciona como um parágrafo, tendo uma margem definida em 5cm. Quebras de linha funcionam como em qualquer parágrafo do tex.
Valor Longo	Val 2	Val 3

Fonte: Os Autores

7.1.1 Formato de Figuras

O LaTeX permite utilizar vários formatos de figuras, entre eles *eps*, *pdf*, *jpeg* e *png*. Programas de diagramação como Inkscape (e mesmo LibreOffice) permitem gerar arquivos de imagens vetoriais que podem ser utilizados pelo LaTeX sem dificuldade. Pacotes externos permitem utilizar SVG e outros formatos.

Dia e xfig são programas utilizados por dinossauros para gerar figuras vetoriais. Se possível, evite-os.

7.1.2 Classificação dos etc.

O formato adotado pela ABNT prevê apenas três níveis (capítulo, seção e subseção). Assim, `\subsubsection` não é aconselhado.

7.2 Sobre as referências bibliográficas

A classe *iiufrgs* faz uso do pacote *abnTeX2* com algumas alterações feitas por Sandro Rama Fiorini. Culpe ele se algo der errado. Agradeça a ele pelo que der certo. As modificações dão uma camada de tinta NATBIB-style, já que o *abntex2* usa uns comandos de citação feitos para alienígenas de 5 braços wtf. Exemplos de citação:

- *cite*: Unicórnios são verdes (NICOLAIDIS, 2011);
- *citep*:Unicórnios são verdes SimondDavidmann2014;
- *citet*: Segundo Nicolaidis2011, unicórnios são verdes.
- *citen or citenum*: Segundo Rebaudengo, Reorda and Violante (2004), unicórnios são verdes.
- *citeauthor e citeyearpar*: Segundo artigos de ALKHALIFA et al., unicórnios são verdes 2011.

O estilo *abnt* fornecido antigamente pelo UTUG não é mais recomendado, pois não produz saída de acordo com as exigências da biblioteca.

Recomenda-se o uso de *bibtex* para gerenciar as referências (veja o arquivo *biblio.bib*).

REFERÊNCIAS

ABATE, F.; STERPONE, L.; VIOLANTE, M. A new mitigation approach for soft errors in embedded processors. **Nuclear Science, IEEE Transactions on**, v. 55, n. 4, p. 2063–2069, Aug 2008. ISSN 0018-9499.

AL-YAMANI, A. A.; OH, N.; MCCLUSKEY, E. J. **Algorithm-Based Fault Tolerance: A Performance Perspective Based on Error Rate**. Available from Internet: <http://crc.stanford.edu/crc_papers/alyamaniDSN01.pdf>.

ALKHALIFA, Z. et al. Design and evaluation of system-level checks for on-line control flow error detection. **Parallel and Distributed Systems, IEEE Transactions on**, v. 10, n. 6, p. 627–641, Jun 1999. ISSN 1045-9219.

ARORA, A.; KULKARNI, S. Designing masking fault-tolerance via nonmasking fault-tolerance. **Software Engineering, IEEE Transactions on**, v. 24, n. 6, p. 435–450, Jun 1998. ISSN 0098-5589.

AZAMBUJA, J. R. F. d. **Análise de técnicas de tolerância a falhas baseadas em software para a proteção de microprocessadores**. Dissertation (Master) — Universidade Federal do Rio Grande do Sul, Instituto de Informática, 2010. Available from Internet: <<http://hdl.handle.net/10183/49076>>.

MASSENGILL, L. et al. Technology scaling and soft error reliability. In: **Reliability Physics Symposium (IRPS), 2012 IEEE International**. [S.l.: s.n.], 2012. p. 3C.1.1–3C.1.7. ISSN 1541-7026.

NASA. **NASA Thesaurus**. [S.l.]: NASA Scientific and Technical Information Program, 2010.

NICOLAIDIS, M. (Ed.). **Soft Errors in Modern Electronic Systems**. Springer, 2011. 318 p. Available from Internet: <<http://link.springer.com/978-1-4419-6993-4>>.

REBAUDENGO, M.; REORDA, M.; VIOLANTE, M. A new approach to software-implemented fault tolerance. **Journal of Electronic Testing**, Kluwer Academic Publishers, v. 20, n. 4, p. 433–437, 2004. ISSN 0923-8174. Available from Internet: <<http://dx.doi.org/10.1023/B%3AJETT.0000039610.30724.b2>>.

TANG, H. H.; RODBELL, K. P. Single-event upsets in microelectronics: Fundamental physics and issues. **MRS Bulletin**, v. 28, p. 111–116, 2 2003. ISSN 1938-1425. Available from Internet: <http://journals.cambridge.org/article_S0883769400017504>.

ZIADE, H. et al. A survey on fault injection techniques. **Int. Arab J. Inf. Technol.**, v. 1, n. 2, p. 171–186, 2004.

APÊNDICE A — CONTRIBUIÇÕES