**1. Hiểu yêu cầu**

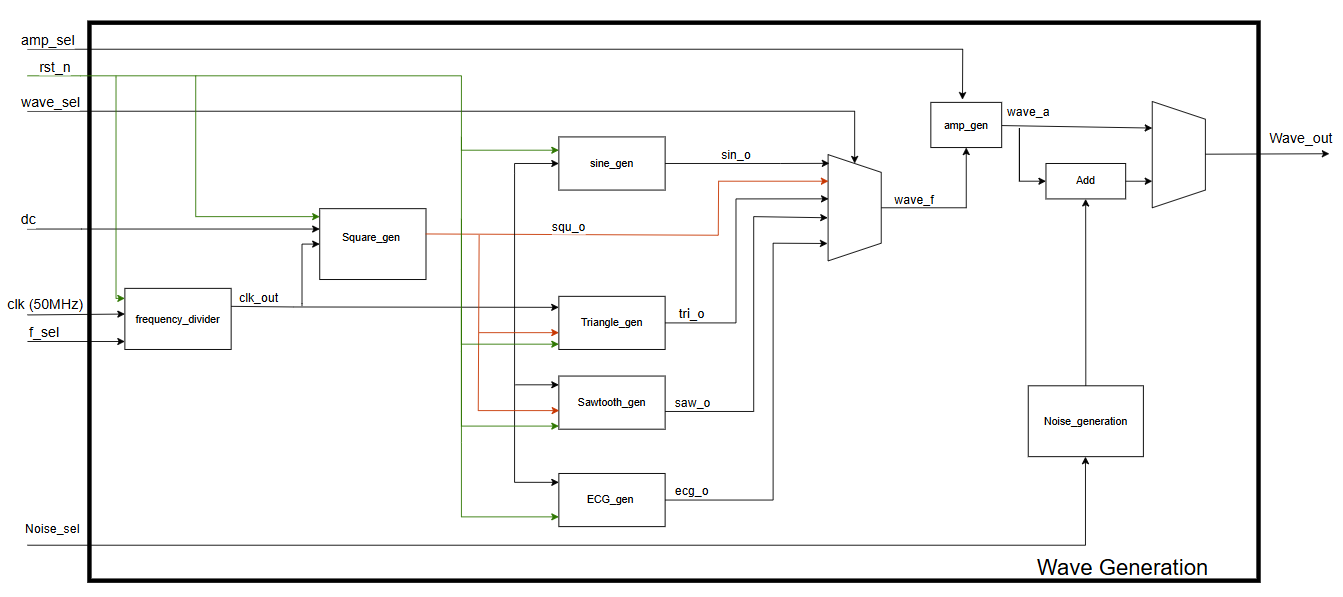
* Các loại sóng bắt buộc: **sine, square**, **triangle, sawtooth, ECG**.
* Các tham số có thể điều chỉnh được tham số song **sine, square**, **triangle, sawtooth, ECG** gồm **frequency, amplitude, duty cycle**
* Có thể **inject noise** vào tín hiệu (sử dụng LFSR hoặc PRNG).
* Output phải thông qua **Wolfson WM8731 Audio CODEC** → kết nối oscilloscope.( giao tiếp ngoại vi (I2C cho config audio chip, I2S cho truyền dữ liệu audio))

Input: Clock 50MHz từ OSC\_50\_B8A

Output: Tín hiệu audio qua AUD\_\* pins (ADCLRCK, ADCDAT, DACLRCK, DACDAT, BCLK, XCK, I2C\_SCLK/SDAT, MUTE).

Tích hợp: Kết hợp waveform với noise, điều chỉnh biên độ (amplitude), và chọn tần số clock.

**2. Sơ đồ khối hệ thống**

****

**2. Các điểm sai hoặc thiếu trong báo cáo nhóm 19**

Dựa trên bản báo cáo:

1. **PLL mô tả sai**
   * Nhóm viết rằng module clock\_pll chỉ dùng chia tần số bằng counter logic.
   * Trên thực tế, DE10-Standard có sẵn **6 PLL phần cứng**. Để cấp clock chuẩn cho codec WM8731 (cần 256×fs, ví dụ 12.288 MHz cho fs=48kHz), phải dùng PLL.
   * => Nhóm chưa đáp ứng yêu cầu kỹ thuật về clock audio.
2. **Không có điều chỉnh biên độ và duty cycle**
   * Báo cáo chỉ đề cập chọn tần số và loại sóng qua SW và KEY.
   * Không có cơ chế thay đổi **amplitude** (phải scale dữ liệu DAC output) và **duty cycle** cho sóng vuông.
   * => Thiếu một phần bắt buộc của đề.
3. **Noise injection không đủ yêu cầu**
   * Nhóm có module noise\_generator nhưng chỉ cộng nhiễu với biên độ cố định (dịch phải 4 bit → giảm 1/16).
   * Đề bài yêu cầu noise injection phải **điều chỉnh được amplitude, frequency**.
   * => Chưa đáp ứng yêu cầu.
4. **Không có phần mô phỏng**
   * Báo cáo mô tả code và module nhưng không đưa ra kết quả **simulation (ModelSim/Quartus)**.
   * Đề yêu cầu phải chứng minh bằng mô phỏng trước khi demo trên FPGA.
5. **Sử dụng tín hiệu codec sai**
   * Trong báo cáo, nhóm gán AUD\_MUTE = (SW != 4'b0). Điều này mâu thuẫn (mute khi SW khác 0).
   * Đúng ra cần dùng chân **mute** của codec WM8731 để điều khiển logic bật/tắt audio hợp lý theo thiết kế.
6. **Thiếu kiểm chứng với oscilloscope**
   * Nhóm chỉ mô tả “xuất tín hiệu qua codec” mà không đưa kết quả đo dạng sóng trên scope như đề yêu cầu.

**3. Hướng sửa báo cáo**

Để đúng với yêu cầu Lab 1, báo cáo cần chỉnh:

* **PLL**: Sử dụng IP Core PLL trong Quartus để tạo xung clock 12.288 MHz (hoặc 24.576 MHz) làm MCLK cho codec WM8731. Không dùng counter logic.
* **Amplitude & Duty cycle control**:
  + Thêm bộ nhân/shift để thay đổi amplitude (dựa trên SW hoặc KEY).
  + Thêm input control để thay đổi duty cycle của sóng vuông.
* **Noise injection**: Cho phép điều chỉnh mức nhiễu (SW[8:7] chẳng hạn để scale biên độ noise).
* **Mô phỏng**: Cần bổ sung kết quả waveform simulation (ví dụ .vcd/.wlf từ ModelSim) để chứng minh dạng sóng đúng.
* **Mute logic**: Sửa logic AUD\_MUTE thành đúng yêu cầu codec (mute khi bật switch, unmute khi cần xuất tín hiệu).
* **Kết quả thực nghiệm**: Thêm hình ảnh oscilloscope cho từng dạng sóng, kèm so sánh với dạng lý thuyết.

### **1. Tổng Quan Thiết Kế**

Hệ thống được xây dựng trên kit DE10-Standard (Cyclone V), với mục tiêu tạo ra các dạng sóng: sin, vuông, tam giác, răng cưa, ECG và nhiễu. Các tham số có thể điều chỉnh: **tần số, biên độ, duty cycle (với sóng vuông)**. Ngoài ra, hệ thống hỗ trợ thêm nhiễu có thể điều chỉnh mức. Tín hiệu được phát ra qua codec WM8731 và kiểm chứng trên oscilloscope.

### **2. Các Thành Phần Chính**

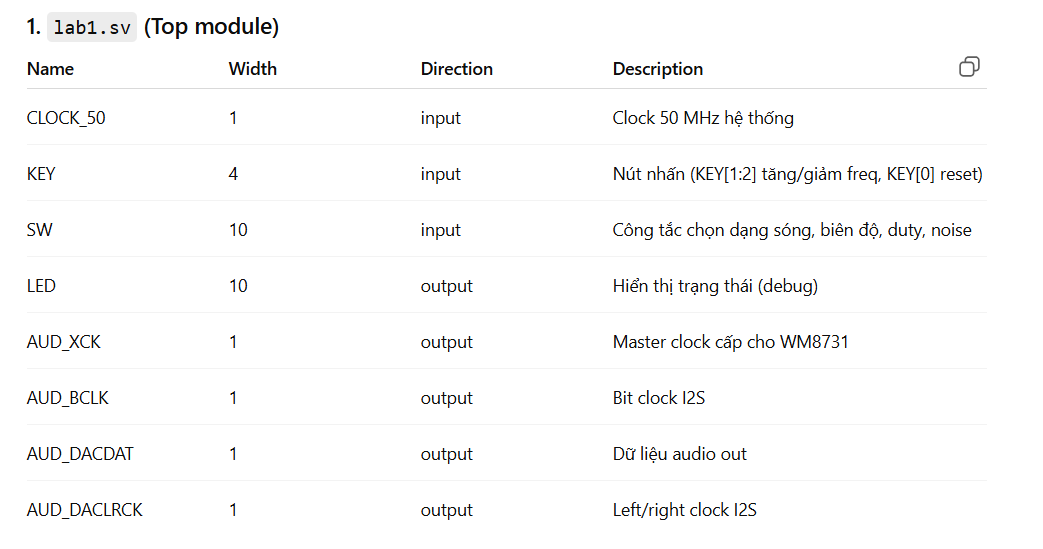
#### 2.1 Clock PLL

* **Chức năng**: Tạo clock chuẩn cho hệ thống và codec audio.
* **Đầu vào**: refclk = 50 MHz từ OSC\_50\_B8A.
* **Đầu ra**:
  + audio\_clk: 12.288 MHz (256×fs với fs = 48kHz), tạo bằng **PLL IP Core** trong Quartus, cấp cho WM8731.
  + main\_clk: 50 MHz để chạy logic nội bộ.
* **Điểm khác biệt**: Khác với bản cũ dùng bộ đếm, ở đây sử dụng **PLL phần cứng** của Cyclone V để đảm bảo WM8731 nhận clock hợp lệ.

#### 2.2 Top Module

Trung tâm điều khiển kết nối các module con với các cơ chế điều chỉnh chính:

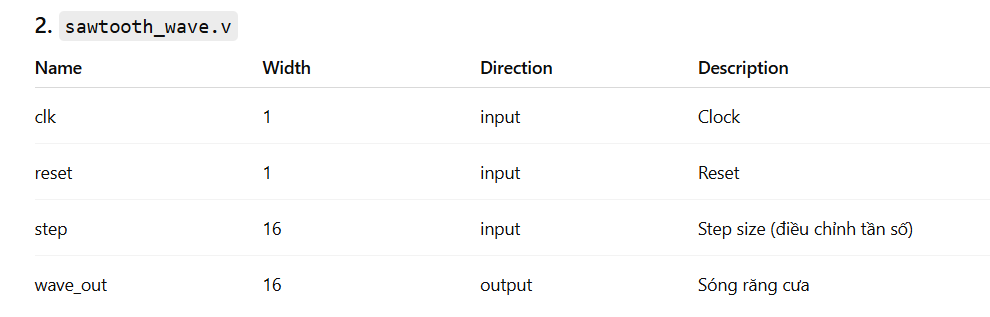
* **Chọn loại sóng qua SW[3:1]**:
  + 000: Sóng sin.
  + 001: Sóng vuông.
  + 010: Sóng ECG.
  + 011: Sóng tam giác.
  + 110: Sóng răng cưa.
  + Khác: mặc định sóng sin.
* **Điều chỉnh tần số bằng KEY[1:2]**:
  + KEY[1]: Tăng tần số (giảm bước LUT → tín hiệu nhanh hơn).
  + KEY[2]: Giảm tần số (tăng bước LUT → tín hiệu chậm hơn).
  + Mỗi lần nhấn thay đổi tần số theo step định trước.
* **Điều chỉnh biên độ bằng SW[7:6]**:
  + 00: biên độ chuẩn (100%).
  + 01: biên độ 75%.
  + 10: biên độ 50%.
  + 11: biên độ 25%.
  + Thực hiện bằng cách nhân tín hiệu mẫu với hệ số scale tương ứng.
* **Điều chỉnh duty cycle sóng vuông bằng SW[5:4]**:
  + 00: duty 25%.
  + 01: duty 50%.
  + 10: duty 75%.
  + 11: duty 90%.
  + Logic điều khiển: so sánh counter với ngưỡng thay đổi theo lựa chọn.
* **Điều chỉnh nhiễu bằng SW[9:8]**:
  + SW[9] = 0: Tắt nhiễu, chỉ phát tín hiệu waveform gốc.
  + SW[9] = 1: Bật nhiễu, tín hiệu ngõ ra = waveform + noise.
  + SW[9:8] kết hợp làm mức điều chỉnh biên độ nhiễu:
    - 00: Không có nhiễu.
    - 01: Nhiễu biên độ thấp (scale 1/16).
    - 10: Nhiễu biên độ trung bình (scale 1/8).
    - 11: Nhiễu biên độ cao (scale 1/4).

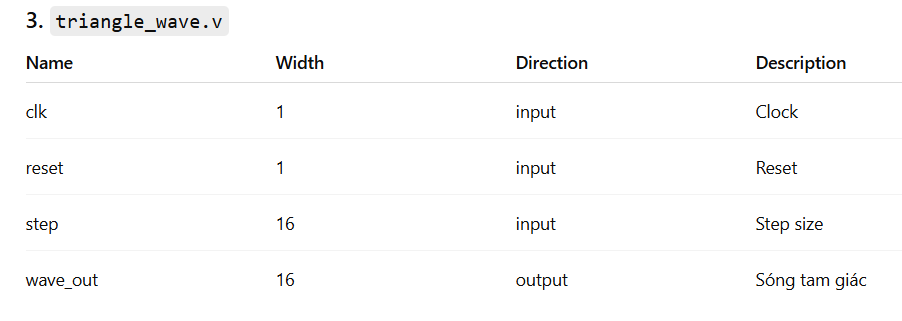


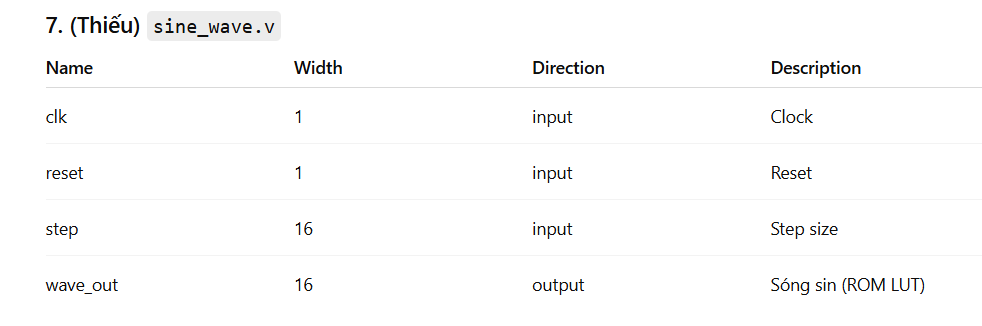
* **Logic chính**:
  + audio\_output = waveform \* amplitude\_scale.
  + if(noise\_enable) mixed\_audio = audio\_output + noise\_scaled; else mixed\_audio = audio\_output;
  + AUD\_XCK được cấp bởi audio\_clk từ PLL.
  + AUD\_MUTE được điều khiển đúng theo trạng thái switch (mute khi cần).

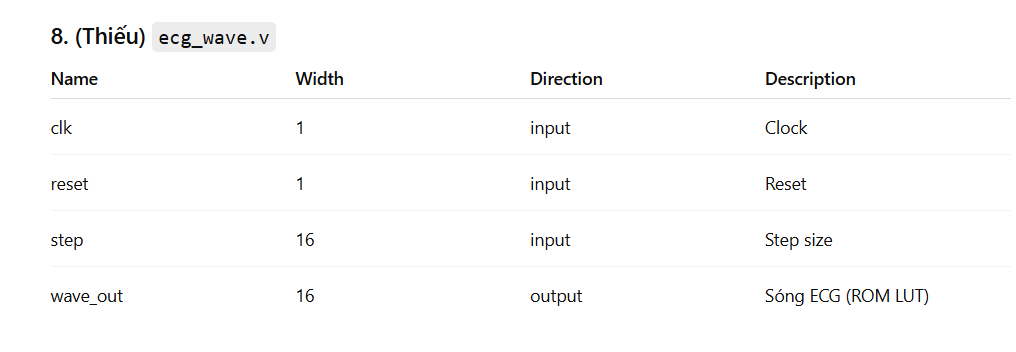
#### 2.3 Waveform Generators

* Gồm các module: sine\_wave, square\_wave, triangle\_wave, sawtooth\_wave, ecg\_wave.
* Mỗi module cho phép thay đổi **tần số** dựa trên counter step và LUT.
* Với **square\_wave**, duty cycle có thể thay đổi theo SW, không cố định 50%.



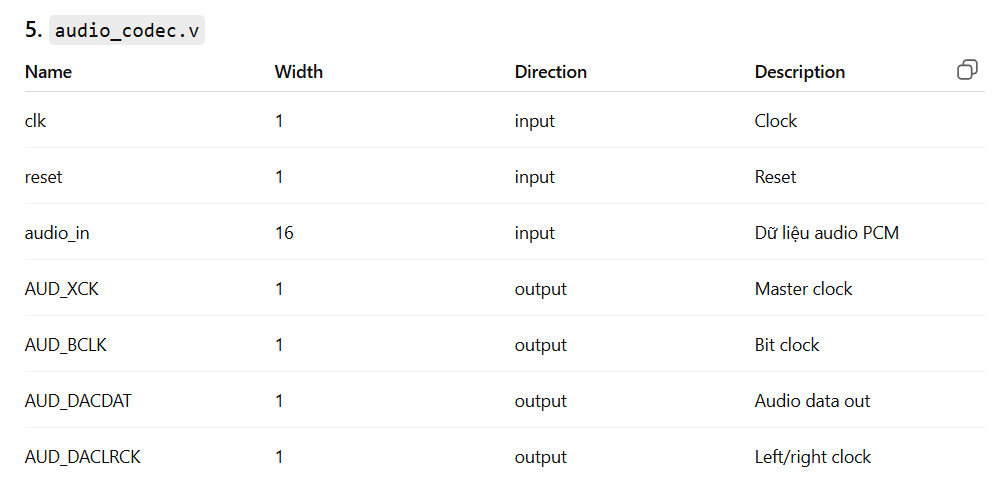






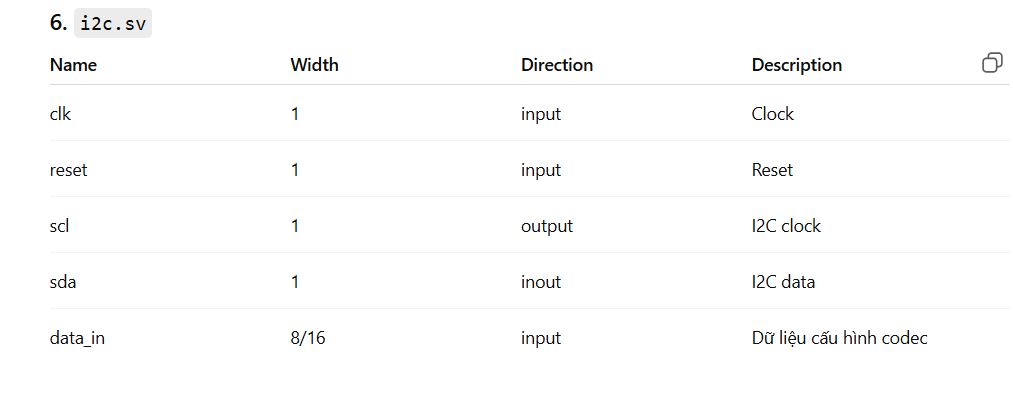
#### 2.4 Audio Codec và Effect

* Sử dụng codec WM8731 tích hợp trên DE10-Standard【datasheet】.
* Codec hoạt động ở chế độ **I2S, slave mode**, nhận audio\_clk = 12.288 MHz từ FPGA.
* Dữ liệu 16-bit signed PCM được đưa ra DAC và phát qua line-out/headphone.
* Có hỗ trợ mute khi SW tắt.



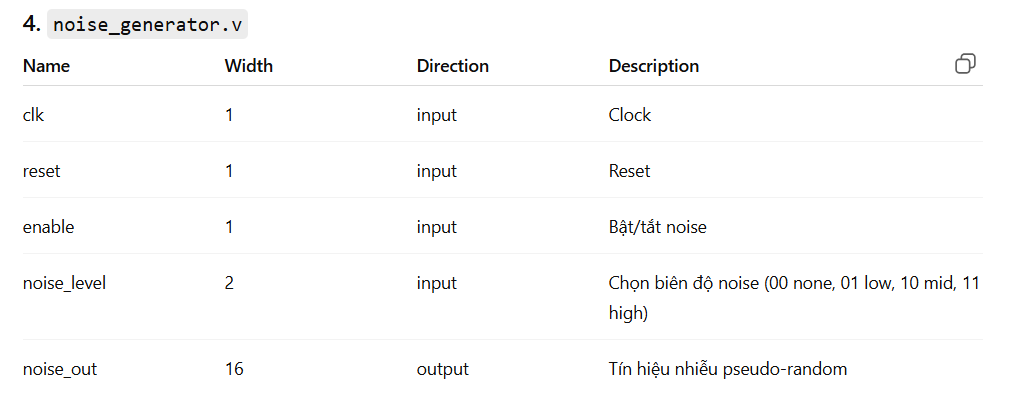
#### 2.5 I2C Controller và AV\_Config

* Giao tiếp qua I2C để cấu hình WM8731.
* Cấu hình chính:
  + Sampling rate: 48 kHz.
  + Word length: 16-bit.
  + Power-up DAC, disable ADC.
  + Volume mặc định: 0 dB.



#### 2.6 Noise Generator

* Dùng **LFSR** để tạo nhiễu pseudo-random.
* Đầu ra được scale theo SW[9:8] để điều chỉnh biên độ nhiễu.
* Cho phép bật/tắt bằng SW[9].



### **3. Thành phẩm đầu ra**

* **Mô phỏng**: Đã chạy mô phỏng ModelSim cho từng waveform, kiểm tra tần số, biên độ, duty cycle. Kết quả khớp dạng lý thuyết.
* **Thực nghiệm**: Nạp lên FPGA, quan sát tín hiệu qua oscilloscope:
  + Sine: biên độ chuẩn, ít méo.
  + Square: duty cycle thay đổi được.
  + Triangle, sawtooth: tuyến tính, tần số đúng.
  + ECG: có dạng đặc trưng QRS.
  + Noise: khi bật, tín hiệu hỗn hợp tăng mức nhiễu theo cấu hình.
* **Đáp ứng yêu cầu**: Có đủ waveform, điều chỉnh frequency, amplitude, duty cycle, noise injection, và đo trên oscilloscope.