



**Министерство науки и высшего образования Российской Федерации**  
**Федеральное государственное бюджетное образовательное учреждение высшего образования**  
**«Московский государственный технический университет имени Н.Э. Баумана**  
**(национальный исследовательский университет)»**  
**(МГТУ им. Н.Э. Баумана)**

---

**ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

**КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ**

**О Т Ч Е Т**

**по лабораторной работе № 1**

**Название:** Проектирование систем на кристалле на основе ПЛИС

**Дисциплина:** Архитектура ЭВМ

Студент

ИУ7-52Б

(Группа)

\_\_\_\_\_  
(Подпись, дата)

В.М. Короткая

(И.О. Фамилия)

Преподаватель

\_\_\_\_\_  
(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2021

**Цель работы:** изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы студенты ознакомятся с принципами построения систем на кристалле (СНК) на основе ПЛИС, получат навыки проектирования СНК в САПР Altera Quartus II, выполнят проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

В данной лабораторной работе необходимо реализовать в САПР Quartus II систему на кристалле, структура которой представлена на рисунке 1.

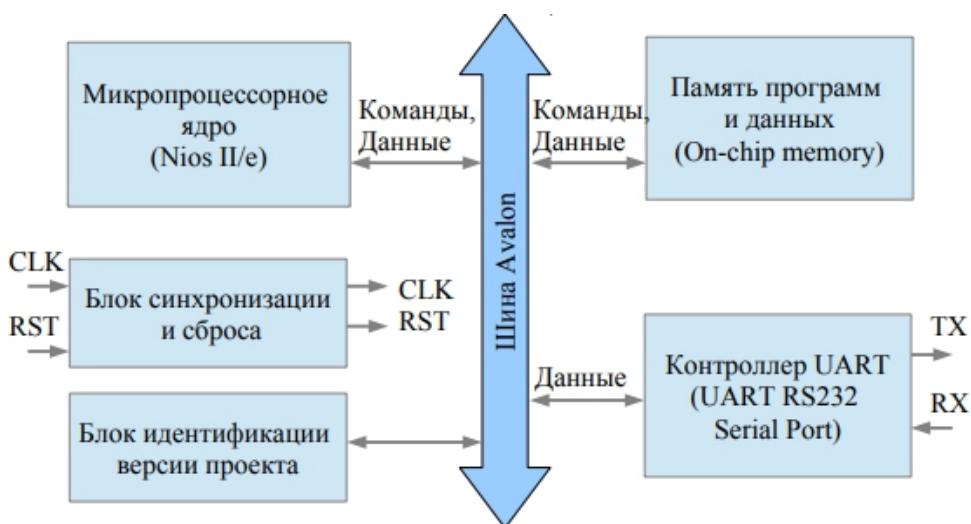


Рисунок 1 – Функциональная схема разрабатываемой системы

### Практическая часть

Создан проект в САПР Quartus II и новый модуль системы на кристалле QSYS (рисунок 2).





## UART (RS-232 Serial Port)

altera\_avalon\_uart

**Block Diagram**  
☐ Show signals

```
graph LR
    clk --> uart_0
    reset --> uart_0
    s1 --> uart_0
    external_connection --> uart_0
    uart_0 -- clock --> clock
    uart_0 -- reset --> reset
    uart_0 -- avalon --> avalon
    uart_0 -- conduit --> conduit
    uart_0 -- interrupt --> irq
```

**Basic settings**  
Parity: NONE  
Data bits: 8  
Stop bits: 1  
Synchronizer stages: 2  
☐ Include CTS/RTS  
☐ Include end-of-packet

**Baud rate**  
Baud rate (bps): 115200  
Baud error: 0.01  
☒ Fixed baud rate

Рисунок 5 - Настройки контроллера UART



## On-Chip Memory (RAM or ROM)

altera\_avalon\_onchip\_memory2

**Block Diagram**  
☐ Show signals

```
graph LR
    clk1 --> onchip_memory2_0
    s1 --> onchip_memory2_0
    reset1 --> onchip_memory2_0
    onchip_memory2_0 -- clock --> clock
    onchip_memory2_0 -- avalon --> avalon
    onchip_memory2_0 -- reset --> reset
```

**Memory type**  
Type: RAM (Writable)  
☐ Dual-port access  
☐ Single clock operation  
Read During Write Mode: DONT\_CARE  
Block type: AUTO

**Size**  
Data width: 32  
Total memory size: 8196 bytes  
☐ Minimize memory block usage (may impact fmax)

**Read latency**  
Slave s1 Latency: 1  
Slave s2 Latency: 1

**Memory initialization**  
☒ Initialize memory content  
☐ Enable non-default initialization file  
Type the filename (e.g. my\_ram.hex) or select the hex file using the file browser button.  
User created initialization file: onchip\_mem.hex  
☐ Enable In-System Memory Content Editor feature  
Instance ID: NONE  
**Memory will be initialized from nios\_onchip\_memory2\_0.hex**

Рисунок 6 - Настройки On-Chip Memory

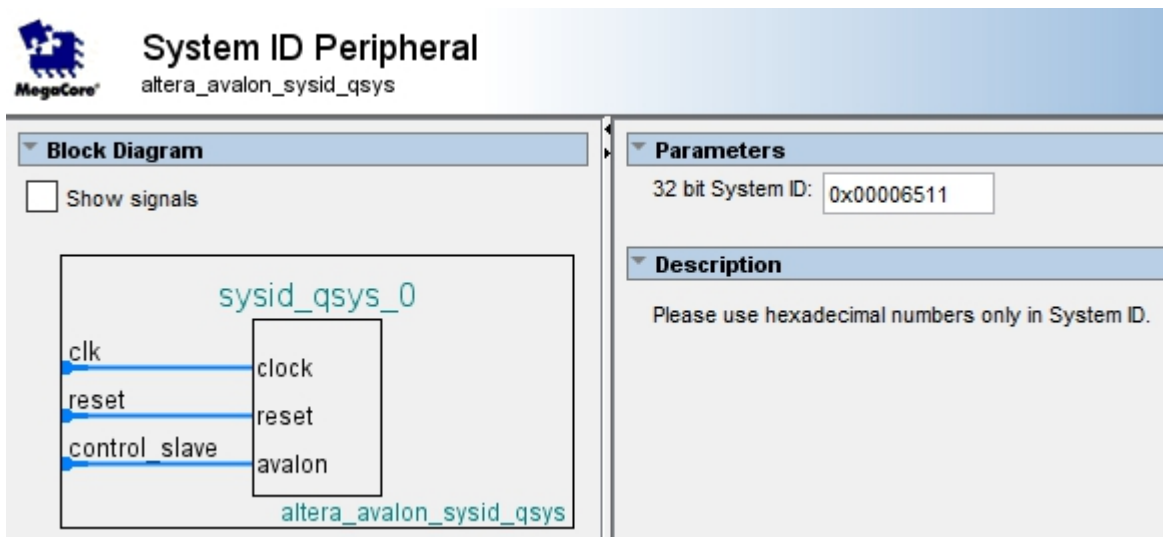


Рисунок 7 – Настройки блока идентификации

На рисунке 8 показана таблица распределения адресов модулей в системе на кристалле.

System Contents	Address Map	Clock Settings	Project Settings	Instance Parameters	System Inspector	HDL Example	Generation
	nios2_qsys_0.data_master				nios2_qsys_0.instruction_master		
nios2_qsys_0.jtag_debug_module	0x8800 - 0x8fff			0x8800 - 0x8fff			
onchip_memory2_0.s1	0x4000 - 0x6003			0x4000 - 0x6003			
sysid_qsys_0.control_slave	0x9048 - 0x904f			0x9048 - 0x904f			
uart_0.s1	0x9020 - 0x903f			0x9020 - 0x903f			

Рисунок 8 – Таблица распределения адресов

На рисунке 9 показано назначение портам проекта контактов микросхемы.

# Top View - Wire Bond Cyclone II - EP2C20F484C7

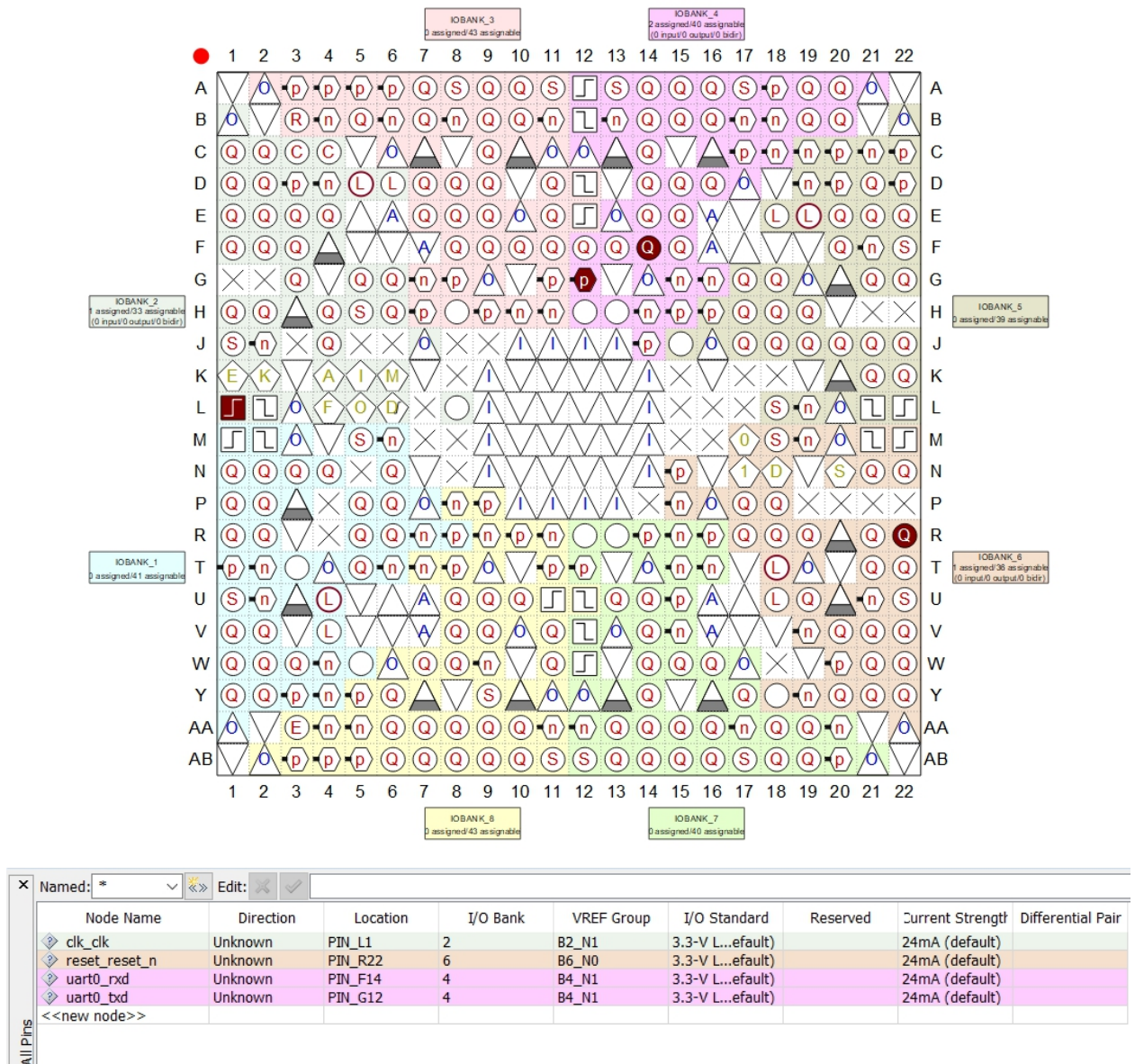


Рисунок 9 – Pin Planner

Код программной части проекта приведён в листинге 1.

Листинг 1 - Код программного проекта Nios II Software Build Tools for Eclipse

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"
int main()
{
    int system_id = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE);
    char group[5];
    char ch;
```

```

int i;
for (i=3; i>=0; i--){
    group[i]=system_id % 10+'0';
    system_id /=10;
}
group[4] = '\0';
alt_putstr(group);
alt_putstr("Hello from System on Chip\n");
/* Event loop never exits. */
while (1){
    ch=alt_getchar();
    alt_putchar(ch);
}

return 0;
}

```

**Вывод:** в ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, принципы построения систем на кристалле (СНК) на основе ПЛИС. Получены навыки проектирования СНК в САПР Altera Quartus II. Выполнено проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board.