



Ausgabe 14.12.2018 Abgabe 18.01.2019, 10:15 (s.t.)

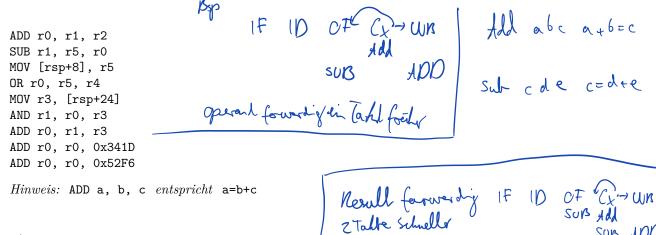
Bitte beachten Sie die allgemeinen Hinweise auf Übungszettel 1

Aufgabe 1: Fließbandverarbeitung

a) Einfache Pipeline

Gehen Sie im Folgenden von einer einfachen 5-stufigen Pipeline aus: Befehl holen (IF), Befehl dekodieren (ID), Operanden holen (OF), Ausführung (EX), Rückspeichern (WB). Weiterhin liegt eine reine Load/Store-Architektur ohne architekturelle Beschleunigungsmaßnahmen (z.B. forwarding, reordering etc.) oder Hardware zur Erkennung von Hemmnissen vor. Operanden können erst dann aus Registern geholt werden, nachdem sie zurück gespeichert wurden. him Reording oder trouvaler

Sorgen Sie dafür dass die folgende Befehlsfolge aus Pseudoinstructions konfliktfrei ausgeführt wird:



b) Verbesserte Pipeline

Gehen Sie jetzt davon aus, dass die Pipeline aus dem vorherigen Aufgabenteil die in der Vorlesung kennengelernten Forwarding-Varianten/Shortcuts verwendet. Sorgen Sie wieder dafür, dass die Befehlsfolge aus dem vorherigen Aufgabenteil konfliktfrei ausgeführt wird.

Aufgabe 2: Bubblesort

Implementieren Sie folgende Funktion:

```
void sort(uint64_t len, int64_t a[len]);
```

Die Funktion soll den Inhalt des Arrays a nach folgendem Pseudocode sortieren:

```
for (i=size(A); i>1; i--) {
    for (j=0; j< i-1; j++)
        if(A[j] > A[j+1]) {
            // Swap entry j and j+1
            tmp = A[j];
            A[j] = A[j+1];
            A[j+1] = tmp;
}
```

Im KVV wird Ihnen ein C-Wrapper gestellt, mit dem Sie Ihre Funktion testen können.

# SIB # 1, # 15, # 10	1 ADD r0, r1, r2	W I			6) , 7	
	2 SUB r1, r5, r0	1 14	IN OF	Exe WB	7) 17	ID OF Exe WB
5 MOV r3, [rsp+24] c AND r1, r0, r3 ADD r0, r1, r3 ADD r0, r0, 0x341D 5 ADD r0, r0, 0x52F6 41 5 41 5 41 7 6 M 5 41 7 7 7 6 M 5 41 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7	→ MOV [rsp+8], r5	1			1	
c AND r1, r0, r3 ADD r0, r1, r3 ADD r0, r0, 0x341D S ADD r0, r0, 0x52F6 UI S UI	ч OR <mark>rO</mark> , r5 , r4	7				
### ADD ro, r1, r3 ### ADD ro, r1, r3 ### ADD ro, r0, 0x341D ### ADD ro, r0, 0x341D ### ADD ro, r0, 0x52F6 ### ADD ro, r0, 0x341D ### ADD ro, r0	5 MOV r3, [rsp+24]		2 1			
\$\text{ADD r0, r0, 0x341D}\$ \$\text{2}\$ \$\text{2}\$ \$\text{3}\$ \$\text{4}\$ \$\text{7}\$	6 AND r1, r0, r3		2	1	3	2 / 1
\$\text{ADD r0, r0, 0x341D}\$ \$\text{2}\$ \$\text{2}\$ \$\text{3}\$ \$\text{4}\$ \$\text{7}\$	→ ADD r0, r1, r3	3		2 1	L	3 2 4 1
			3	2	5	1 3 7 N
	s ADD ro, ro, 0x52F6		3		N	5 1 7 7
5 (1		41		3		
\$ 4		5	C ₁			
5 11						
				Le		
		1				9
		5			0)	
		+ + +		3		
			+ + +			
		8				
						1 1 1 2
			8			
				8		
		5		8		
			-			
			9			
				5		
				5		