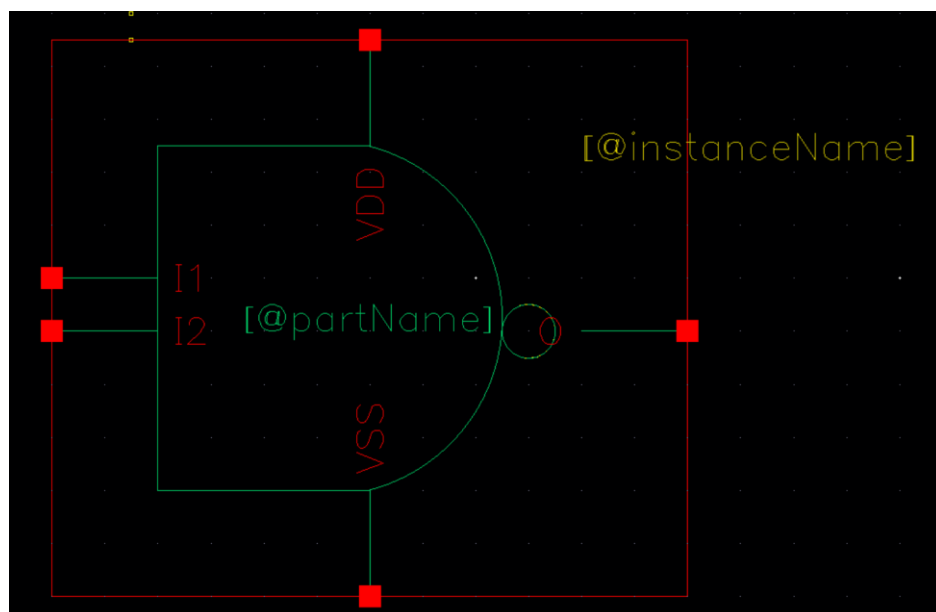
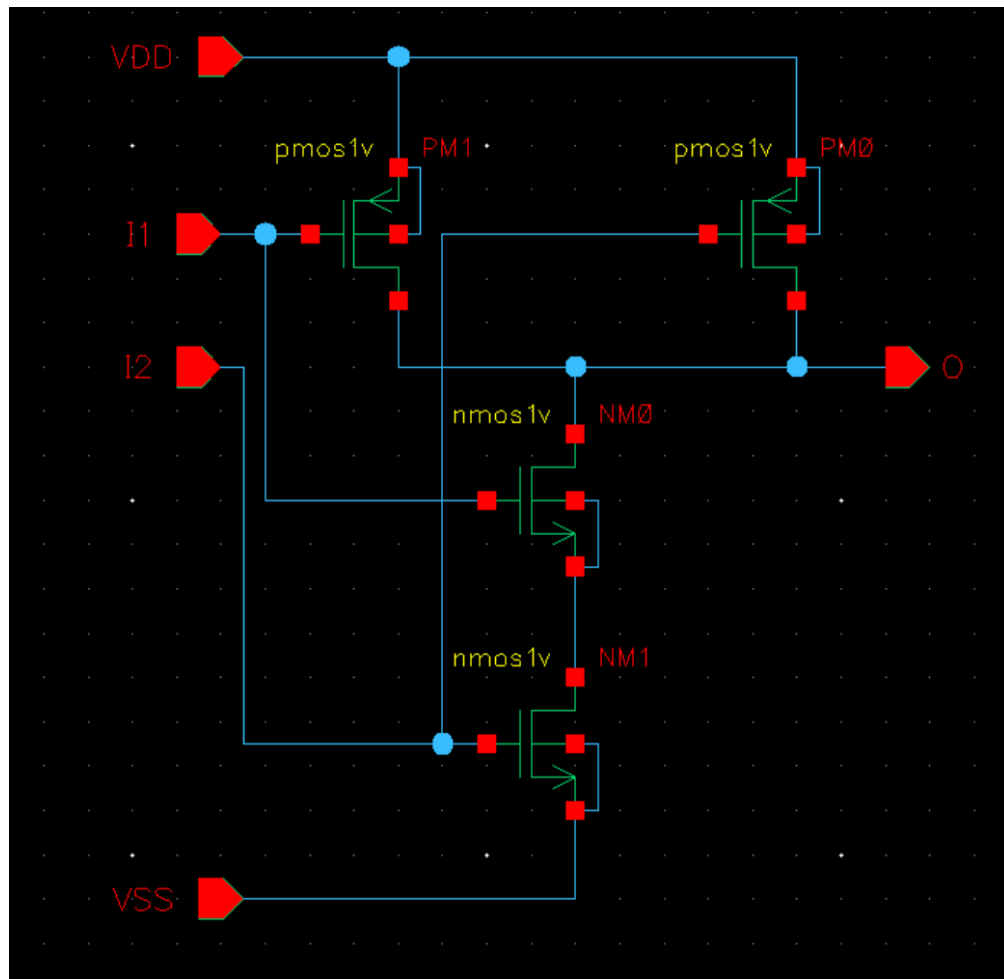


## LAB 4: VIRTUOSO

---

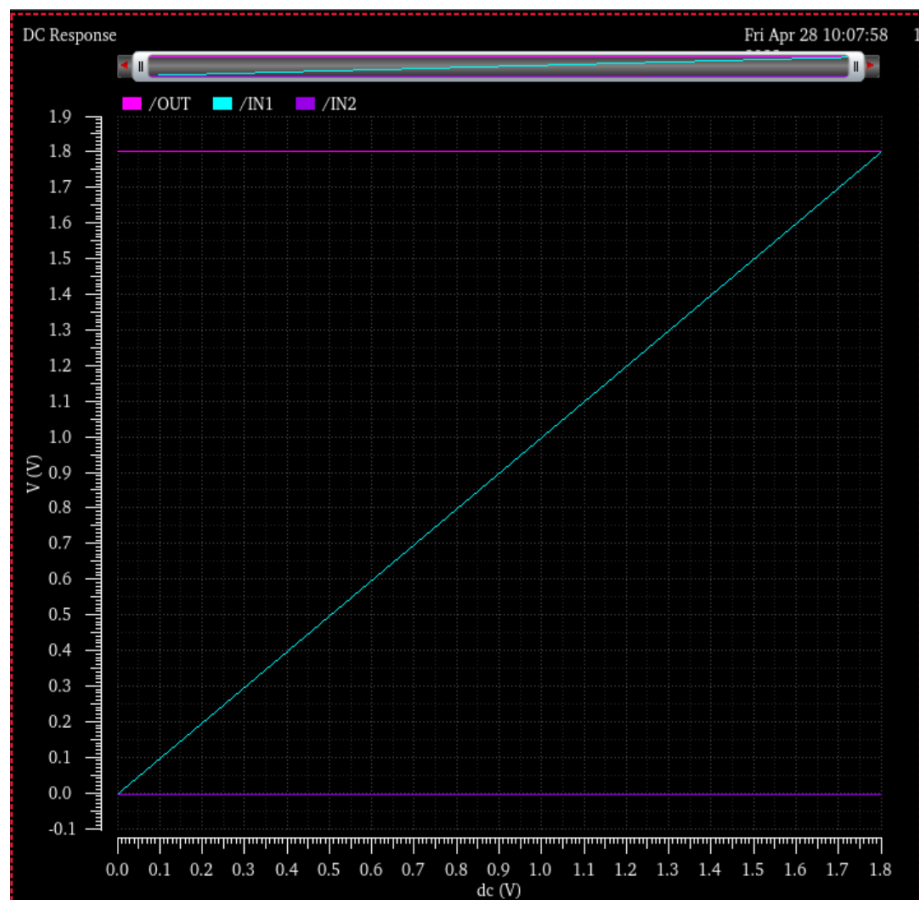
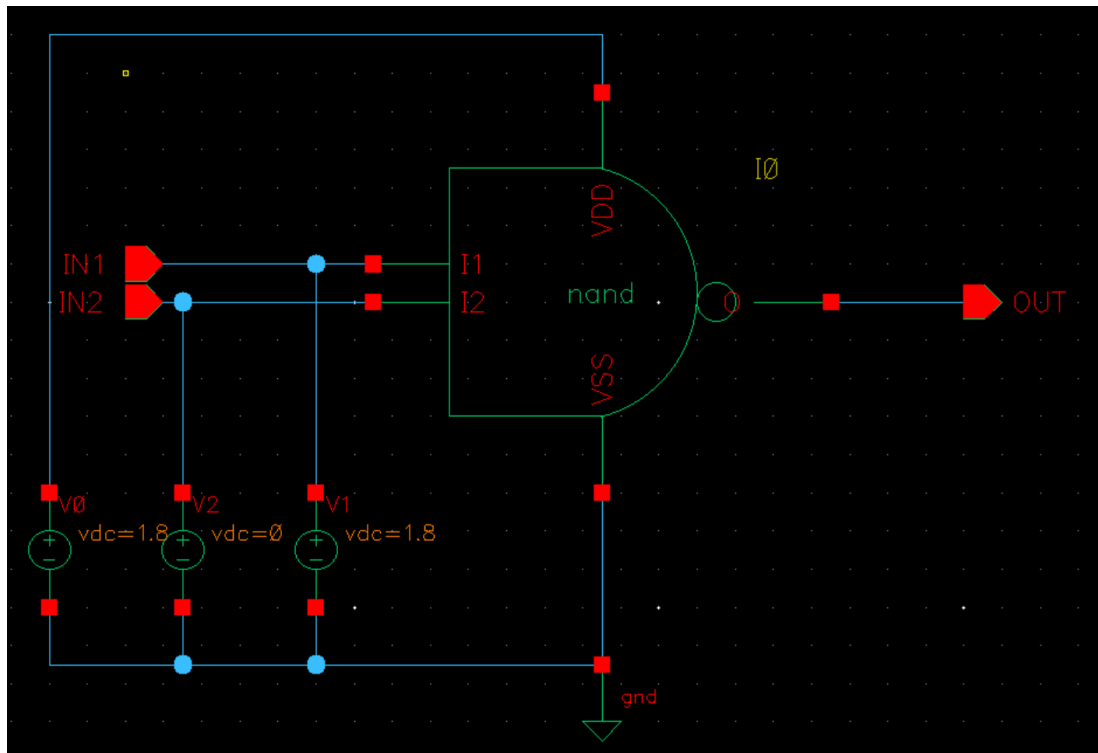
Author	<ul style="list-style-type: none"><li>- Ung Ngô Minh Lãng</li><li>- Tăng Văn Minh</li><li>- Lê Minh Phúc</li><li>- Đặng Đình Thông</li></ul>
Date	2023/05/02
Version	1.1

## 1. Schematic (NAND gate)



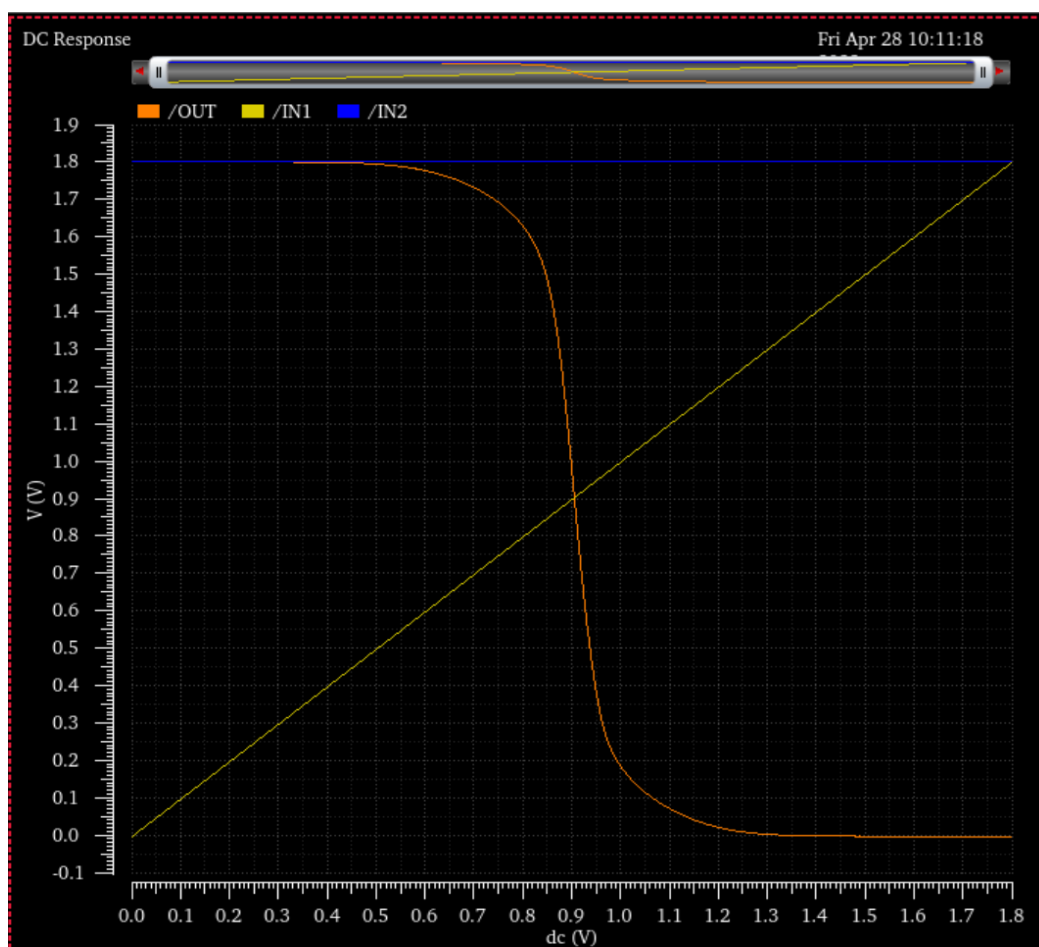
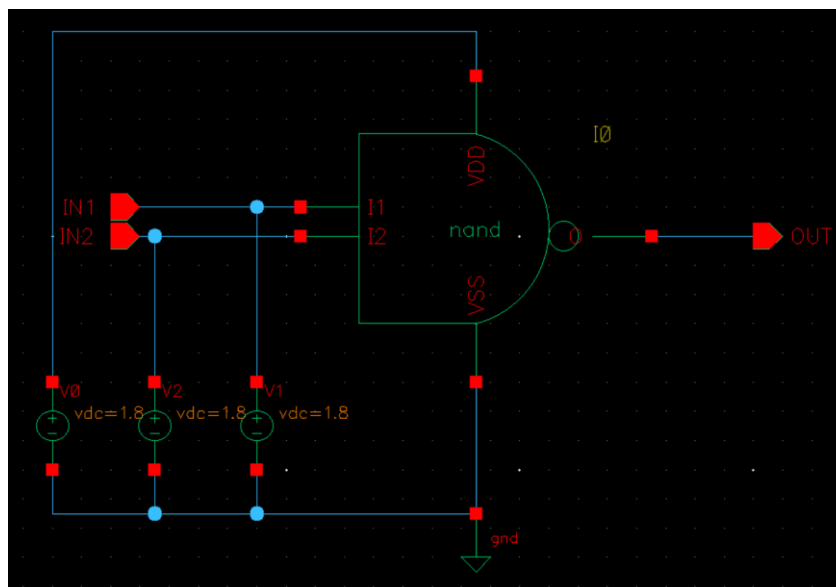
## 2. Simulation

### a. Case 1: $V_2 = 0V$



Trường hợp này, IN2 sẽ được giữ cố định giá trị điện áp là 0V, khi IN1 (dc) quét, theo logic của cổng NAND thì output sẽ có logic bằng 0.

## b. Case 2: V2 = 1.8V



## VIRTUOSO

Trường hợp này, IN2 sẽ được giữ cố định giá trị điện áp là 1.8V, khi IN1 (dc) quét, theo logic của cổng NAND thì output sẽ có logic thay đổi từ 1 xuống 0.