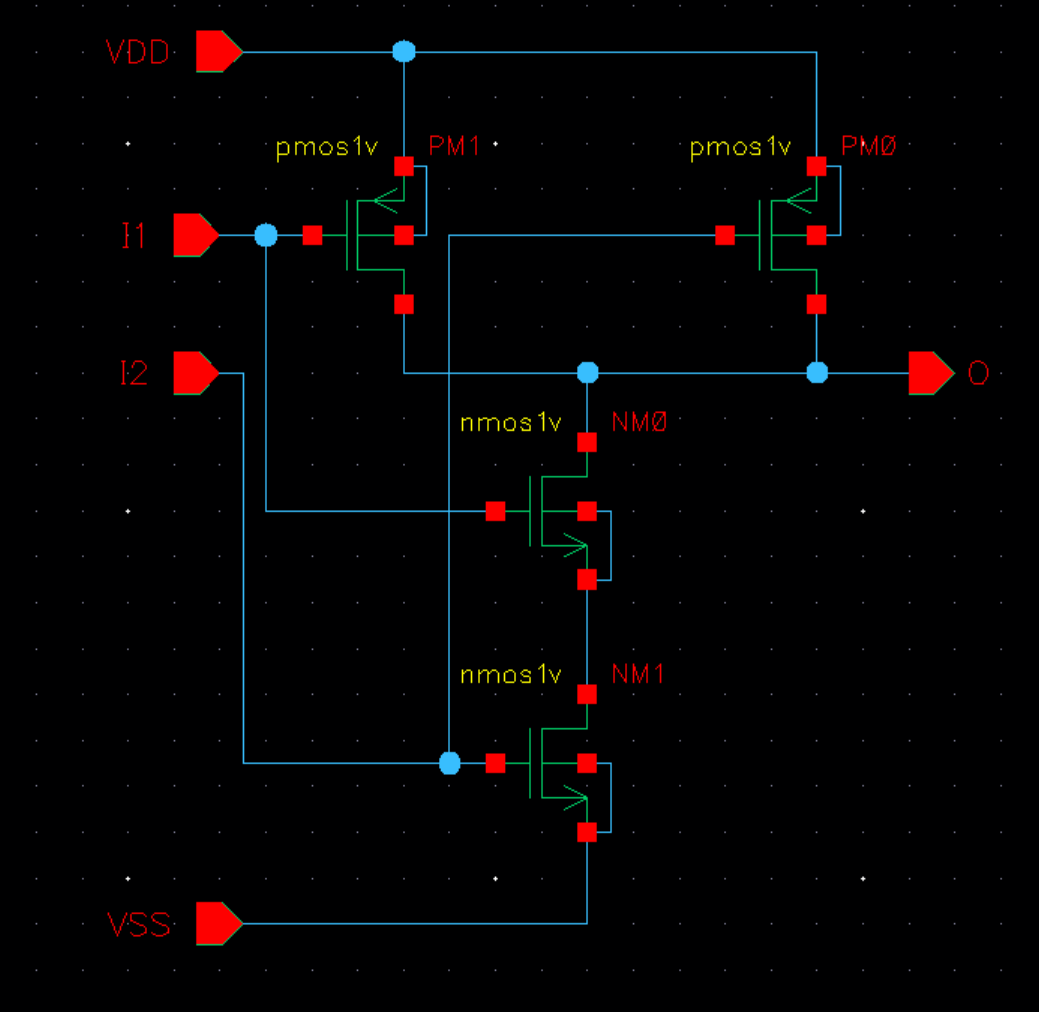
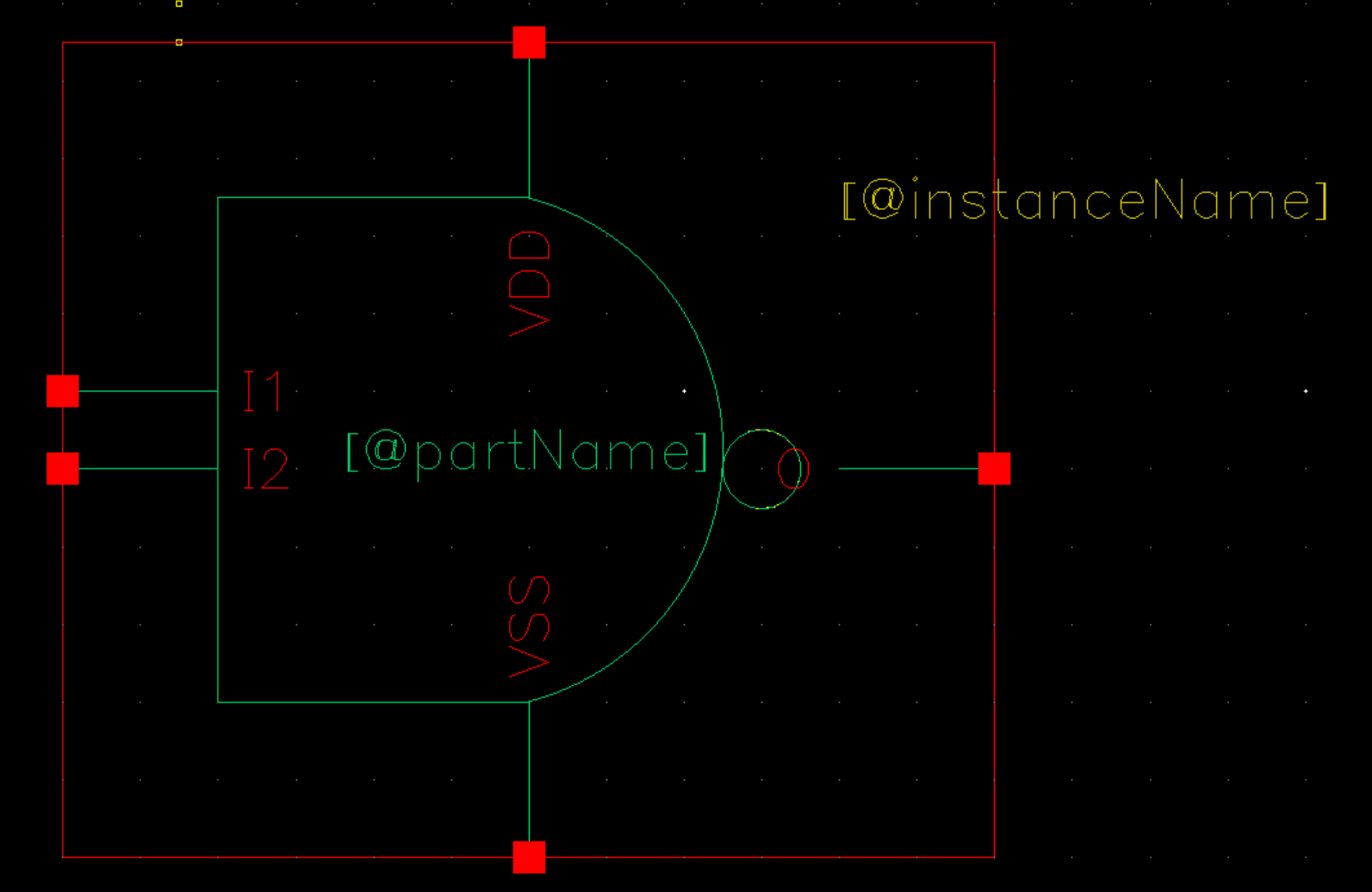
|  |
| --- |
|  |
| **LAB 4: VIRTUOSO** |
|  |
| |  |  | | --- | --- | | Author | * Ung Ngô Minh Lăng * Tăng Văn Minh * Lê Minh Phúc * Đặng Đình Thông | | Date | 2023/05/02 | | Version | 1.1 | |
|  |
|  |

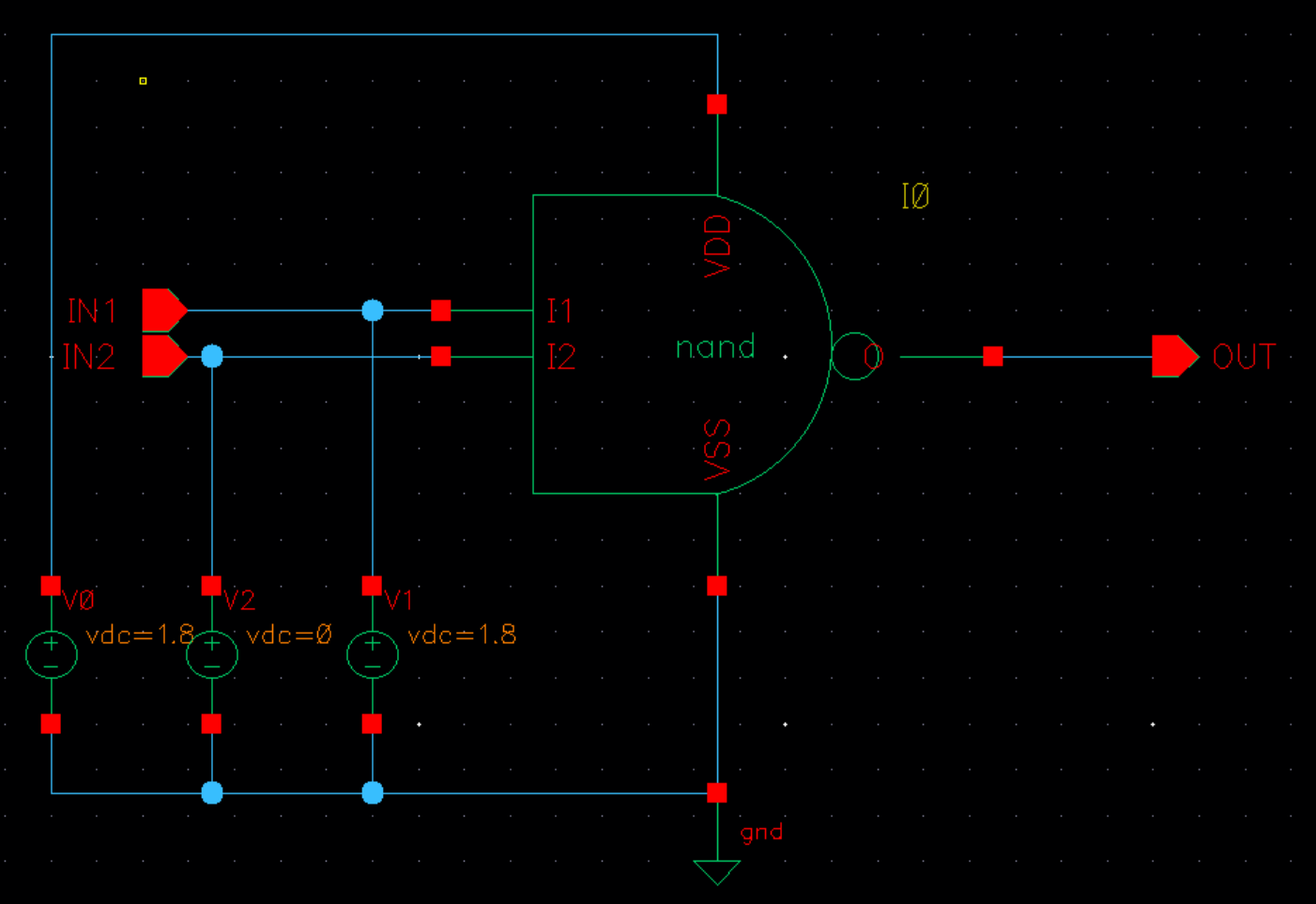
|  |
| --- |
|  |

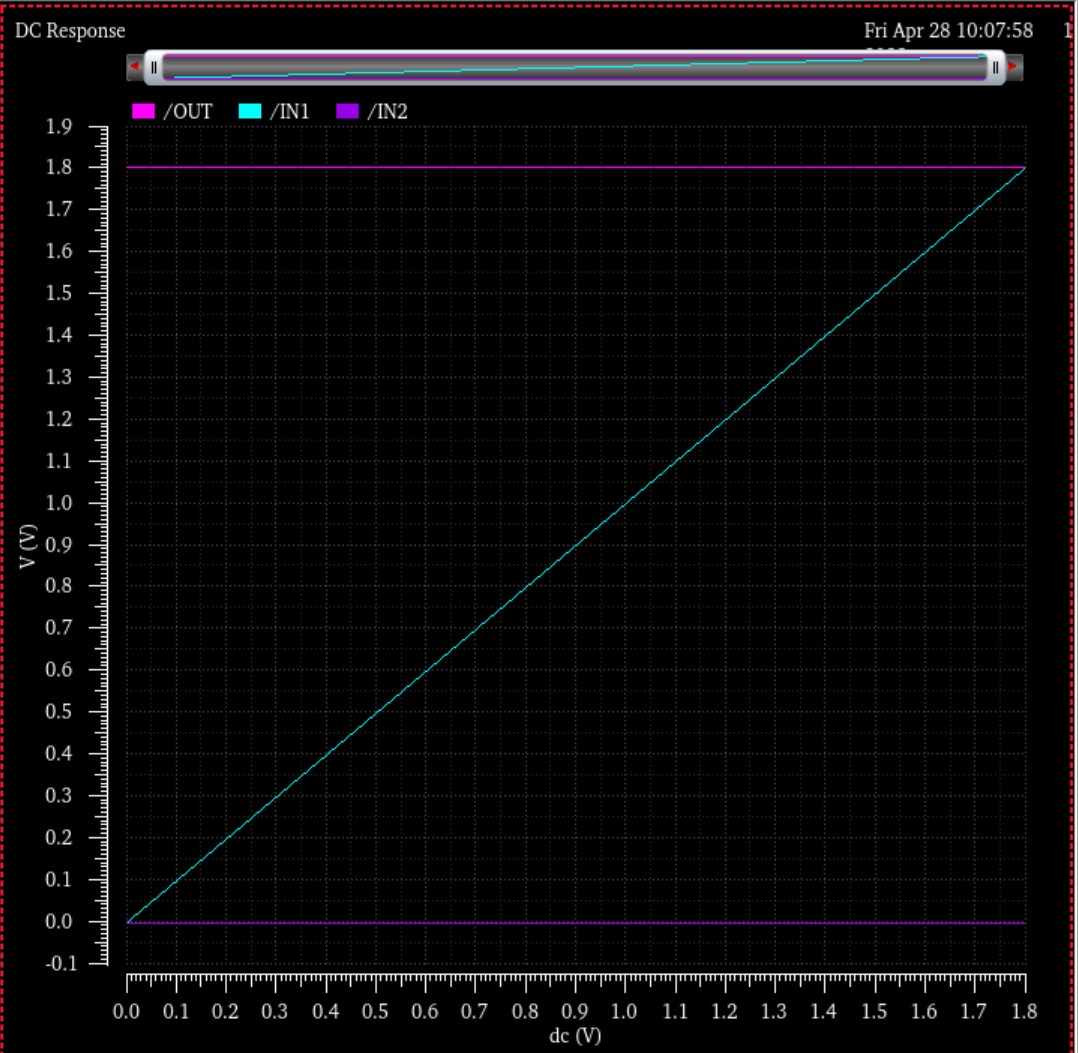
1. **Schematic (NAND gate)**





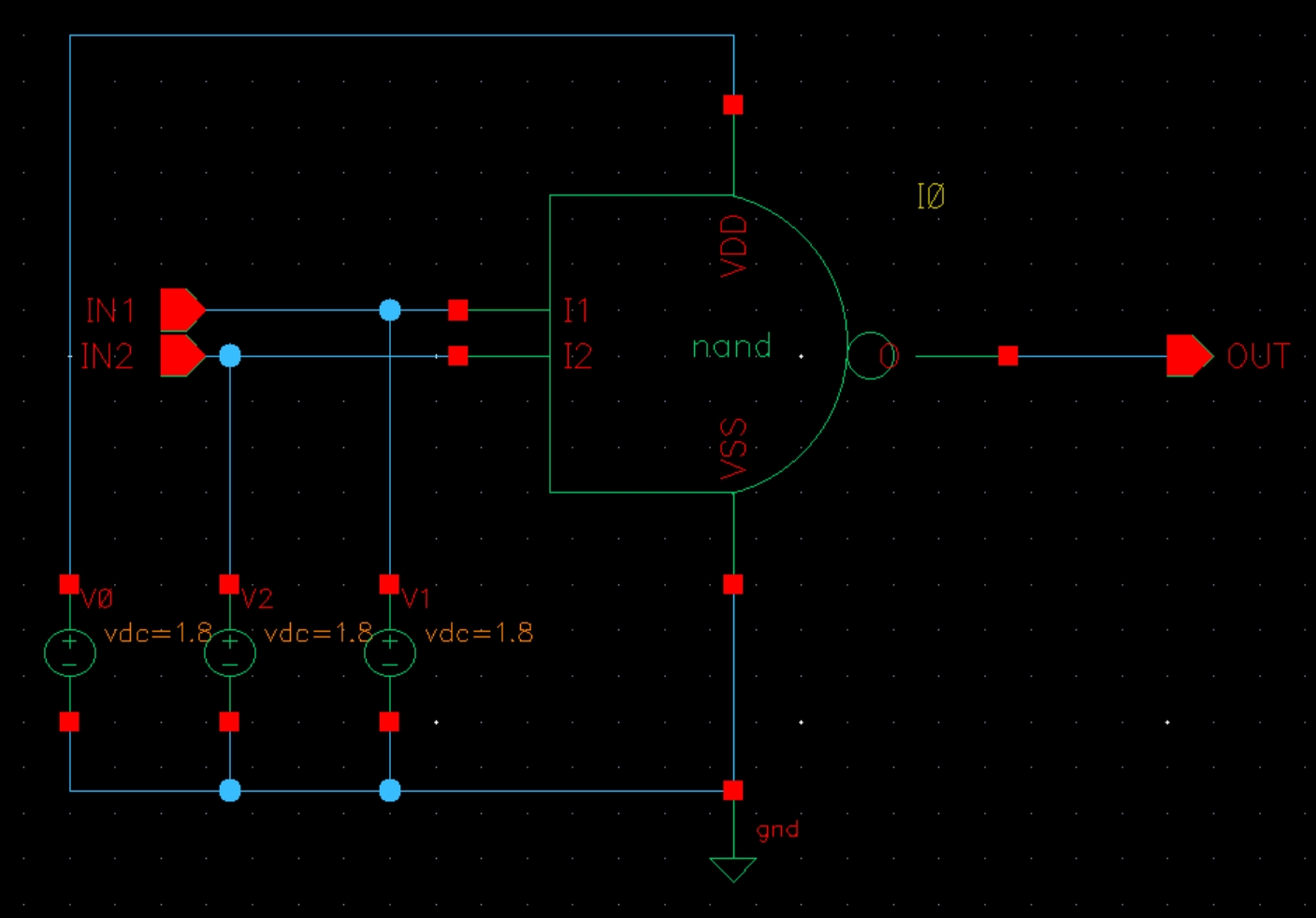
1. **Simulation**
2. **Case 1: V2 = 0V**

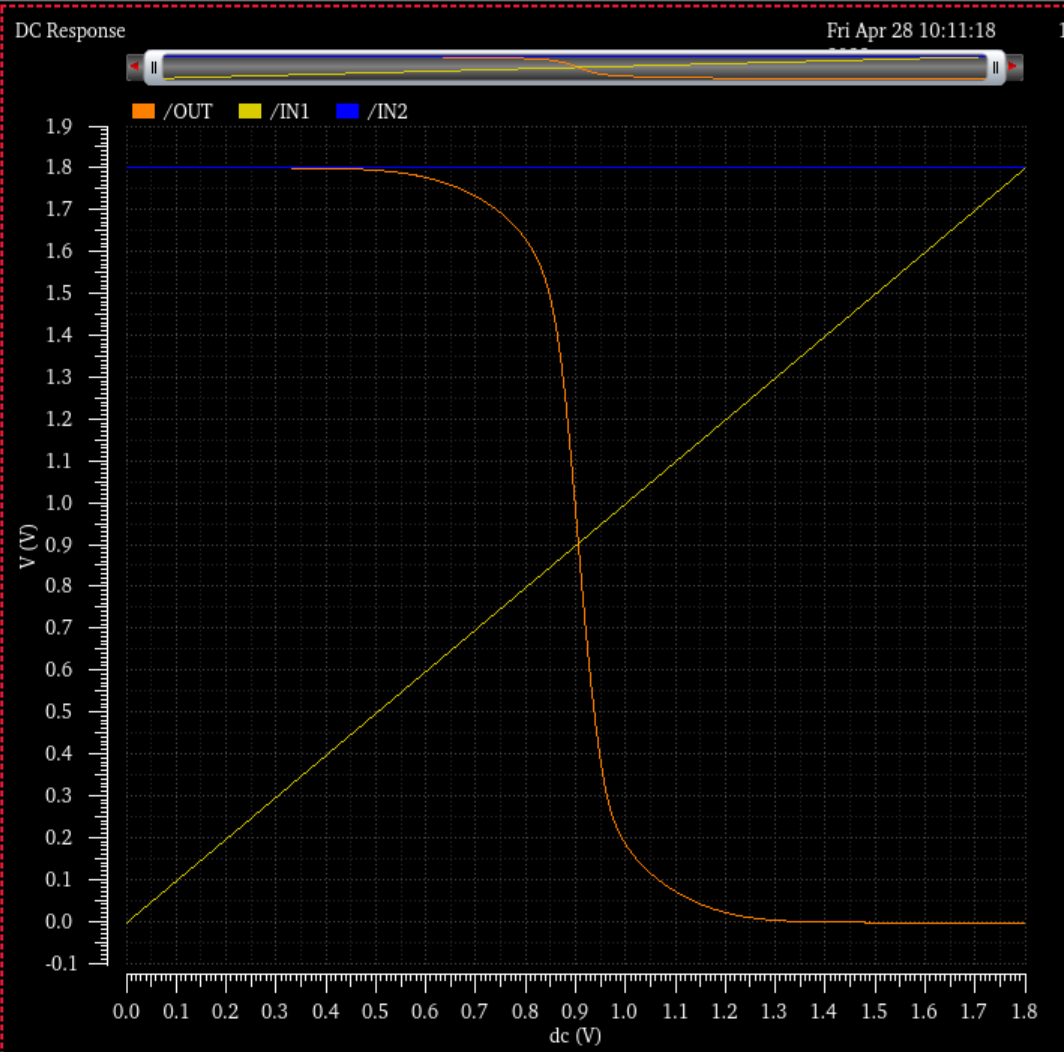




Trường hợp này, IN2 sẽ được giữ cố định giá trị điện áp là 0V, khi IN1 (dc) quét, theo logic của cổng NAND thì output sẽ có logic bằng 0.

1. **Case 2: V2 = 1.8V**





Trường hợp này, IN2 sẽ được giữ cố định giá trị điện áp là 1.8V, khi IN1 (dc) quét, theo logic của cổng NAND thì output sẽ có logic thay đổi ừ 1 xuống 0.