

# **BỘ NHỚ MÁY TÍNH**

# NỘI DUNG

1. Tổng quan về hệ thống nhớ
2. Bộ nhớ bán dẫn
3. Bộ nhớ chính
4. Bộ nhớ cache
5. Bộ nhớ ngoài
6. Hệ thống nhớ trên máy tính cá nhân

# 1. Tổng quan về hệ thống nhớ

---

## 1. Các đặc trưng của hệ thống nhớ

### □ Vị trí

#### ■ Bên trong CPU:

- tập thanh ghi

#### ■ Bộ nhớ trong

- bộ nhớ chính
- bộ nhớ cache

#### ■ Bộ nhớ ngoài: các thiết bị nhớ

### □ Dung lượng

- Độ dài từ nhớ (tính bằng bit: 16, 32 bit)
- Số lượng từ nhớ

# Các đặc trưng của hệ thống nhớ (tiếp)

---

- Đơn vị truyền
  - Từ nhớ (word)
  - Khối nhớ (block)
- Phương pháp truy nhập
  - Truy nhập tuần tự (băng từ)
  - Truy nhập trực tiếp (các loại đĩa)
  - Truy nhập ngẫu nhiên (bộ nhớ bán dẫn)
  - Truy nhập liên kết (cache)

# Các đặc trưng của hệ thống nhớ (tiếp)

---

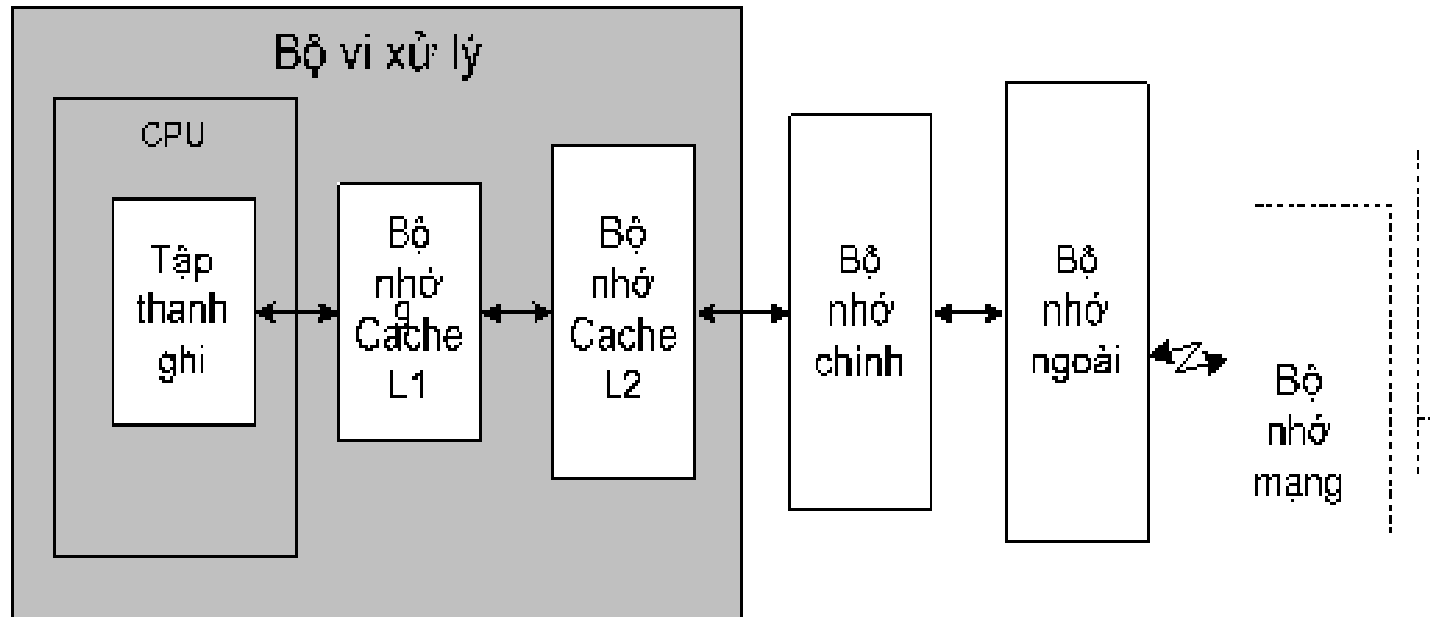
- Hiệu năng
  - Thời gian truy nhập
  - Chu kỳ nhớ
  - Tốc độ truyền
- Kiểu vật lý
  - Bộ nhớ bán dẫn
  - Bộ nhớ từ
  - Bộ nhớ quang

## Các đặc trưng của hệ thống nhớ (tiếp)

---

- Các đặc tính vật lý
  - Khả biến/Không khả biến (volatile/nonvolatile)
  - Xóa được/Không xóa được
- Tổ chức

## 2. Phân cấp hệ thống nhớ



Từ trái sang phải:

- ❑ dung lượng tăng dần
- ❑ tốc độ giảm dần
- ❑ giá thành/1 bit giảm dần

## 2. Bộ nhớ bán dẫn

### 1. Phân loại

Kiểu bộ nhớ	Tiêu chuẩn	Khả năng xóa	Cơ chế ghi	Tính khả biến
Read Only Memory (ROM)	Bộ nhớ chỉ đọc	Không xóa được	Mặt nạ	Không khả biến
Programmable ROM (PROM)				
Erasable PROM (EPROM)	Bộ nhớ hầu như chỉ đọc	Bằng tia cực tím, cả chip	Bằng điện	
Electrically Erasable PROM (EEPROM)		Bằng điện, mức từng byte		
Flash Memory	Bộ nhớ đọc-ghi	Bằng điện, mức từng khối		
Random Access Memory (RAM)		Bằng điện, mức từng byte		Khả biến



# ROM (Read Only Memory)

---

- ❑ Bộ nhớ không khả biến
- ❑ Lưu trữ các thông tin sau:
  - Thư viện các chương trình con
  - Các chương trình điều khiển hệ thống (BIOS)
  - Các bảng chức năng
  - Vi chương trình

# Các kiểu ROM

---

- ROM mặt nạ:
  - thông tin được ghi khi sản xuất
  - rất đắt
- PROM (Programmable ROM)
  - Cần thiết bị chuyên dụng để ghi bằng chương trình → chỉ ghi được 1 lần
- EPROM (Erasable PROM)
  - Cần thiết bị chuyên dụng để ghi bằng chương trình → ghi được nhiều lần
  - Trước khi ghi lại, xóa bằng tia cực tím

# Các kiểu ROM (tiếp)

---

- EEPROM (Electrically Erasable PROM)
  - Có thể ghi theo từng byte
  - Xóa bằng điện
- Flash Memory (Bộ nhớ cực nhanh)
  - Ghi theo khối
  - Xóa bằng điện

# RAM (Random Access Memory)

---

- ❑ Bộ nhớ đọc-ghi (Read/Write Memory)
- ❑ Khả biến
- ❑ Lưu trữ thông tin tạm thời
- ❑ Có 2 loại: SRAM và DRAM

## SRAM (Static RAM) - RAM tĩnh

---

- ❑ Các bit được lưu trữ bằng các Flip-Flop  
→ thông tin ổn định
- ❑ Cấu trúc phức tạp
- ❑ Dung lượng chip nhỏ
- ❑ Tốc độ nhanh
- ❑ Đắt tiền
- ❑ Dùng làm bộ nhớ cache

# DRAM (Dynamic RAM) - RAM động

---

- ❑ Các bit được lưu trữ trên tụ điện  
→ cần phải có mạch làm tươi
- ❑ Cấu trúc đơn giản
- ❑ Dung lượng lớn
- ❑ Tốc độ chậm hơn
- ❑ Rẻ tiền hơn
- ❑ Dùng làm bộ nhớ chính

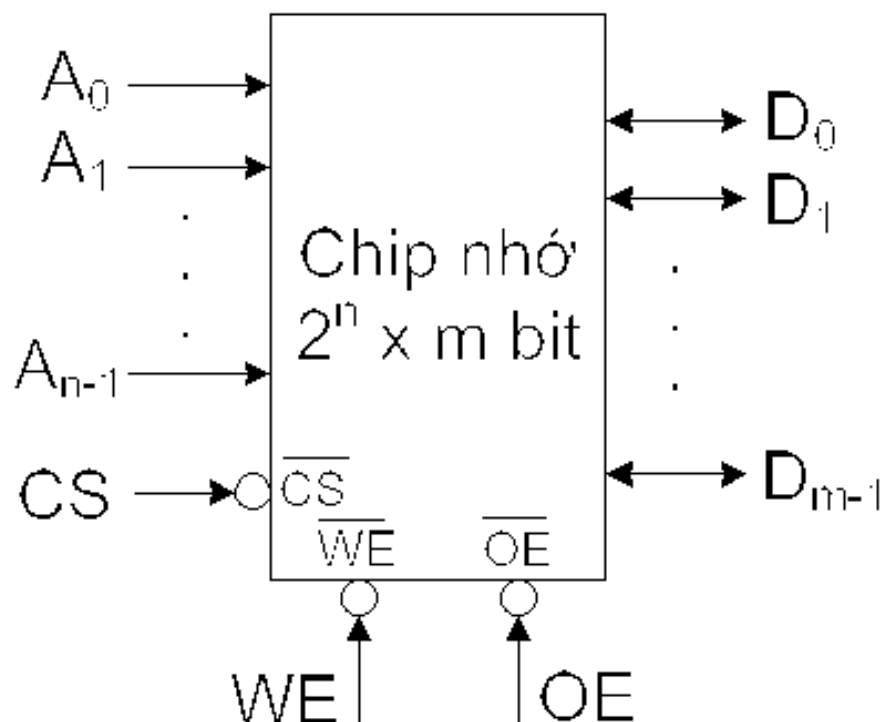
# Các DRAM tiên tiến

---

- ❑ Enhanced DRAM
- ❑ Cache DRAM
- ❑ Synchronous DRAM (SDRAM): làm việc được đồng bộ bởi xung đồng hồ
- ❑ DDR-SDRAM (Double Data Rate SDRAM)
- ❑ Rambus DRAM (RDRAM)

## 2. Tổ chức của chip nhớ

- Sơ đồ cơ bản của chip nhớ



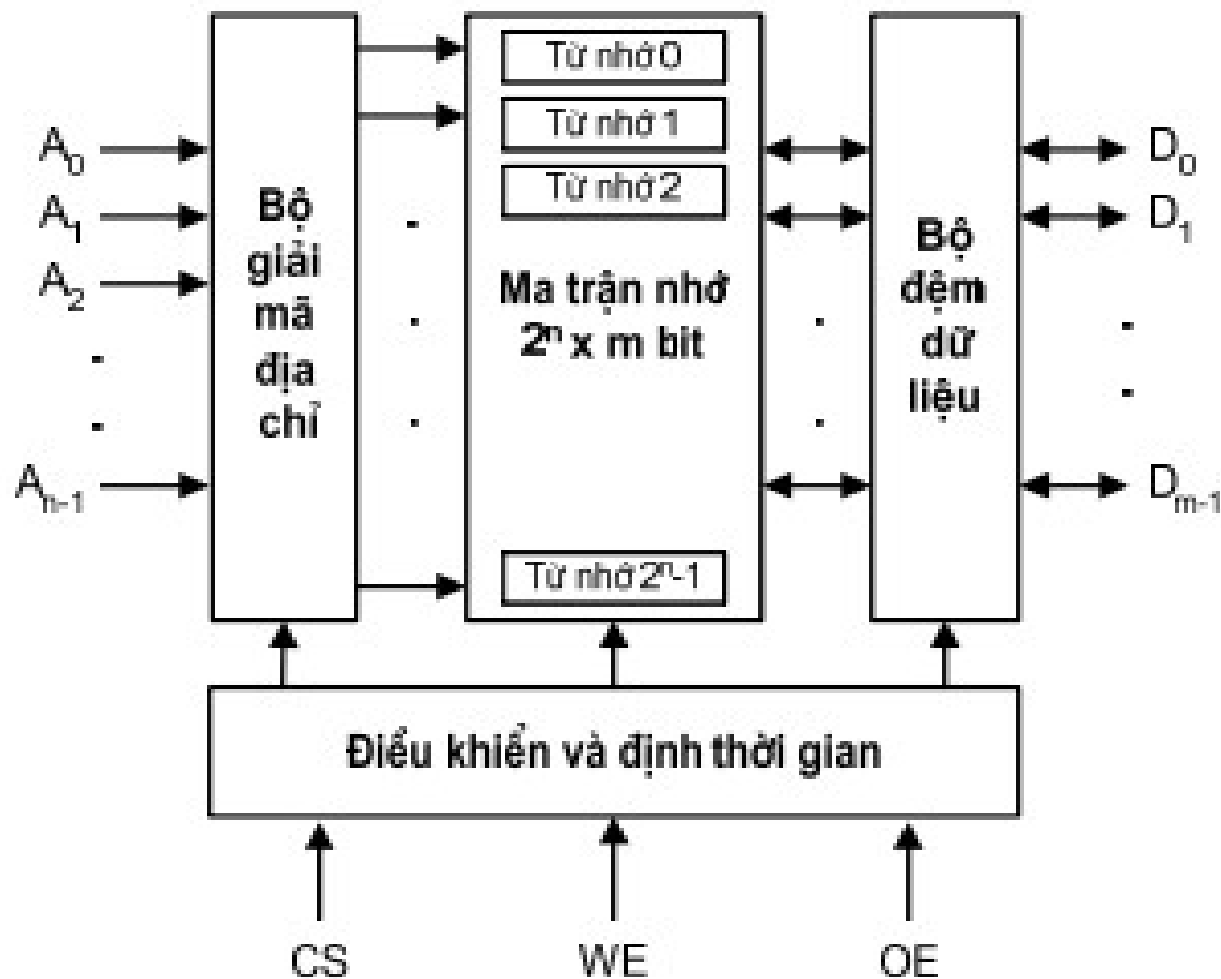


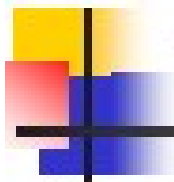
# Các tín hiệu của chip nhớ

---

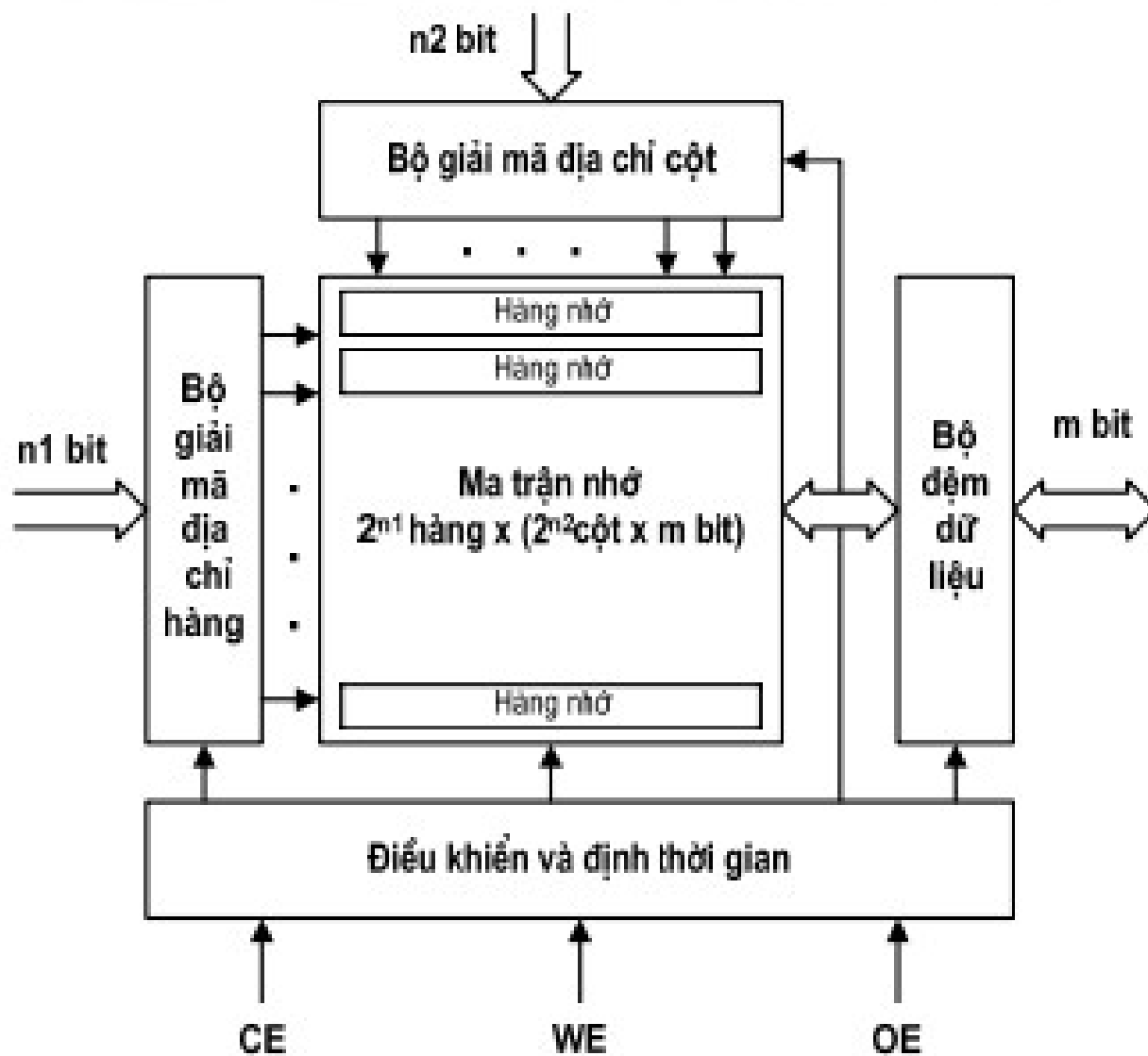
- Các đường địa chỉ:  $A_{n-1} \div A_0 \rightarrow$  có  $2^n$  từ nhớ
  - Các đường dữ liệu:  $D_{m-1} \div D_0 \rightarrow$  độ dài từ nhớ = m bit
  - Dung lượng chip nhớ =  $2^n \times m$  bit
  - Các đường điều khiển:
    - Tín hiệu chọn chip CS (Chip Select)
    - Tín hiệu điều khiển đọc OE (Output Enable)
    - Tín hiệu điều khiển ghi WE (Write Enable)
- Các tín hiệu điều khiển tích cực với mức 0

# Tổ chức bộ nhớ một chiều





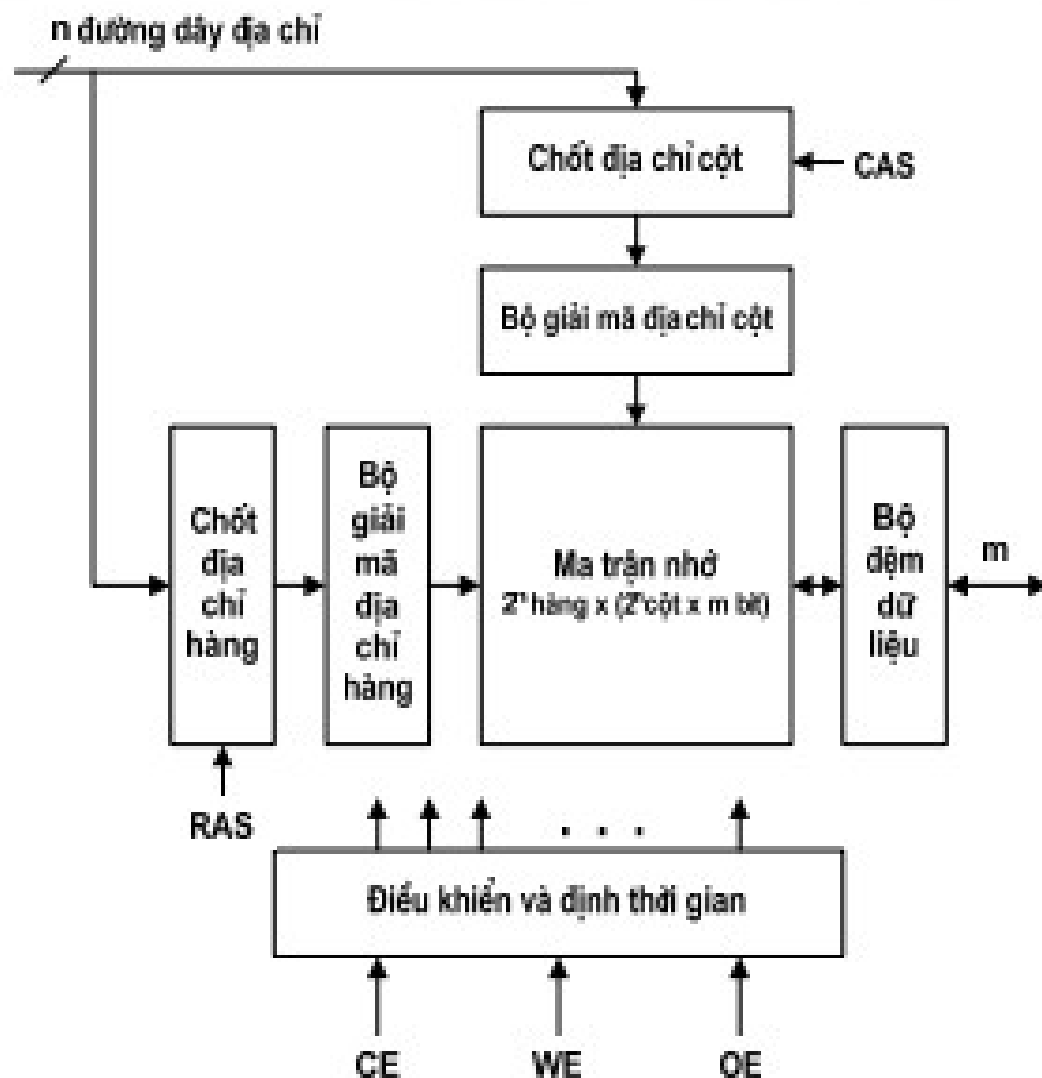
# Tổ chức bộ nhớ hai chiều



## Tổ chức bộ nhớ hai chiều

- Có  $n$  đường địa chỉ:  $n = n_1 + n_2$ 
  - $2^{n_1}$  hàng,
  - mỗi hàng có  $2^{n_2}$  từ nhớ,
- Có  $m$  đường dữ liệu:
  - mỗi từ nhớ có độ dài  $m$ -bit.
- Dung lượng của chip nhớ:  
 $[2^{n_1} \times (2^{n_2} \times m)] \text{ bit} = (2^{n_1+n_2} \times m) \text{ bit} = (2^n \times m) \text{ bit}.$
- Hoạt động giải mã địa chỉ:
  - Bước 1: bộ giải mã hàng chọn 1 trong  $2^{n_1}$  hàng.
  - Bước 2: bộ giải mã cột chọn 1 trong  $2^{n_2}$  từ nhớ (cột) của hàng đã được chọn.

# Tổ chức của DRAM



# Tổ chức của DRAM

---

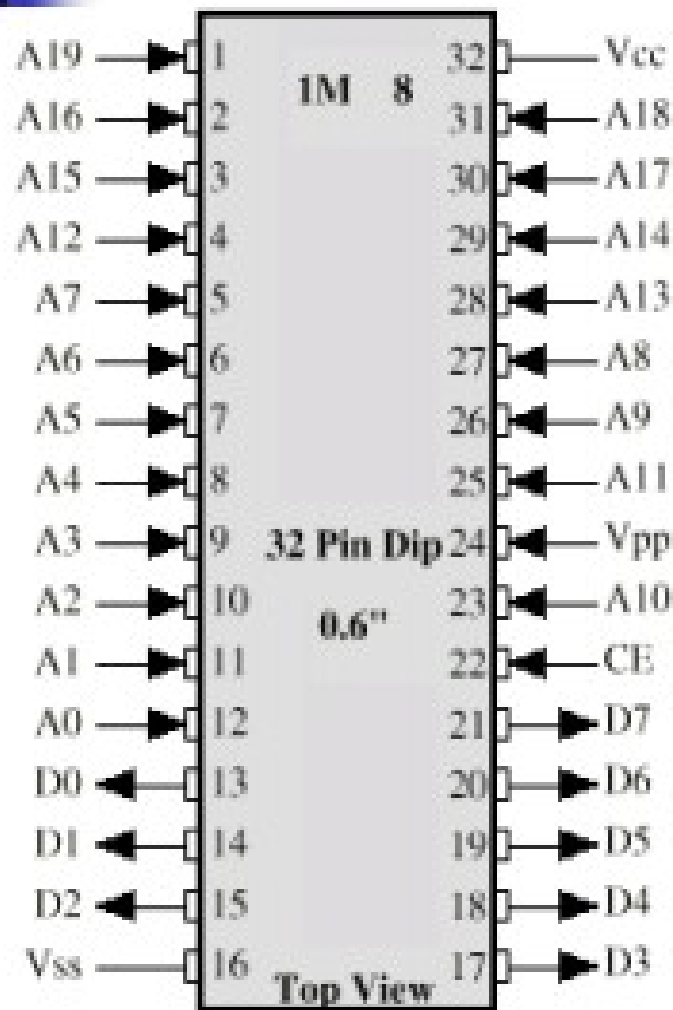
- Dùng  $n$  đường địa chỉ dồn kênh  $\rightarrow$  cho phép truyền  $2^n$  bit địa chỉ
- Tín hiệu chọn địa chỉ hàng RAS (Row Address Select)
- Tín hiệu chọn địa chỉ cột CAS (Column Address Select)
- Dung lượng của DRAM =  $2^{2n} \times m$  bit

Cách này làm tiết kiệm số chân địa chỉ

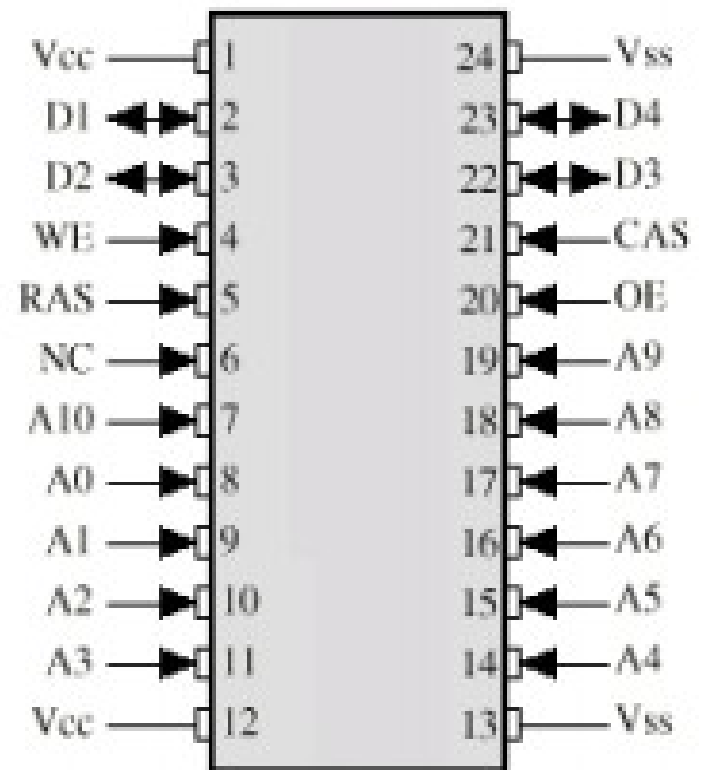
Ví dụ: DRAM có 14 chân địa chỉ dồn kênh, 8 chân dữ liệu

Dung lượng =  $2^{28} \times 8 \text{ bit} = 2^8 \times 2^{20} \times 8 \text{ bit} = 256\text{M} \times 8 \text{ bit}$

# Chip nhớ



(a) 8 Mbit EPROM



(b) 16 Mbit DRAM

### 3. Thiết kế mô-đun nhớ bán dẫn

---

- Dung lượng chip nhớ =  $2^n \times m$  bit
- Cần thiết kế để tăng dung lượng:
  - Thiết kế tăng độ dài từ nhớ
  - Thiết kế tăng số lượng từ nhớ
  - Thiết kế kết hợp



# Tăng độ dài từ nhớ

---

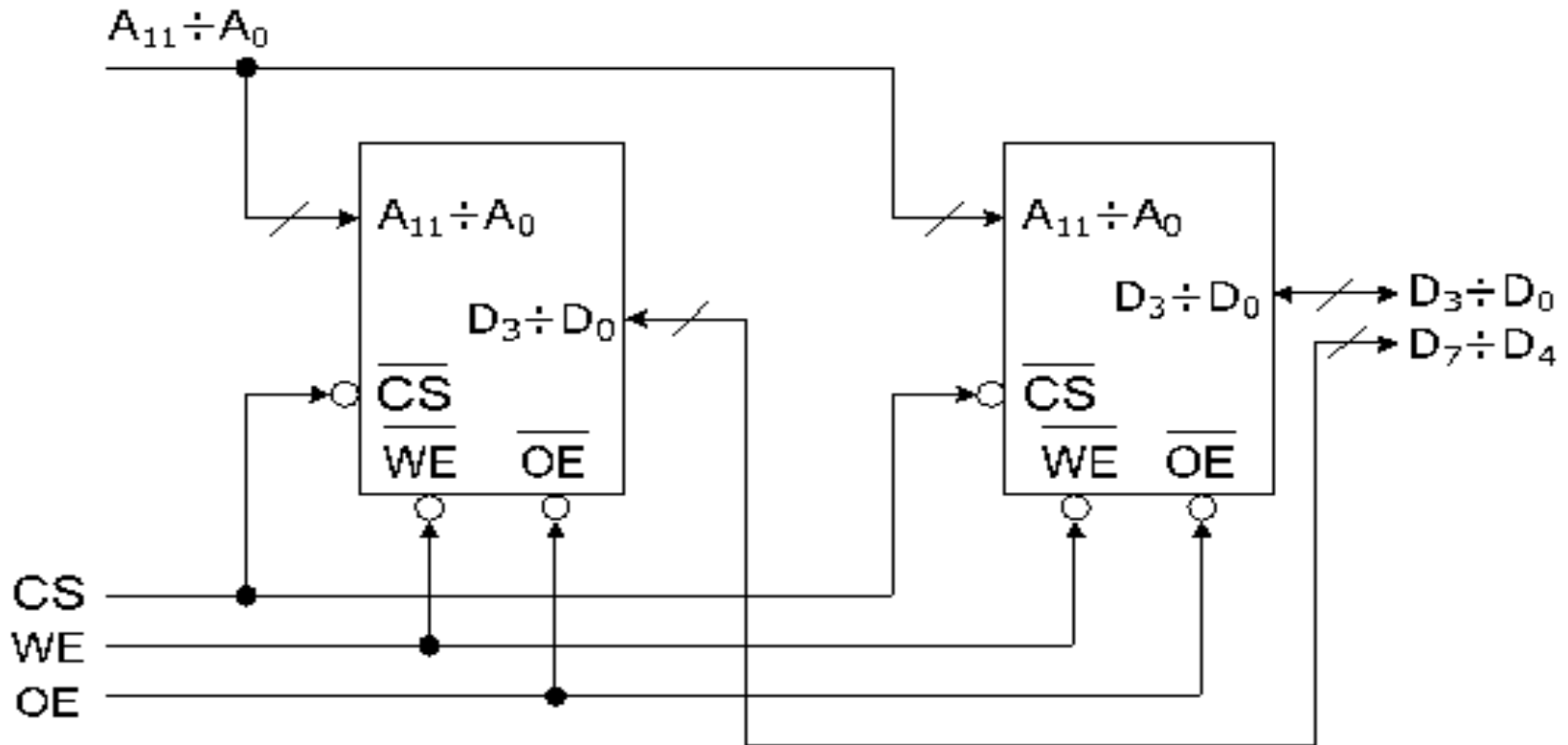
VD1:

- Cho chip nhớ SRAM 4K x 4 bit
- Thiết kế mô-đun nhớ 4K x 8 bit

Giải:

- Dung lượng chip nhớ =  $2^{12} \times 4$  bit
- chip nhớ có:
  - 12 chân địa chỉ
  - 4 chân dữ liệu
- mô-đun nhớ cần có:
  - 12 chân địa chỉ
  - 8 chân dữ liệu

# Tăng độ dài từ nhớ



Khi  $CS=0$  thì cả 2 chip này cùng làm việc  
WE, OE chung nhau -> ghi thì cùng ghi, đọc thì cùng đọc

# Bài toán tăng độ dài từ nhớ tổng quát

---

- Cho chip nhớ  $2^n \times m$  bit
- Thiết kế mô-đun nhớ  $2^n \times (k.m)$  bit
- Dùng  $k$  chip nhớ

# Tăng số lượng từ nhớ

---

VD2:

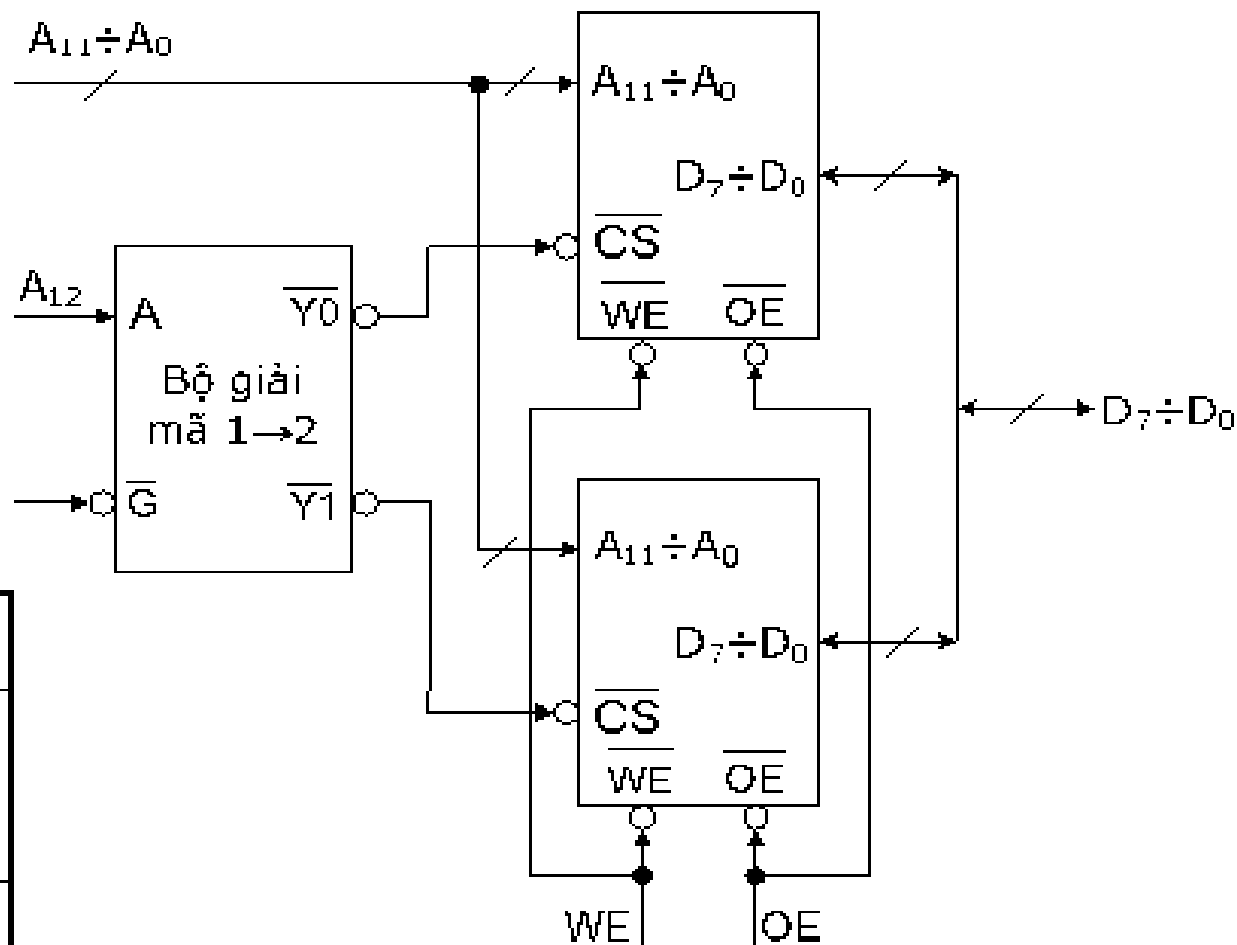
- Cho chip nhớ SRAM 4K x 8 bit
- Thiết kế mô-đun nhớ 8K x 8 bit

Giải:

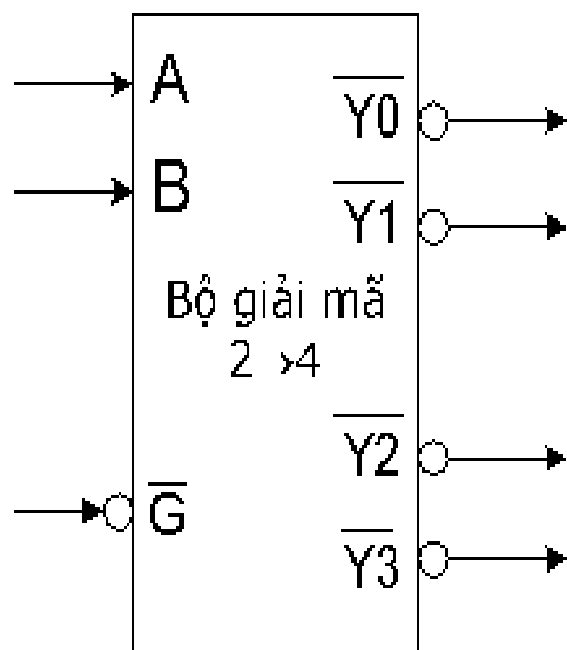
- Dung lượng chip nhớ =  $2^{12} \times 8$  bit
- chip nhớ có:
  - 12 chân địa chỉ
  - 8 chân dữ liệu
- Dung lượng mô-đun nhớ =  $2^{13} \times 8$  bit:
  - 13 chân địa chỉ
  - 8 chân dữ liệu

# Ví dụ tăng số lượng từ nhớ

$\overline{G}$	A	$\overline{Y0}$	$\overline{Y1}$
0	0	0	1
0	1	1	0
1	x	1	1



# Bộ giải mã 2→4



$\overline{G}$	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	x	x	1	1	1	1

# Bài tập

---

## 1. Tăng số lượng từ nhớ gấp 4 lần:

- Cho chip nhớ SRAM 4K x 8 bit
- Thiết kế mô-đun nhớ 16K x 8 bit

## 2. Tăng số lượng từ nhớ gấp 8 lần:

- Cho chip nhớ SRAM 4K x 8 bit
- Thiết kế mô-đun nhớ 32K x 8 bit

## 3. Thiết kế kết hợp:

- Cho chip nhớ SRAM 4K x 4 bit
- Thiết kế mô-đun nhớ 8K x 8 bit

# 3. Bộ nhớ chính

---

## 1. Các đặc trưng cơ bản

- Chứa các chương trình đang được thực hiện và các dữ liệu đang được sử dụng
- Tồn tại trên mọi hệ thống máy tính
- Bao gồm các ngăn nhớ được đánh địa chỉ trực tiếp bởi CPU
- Dung lượng của bộ nhớ chính nhỏ hơn không gian địa chỉ bộ nhớ mà CPU quản lý
- Việc quản lý logic bộ nhớ chính tùy thuộc vào hệ điều hành



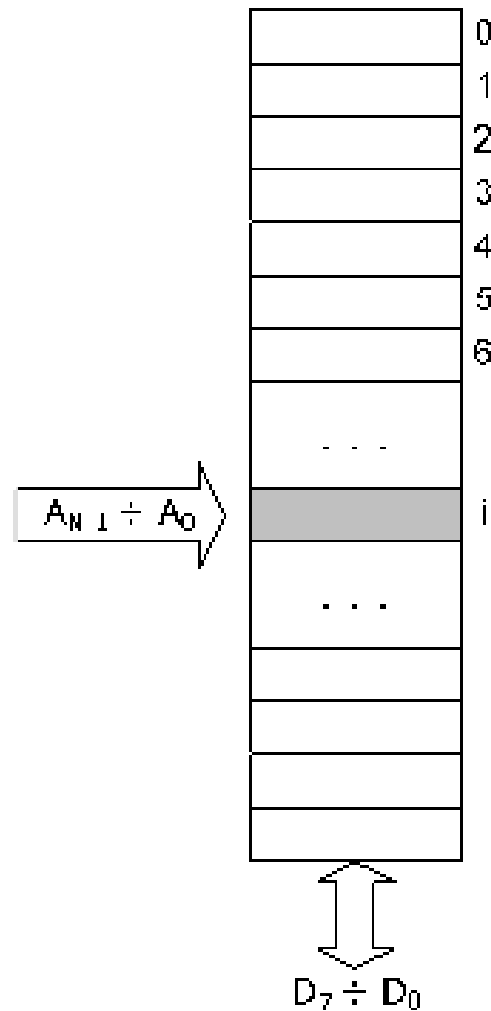
## 2. Tổ chức bộ nhớ đan xen

---

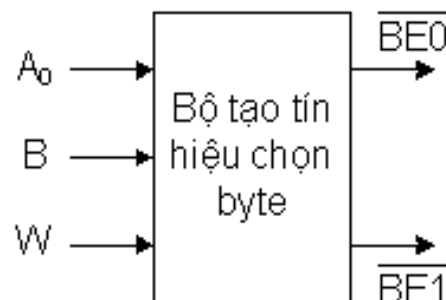
- Độ rộng của bus dữ liệu để trao đổi với bộ nhớ:  $m = 8, 16, 32, 64, 128 \dots$  bit
- Các ngăn nhớ được tổ chức theo byte  
→ tổ chức bộ nhớ vật lý khác nhau

$m=8$  bit  $\rightarrow$  một bảng nhớ tuyến tính

---

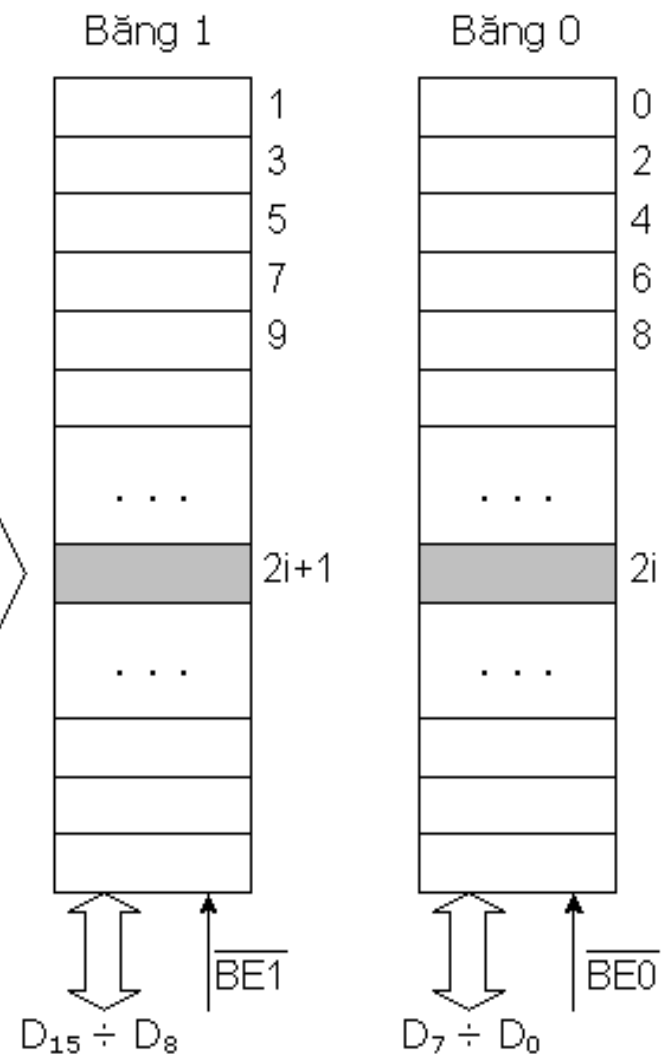
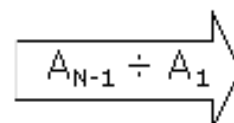


# m=16 bit → hai bảng nhớ đan xen

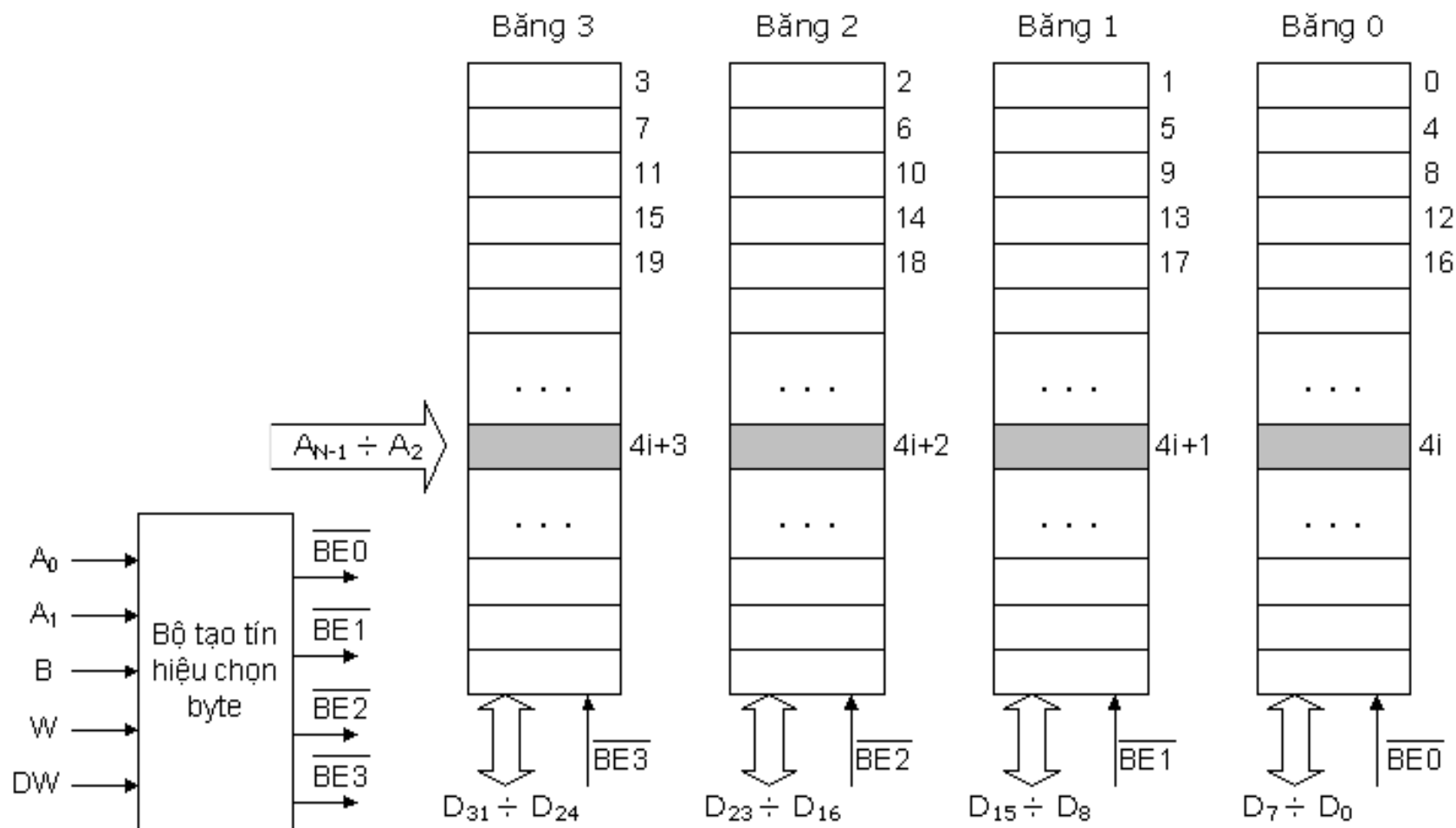


Các tín hiệu chọn byte:

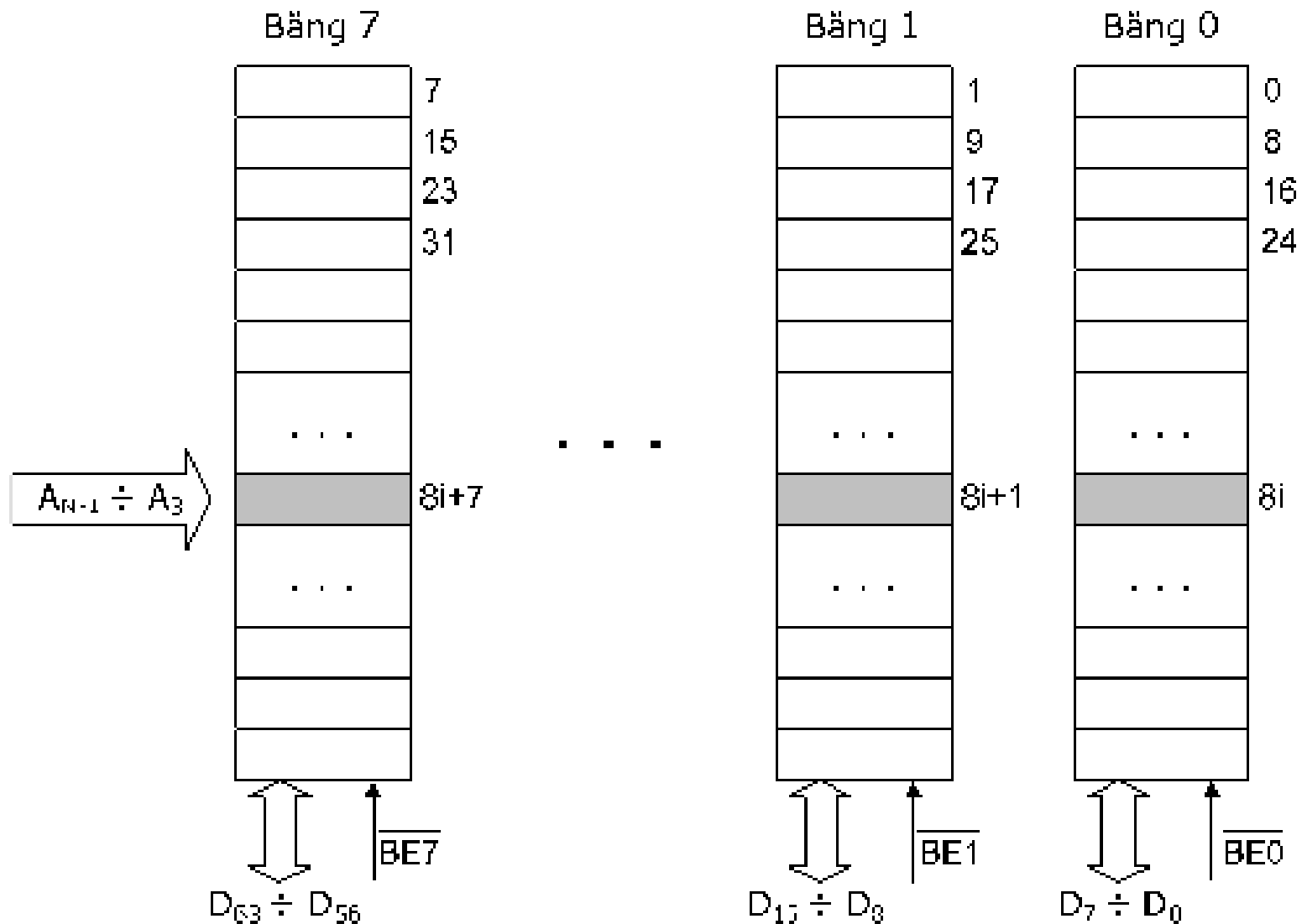
$\overline{BE1}$	$\overline{BE0}$	Chọn byte
0	0	Chọn cả 2 byte
0	1	Chọn byte cao
1	0	Chọn byte thấp
1	1	Không chọn



# $m=32$ bit $\rightarrow$ bốn bảng nhớ đơn xen



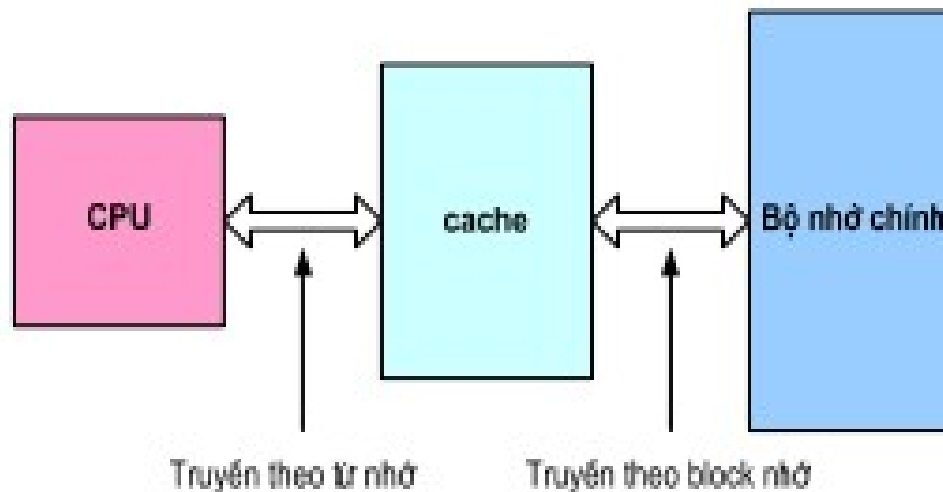
# $m=64$ bit $\rightarrow$ tám bảng nhớ



# 4. Bộ nhớ đệm nhanh (cache memory)

## 1. Nguyên tắc chung của cache

- Cache có tốc độ nhanh hơn bộ nhớ chính
- Cache được đặt giữa CPU và bộ nhớ chính nhằm tăng tốc độ CPU truy cập bộ nhớ
- Cache có thể được đặt trên chip CPU

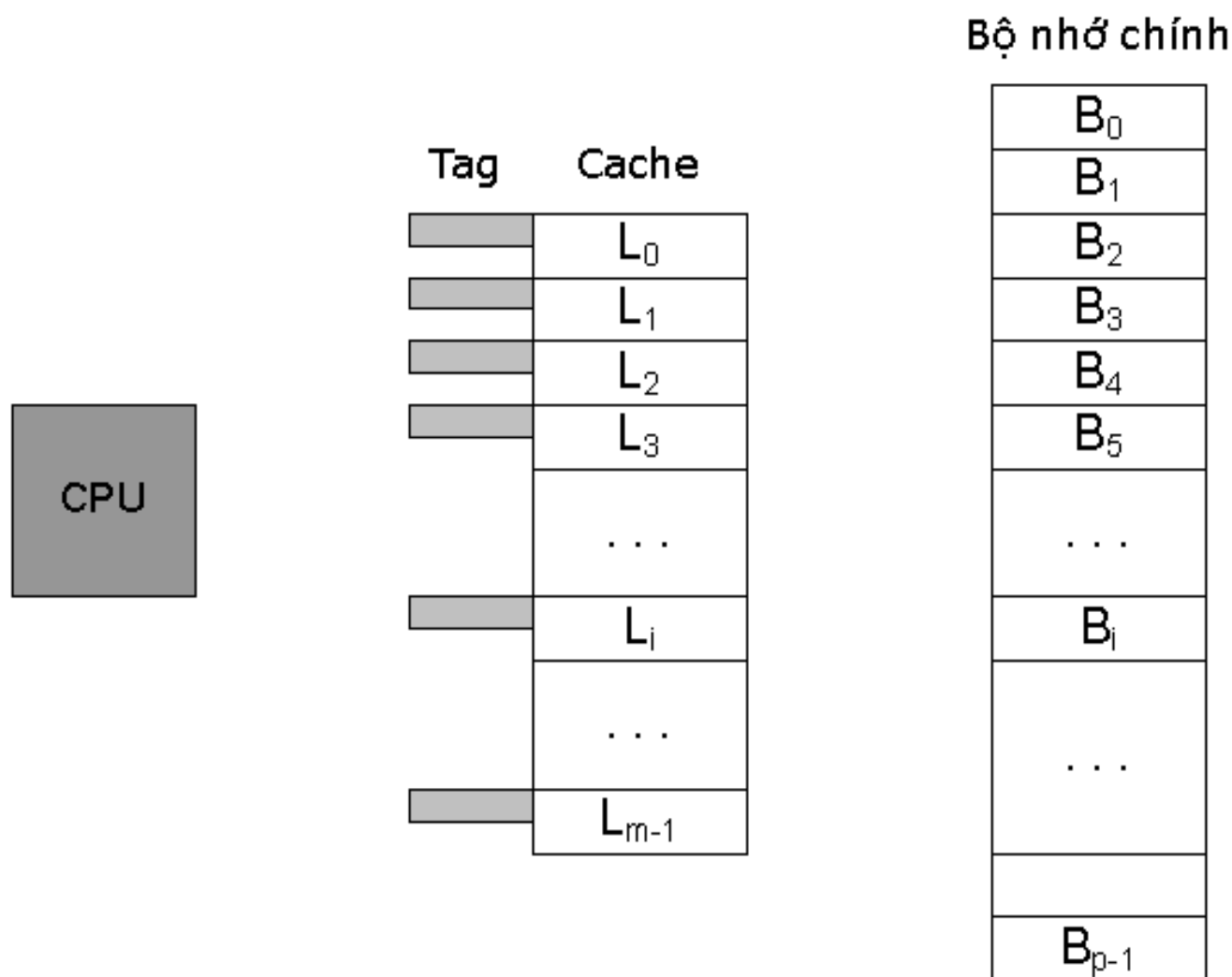


## Ví dụ về thao tác của cache

---

- ❑ CPU yêu cầu nội dung của ngăn nhớ
- ❑ CPU kiểm tra trên cache với dữ liệu này
- ❑ Nếu có, CPU nhận dữ liệu từ cache (nhanh)
- ❑ Nếu không có, đọc block nhớ chứa dữ liệu từ bộ nhớ chính vào cache
- ❑ Tiếp đó chuyển dữ liệu từ cache vào CPU

# Cấu trúc chung của cache/bộ nhớ chính







## Cấu trúc chung của cache / bộ nhớ chính (tiếp)

- Bộ nhớ chính có  $2^N$  byte nhớ
- Bộ nhớ chính và cache được chia thành các khối có kích thước bằng nhau
  - Bộ nhớ chính:  $B_0, B_1, B_2, \dots, B_{p-1}$  (p Blocks)
  - Bộ nhớ cache:  $L_0, L_1, L_2, \dots, L_{m-1}$  (m Lines)
  - Kích thước của Block = 8, 16, 32, 64, 128 byte

# Cấu trúc chung của cache/bộ nhớ chính

---

- ❑ Một số Block của bộ nhớ chính được nạp vào các Line của cache.
- ❑ Nội dung Tag (thẻ nhớ) cho biết block nào của bộ nhớ chính hiện đang được chứa ở line đó.
- ❑ Khi CPU truy nhập (đọc/ghi) một từ nhớ, có 2 khả năng xảy ra:
  - Từ nhớ đó có trong cache (cache hit)
  - Từ nhớ đó không có trong cache (cache miss)
- ❑ Vì số line của cache ít hơn số block của bộ nhớ chính, cần có một thuật giải ánh xạ thông tin trong bộ nhớ chính vào cache.



## 2. Các phương pháp ánh xạ

---

(Chính là các phương pháp tổ chức bộ nhớ cache)

- Ánh xạ trực tiếp  
(Direct mapping)
- Ánh xạ liên kết toàn phần  
(Fully associative mapping)
- Ánh xạ liên kết tập hợp  
(Set associative mapping)

## 2. Các phương pháp ánh xạ địa chỉ

### a) Ánh xạ trực tiếp (Direct mapping)

- Mỗi block của bộ nhớ chính chỉ có thể được nạp vào 1 line duy nhất của cache.

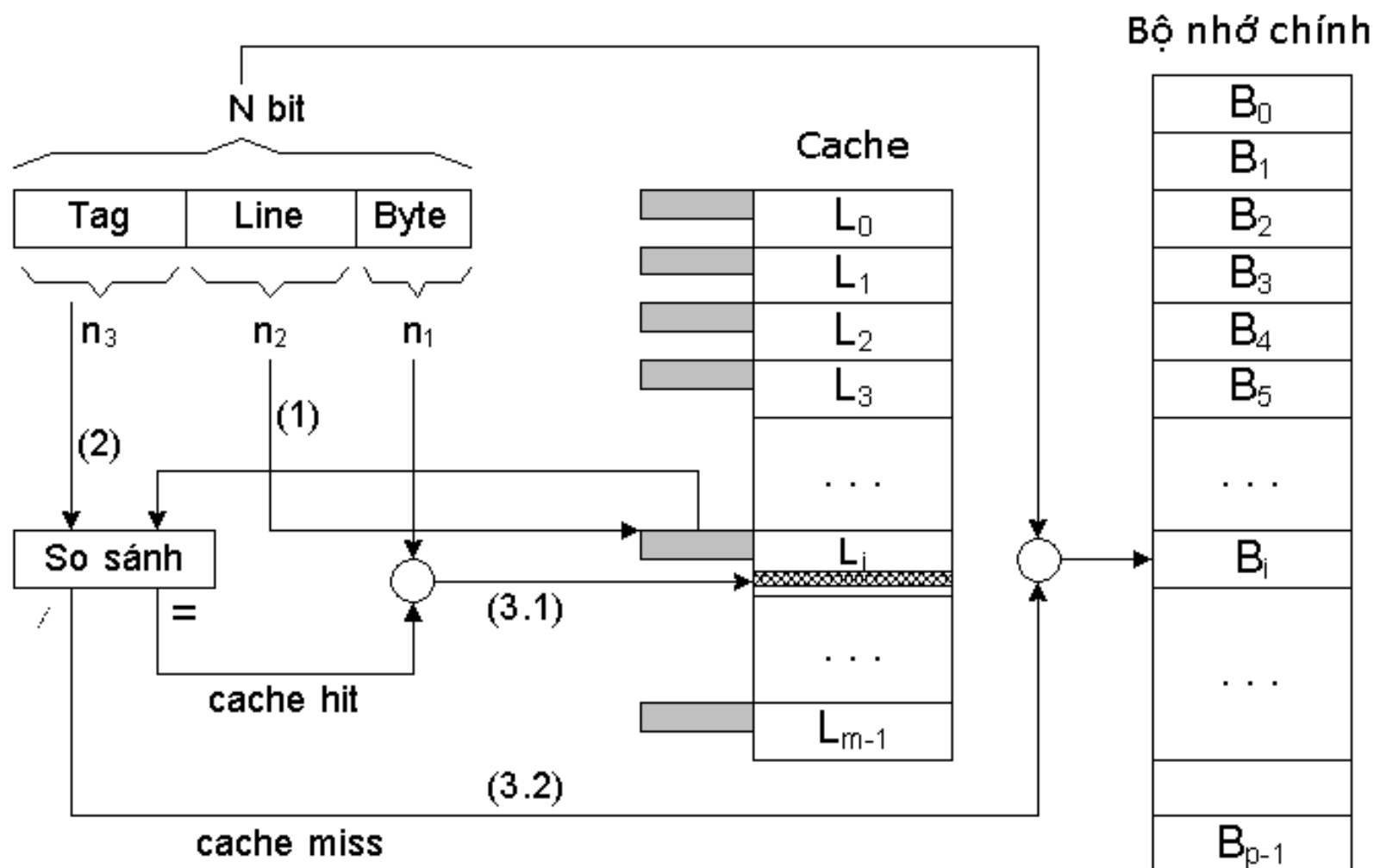
- Quy ước nạp:  
 $B_0 \rightarrow L_0$   
 $B_1 \rightarrow L_1$   
.....  
 $B_{m-1} \rightarrow L_{m-1}$   
 $B_m \rightarrow L_0$   
 $B_{m+1} \rightarrow L_1$

- $L_0 : B_0, B_m, B_{2m} \dots$

- $L_1 : B_1, B_{m+1}, B_{2m+1} \dots$

→  $B_j$  chỉ có thể được nạp vào  $L_{j \bmod m}$

# Ánh xạ trực tiếp (tiếp)



# Ánh xạ trực tiếp (tiếp)

□ Địa chỉ CPU phát ra có  $N$  bit, được chia thành 3 trường:

- Trường Byte (có  $n_1$  bit) để xác định byte nhớ trong Line (Block)

$$2^{n_1} = \text{kích thước 1 Line}$$

- Trường Line (có  $n_2$  bit) để xác định Line trong Cache

$$2^{n_2} = \text{số Line trong Cache}$$

$$\rightarrow \text{Dung lượng Cache} = 2^{n_1} * 2^{n_2} = 2^{n_1+n_2}$$

- Trường Tag (có  $n_3$  bit): số bit còn lại

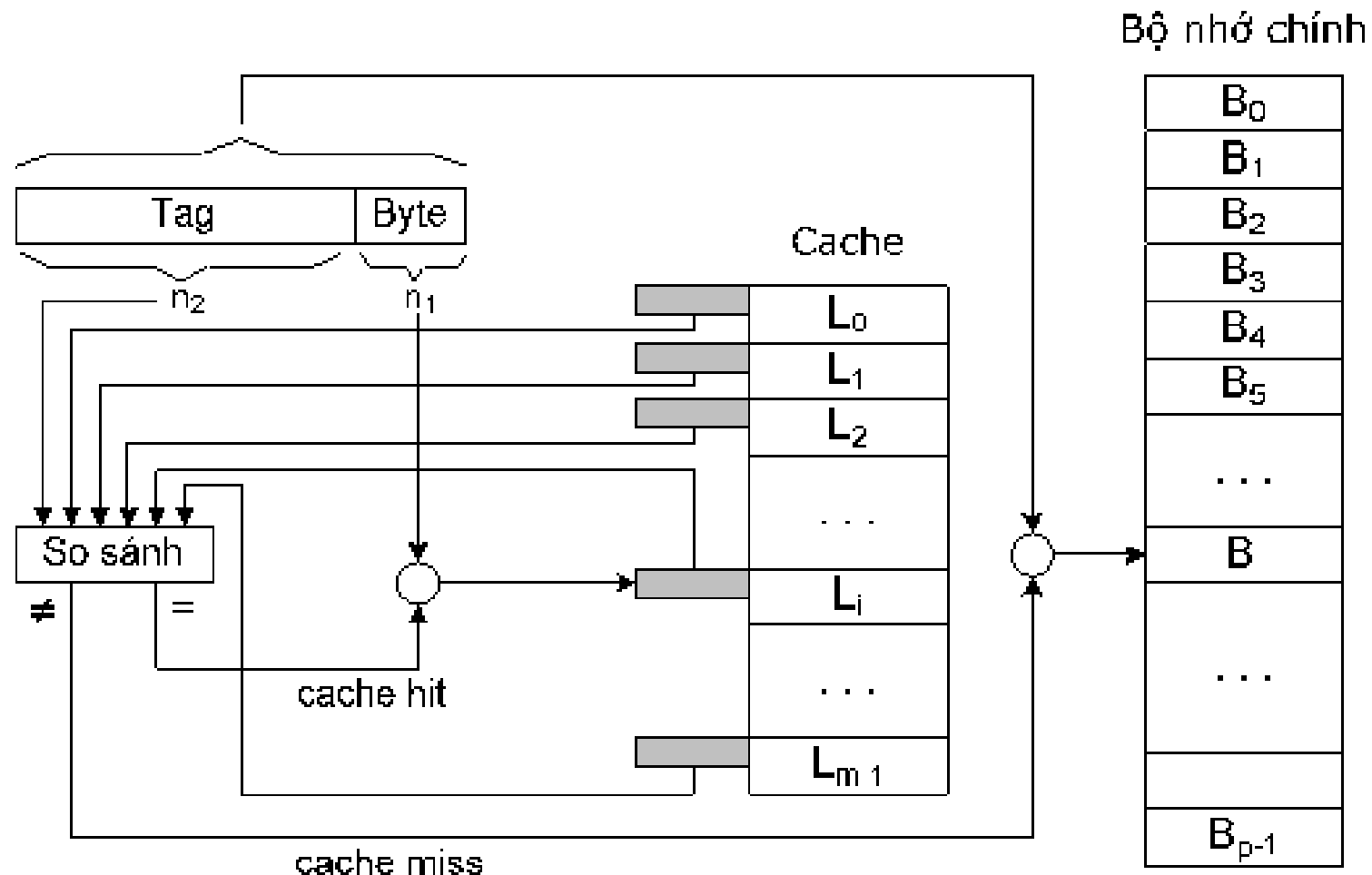
$$n_3 = N - (n_1 + n_2) > 0 \text{ vì } 2^N \gg 2^{n_1+n_2}$$

## b) Ánh xạ liên kết toàn phần

---

- Fully Associative Mapping
- Mỗi block có thể được nạp vào bất kỳ line nào của cache.
- Địa chỉ bộ nhớ do CPU phát ra được chia thành 2 phần: tag và byte.
- Để kiểm tra xem một block có trong cache hay không, phải đồng thời kiểm tra tất cả tag của các line trong cache.  
→ Cần các mạch phức tạp để kiểm tra.

# Ánh xạ liên kết toàn phần (tiếp)





## c) Ánh xạ liên kết tập hợp

- Set Associative Mapping
- Là phương pháp dung hòa của 2 phương pháp trên
- Chia cache thành các tập:  $S_0, S_1, S_2 \dots$
- Mỗi Set có một số Line (2, 4, 8, 16 Line)  
vd mỗi Set có 2 line: *2-way Set Associative Mapping*
- Mỗi block được nạp vào 1 line nào đó trong Set nhất định:

$$B_0 \rightarrow S_0$$

$$B_1 \rightarrow S_1$$

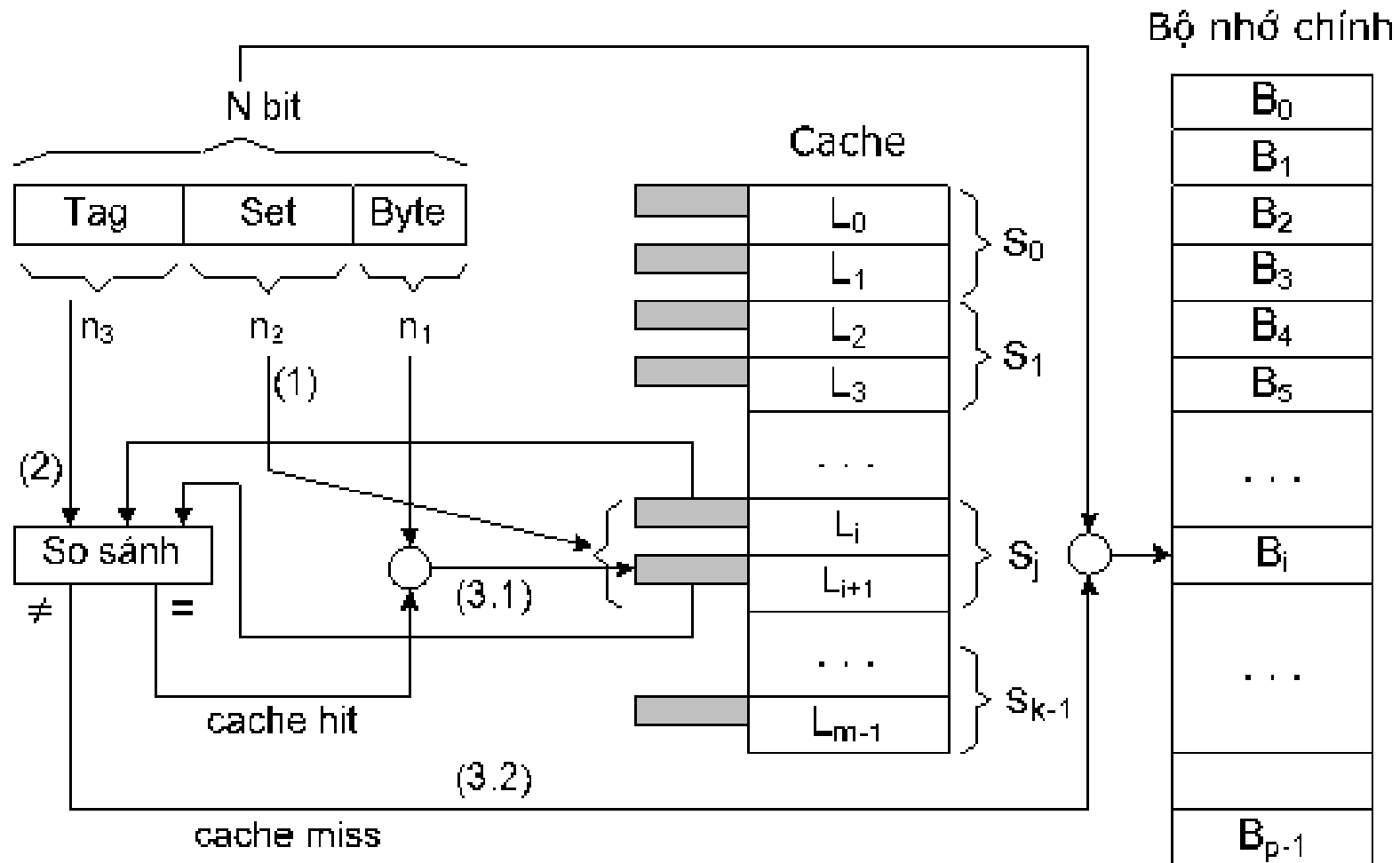
.....

$$B_{k-1} \rightarrow S_{k-1}$$

$$B_k \rightarrow S_0$$

- Địa chỉ do CPU phát ra có 3 trường: Tag, Set, Byte

# Ánh xạ liên kết tập hợp (tiếp)



## Đặc điểm của ánh xạ liên kết tập hợp

- Kích thước *Block* =  $2^W$  Word
- Trường *Set* có  $S$  bit dùng để xác định một trong số  $V = 2^S$  *Set*
- Trường *Tag* có  $T$  bit:  $T = N - (W+S)$
- Tổng quát cho cả hai phương pháp trên
- Thông thường 2,4,8,16Lines/Set

## Ví dụ

---

- Hệ thống có: bộ nhớ chính = 256 MB
  - Cache = 128 KB
  - Line = 16 Byte
- Xác định số bit của các trường địa chỉ khi
  - Ánh xạ trực tiếp
  - Ánh xạ liên kết tập hợp 4 Line/Set

# Ví dụ (tiếp)

1)  $2^N = 256.2^{20} = 2^{28} \rightarrow N = 28 \text{ bit}$

□ Tính cho trường Byte:

Kích thước line = 16 =  $2^4$  Byte  $\rightarrow n_1 = 4 \text{ bit}$

□ Tính cho trường Line:

Số line trong Cache:  $128.2^{10}/16 = 2^{13} \rightarrow n_2 = 13 \text{ bit}$

□ Tính cho trường Tag:

$n_3 = N - (n_1 + n_2) = 28 - (4 + 13) = 11 \text{ bit}$

2) - Trường Byte:  $n_1 = 4 \text{ bit}$

- Trường Set:

Số Set = Số line/4 =  $2^{13}/4 = 2^{11} \rightarrow n_2 = 11 \text{ bit}$

- Trường Tag:  $n_3 = N - (n_1 + n_2) = 28 - (4 + 11) = 13 \text{ bit}$

## Ví dụ 2

Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 128KB, line: 16B, độ dài ngăn nhớ: 2B. Trong trường hợp kỹ thuật ánh xạ trực tiếp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là như thế nào

Giải:

$$1) 2^N = 256 \times 2^{20} / 2 \text{ (vì mỗi ngăn nhớ 2B)} = 2^8 \times 2^{20} / 2 = 2^{27} \Rightarrow N = 27 \text{ bit}$$

Tính cho trường Byte:

$$\text{Kích thước Line} = 16\text{B} / 2 \text{ (vì mỗi ngăn nhớ 2B)} = 2^3\text{B}$$

$$\Rightarrow n_1 = 3\text{bit}$$

Tính cho trường Line:

$$\text{Số line trong cache} = 128 \times 2^{10} / 16 = 2^{17} / 2^4 = 2^{13} \text{ vậy } n_2 = 13$$

Tính cho trường Tag:

$$n_3 = N - n_1 - n_2 = 27 - 3 - 13 = 11$$

$$\text{Kết luận: } n_3 + n_2 + n_1 = 11 + 13 + 3$$

### 3. Các thuật giải thay thế block trong cache

- Khi CPU truy nhập một thông tin mà không có trong cache (cache miss) thì nạp block chứa thông tin đó vào trong cache để thay thế block cũ trong cache.
- Ánh xạ trực tiếp → chỉ có 1 cách nạp → không cần thuật giải để nạp.
- 2 phương pháp ánh xạ liên kết → cần có thuật giải để lựa chọn thay thế.

## Các thuật giải thay thế block trong cache (tiếp)

---

1. Random: thay block một cách ngẫu nhiên.
2. FIFO (First In, First Out): thay thế block đã tồn tại lâu nhất *trong toàn cache đối với ánh xạ liên kết toàn phần, trong set đối với ánh xạ liên kết tập hợp*.
3. LFU (Least Frequently Used): thay block có số lần truy nhập ít nhất.
4. LRU (Least Recently Used): thay block có khoảng thời gian dài nhất không được truy nhập → được đánh giá là hiệu quả nhất.



## 4. Phương pháp ghi dữ liệu khi cache hit

---

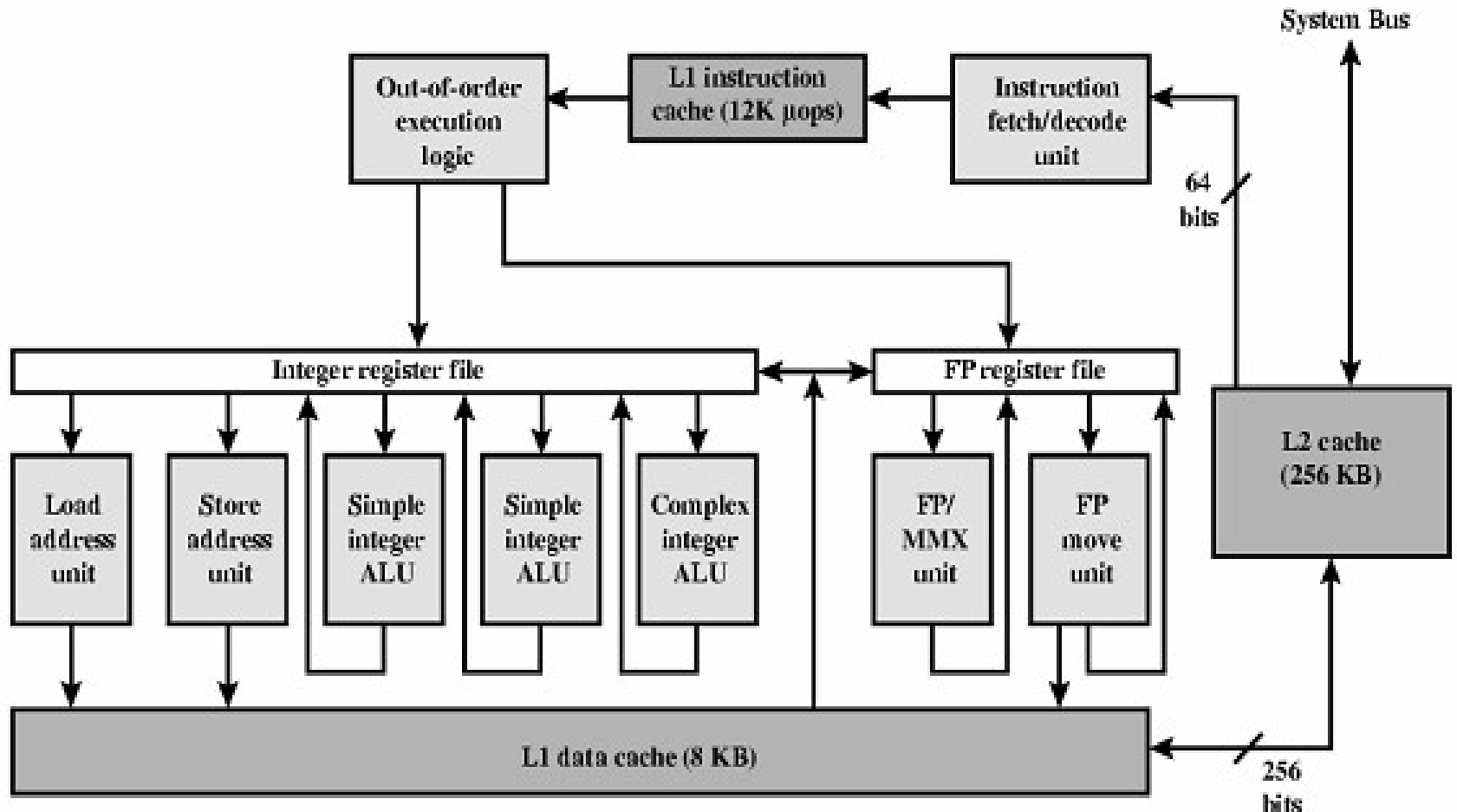
- Ghi xuyên qua (Write through)
  - ghi cả cache và bộ nhớ chính
  - tốc độ chậm
- Ghi trả sau (Write back)
  - chỉ ghi ra cache
  - tốc độ nhanh
  - khi block trong cache bị thay thế cần phải ghi trả cả block về bộ nhớ chính

## 5. Cache trên các bộ xử lý Intel

---

- ❑ 80386: không có cache trên chip
- ❑ 80486: 8KB
- ❑ Pentium: có 2 cache L1 trên chip
  - cache lệnh = 8KB
  - cache dữ liệu = 8KB
- ❑ Pentium 4: hai mức cache L1 và L2 trên chip
  - Cache L1:
    - ❑ 2 cache L1, mỗi cache 8KB
    - ❑ kích thước Line = 64 byte
  - Cache L2:
    - ❑ 256 KB - 2 MB
    - ❑ kích thước Line = 128 byte

# Sơ đồ Pentium 4



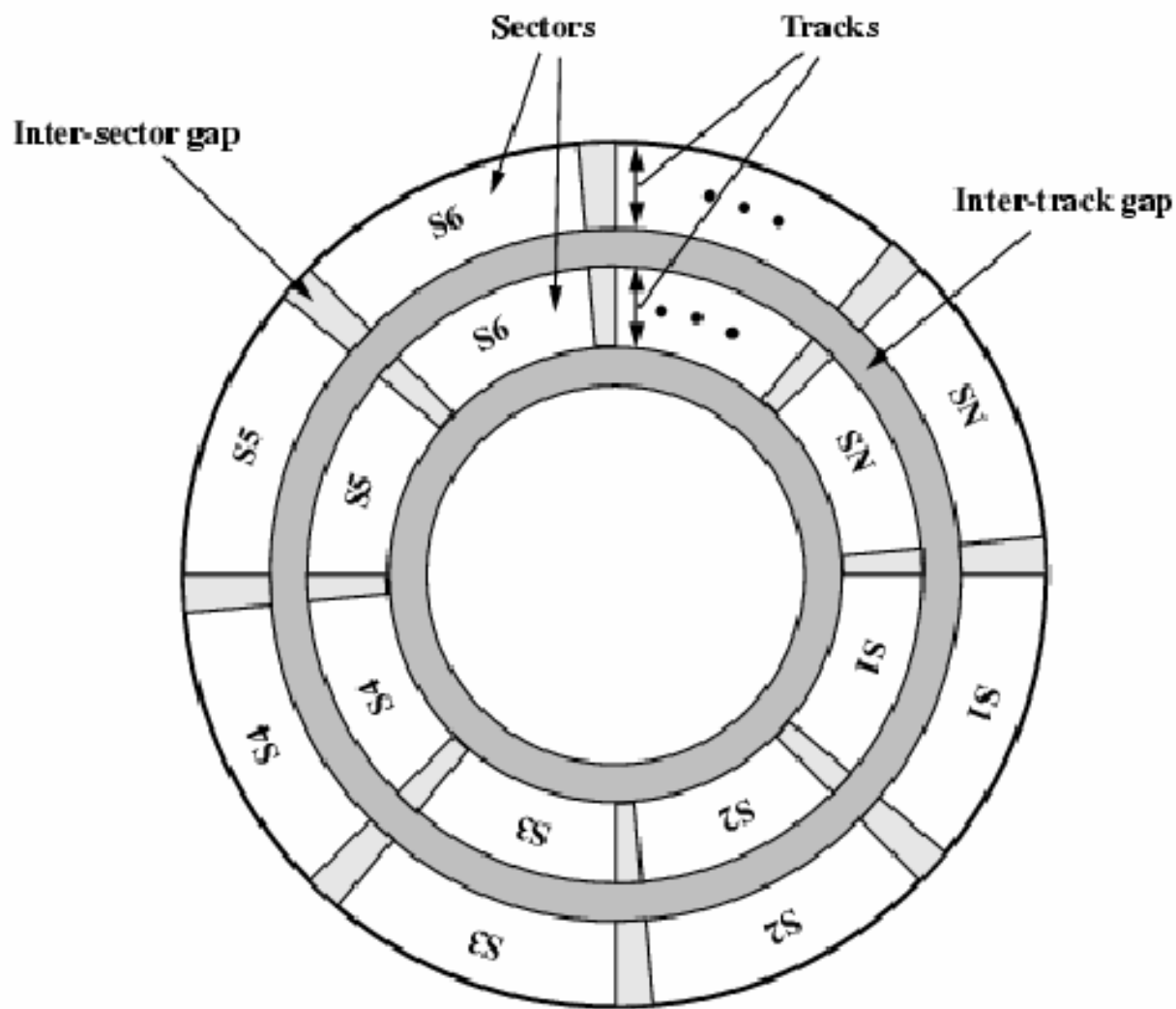
# 5. Bộ nhớ ngoài

---

## 1. Các kiểu bộ nhớ ngoài

- ❑ Đĩa từ (Magnetic Disk)
- ❑ Đĩa quang (Optical Disk)
- ❑ Flash Disk
- ❑ Băng từ (Magnetic Tape)

## 2. Đĩa từ (Platter)

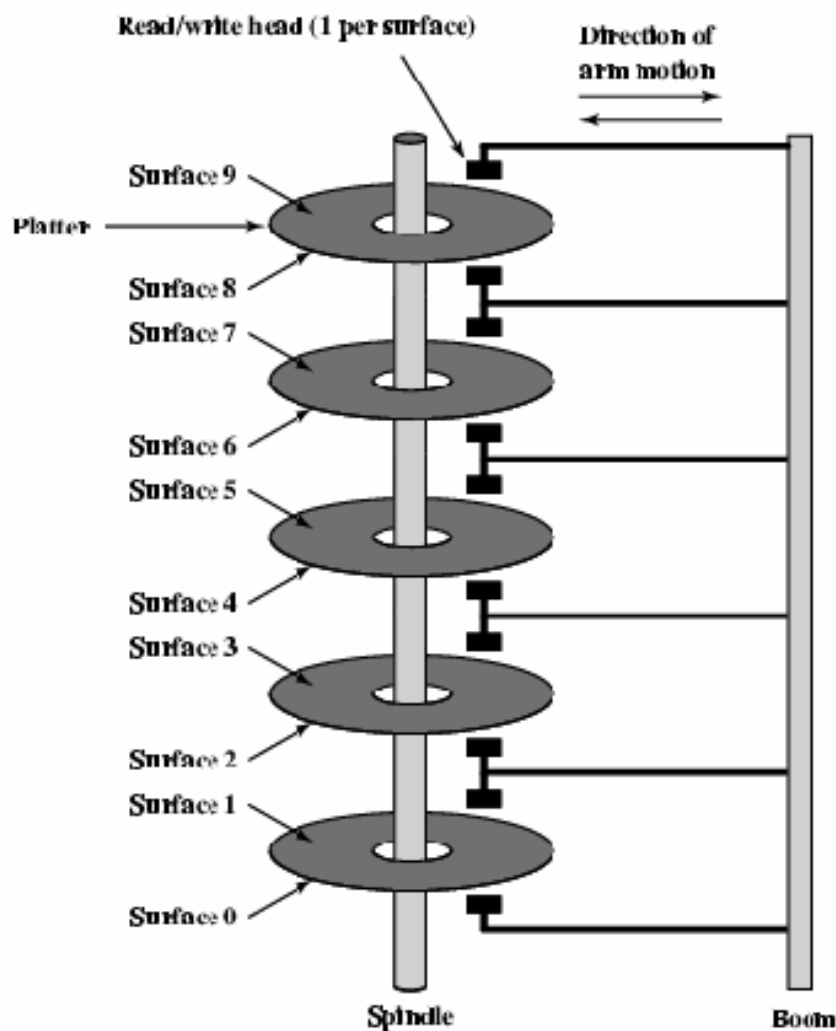


# Các đặc tính đĩa từ

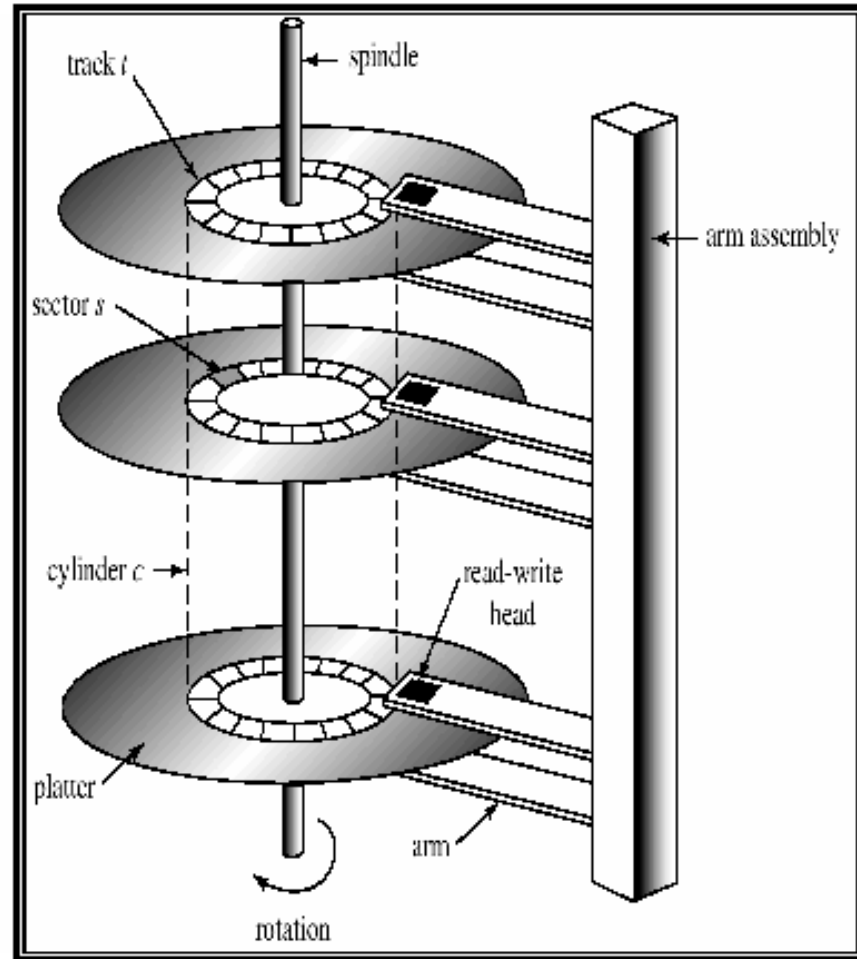
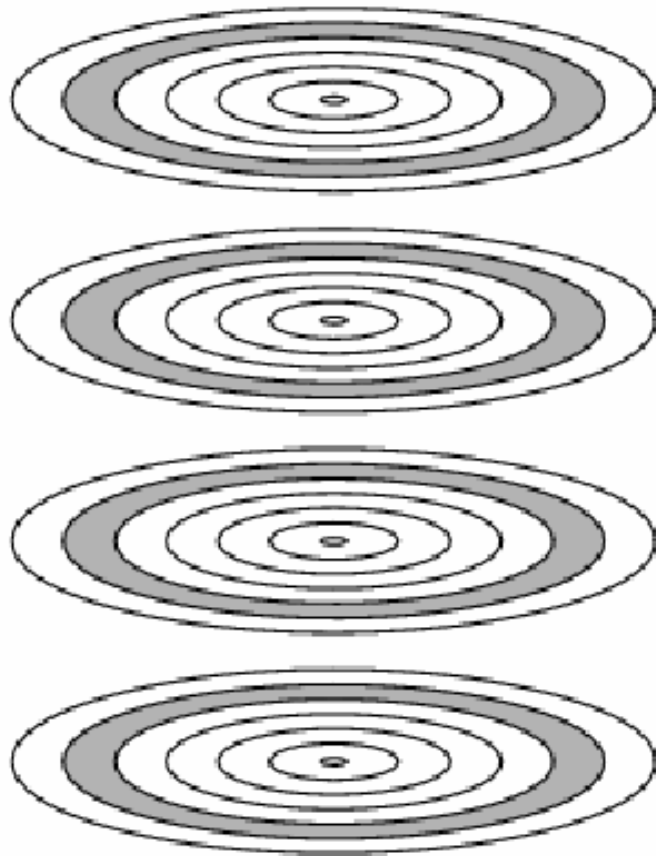
---

- Đầu từ cố định hay đầu từ di động
- Đĩa cố định hay thay đổi
- Một mặt hay hai mặt
- Một đĩa hay nhiều đĩa
- Cơ chế đầu từ
  - Tiếp xúc (đĩa mềm)
  - Không tiếp xúc

# Nhiều đĩa (Multiple Platters)



# Cylinders





# Đĩa mềm

---

- ❑ 8", 5.25", 3.5"
- ❑ Dung lượng nhỏ: chỉ tới 1.44 MB
- ❑ Tốc độ chậm (360 rpm)
- ❑ Thông dụng
- ❑ Rẻ tiền
- ❑ Tương lai có thể không dùng nữa?

# Đĩa cứng

---

- ❑ Một hoặc nhiều đĩa
- ❑ Thông dụng
- ❑ Dung lượng tăng lên rất nhanh
  - 1993: 200 MB
  - 2005: 30 GB, 40 GB, 80 GB, 120 GB ...
- ❑ Tốc độ đọc/ghi nhanh (5400, 7200 rpm)
- ❑ Rẻ tiền

# RAID

---

- ❑ Redundant Array of Inexpensive Disks
- ❑ Redundant Array of Independent Disks
- ❑ Tập các đĩa cứng vật lý được HĐH coi như một ổ logic duy nhất
- ❑ Dữ liệu được lưu trữ phân tán trên các ổ đĩa vật lý
- ❑ Có thể sử dụng dung lượng dư thừa để lưu trữ các thông tin kiểm tra chẵn lẻ, cho phép khôi phục lại thông tin trong trường hợp đĩa bị hỏng
- ❑ 7 loại phổ biến (RAID 0-6)

### 3. Đĩa quang

---

- ❑ CD-ROM (Compact Disk ROM)
- ❑ CD-R (Recordable CD)
- ❑ CD-RW (Rewriteable CD)
- ❑ Dung lượng thông dụng 700 MB
- ❑ Ổ đĩa CD:
  - Ổ đĩa CD-ROM
  - Ổ CD-Writer: ghi một phiên hoặc ghi nhiều phiên
  - Ổ CD-RW
- ❑ Tốc độ đọc cơ sở 150 KB/s
- ❑ Tốc độ bội, ví dụ: 48x, 52x, ...

# Đĩa quang (tiếp)

---

## □ DVD

- Digital Video Disk: chỉ dùng trên ổ đĩa xem video
- Digital Versatile Disk: ổ trên máy tính
- Ghi một hoặc hai mặt
- Một hoặc hai lớp trên một mặt
- Thông dụng: 4,7 GB/lớp

## 4. Flash Disk

---

- ❑ Bộ nhớ bán dẫn cực nhanh (flash memory)
- ❑ Thường kết nối qua cổng USB
- ❑ Không phải dạng đĩa
- ❑ Dung lượng tăng nhanh (64 MB – 2 GB)
- ❑ Thuận tiện

# SSD (Solid State Drive)

SSD là giải pháp ổ cứng thể rắn (Solid State Drive) có nhiều ưu điểm vượt trội so với HDD truyền thống.

Không giống như HDD vốn ghi dữ liệu lên các phiến đĩa mà được ghi lên các chip flash với nhiều ưu điểm vượt trội hơn như tốc độ truy xuất dữ liệu cao, chạy êm, độ bền cao



## 6. Hệ thống nhớ trên PC hiện nay

---

- Bộ nhớ cache: tích hợp trên chip vi xử lý
- Bộ nhớ chính: tồn tại dưới dạng các mô-đun nhớ RAM
  - SIMM – Single Inline Memory Module
    - 30 chân: 8 đường dữ liệu
    - 72 chân: 32 đường dữ liệu
  - DIMM - Dual Inline Memory Module
    - 168 chân: 64 đường dữ liệu
  - RIMM – Rambus DRAM



# Hệ thống nhớ trên PC (tiếp)

---

- ROM BIOS chứa các chương trình sau:
  - Chương trình POST (Power On Self Test)
  - Chương trình CMOS Setup
  - Chương trình Bootstrap loader
  - Các trình điều khiển vào-ra cơ bản (BIOS)
- CMOS RAM:
  - Cấu hình hệ thống
  - Đồng hồ hệ thống
  - Có pin nuôi riêng
- Video RAM: quản lý thông tin của màn hình
- Các loại bộ nhớ ngoài