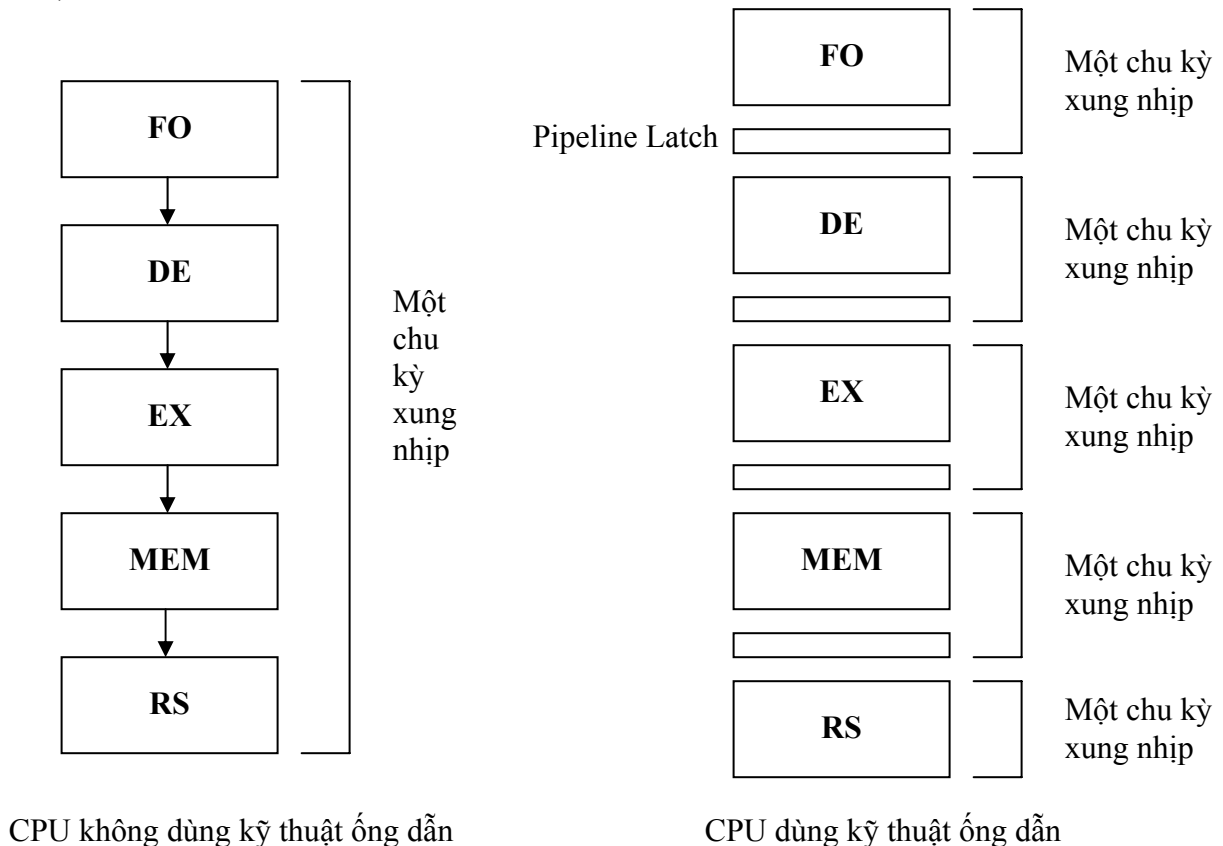


BÀI TẬP CHƯƠNG 3

3.1. Mô tả việc vận chuyển dữ liệu khi thực hiện của các lệnh sau:

1. Load R5, (R20)
2. Store R7, 100(R21)
3. Add R5, R4, R20
4. Sub R10, R12, R24
5. And R5, R2, R15
6. Or R15, R3, R7
7. JMP R7
8. BRA +5
9. BGT R4, +2

3.2. Cùng 1 CPU, giả sử ta có thể dùng kỹ thuật ống dẫn hoặc không. Nếu không dùng kỹ thuật ống dẫn thì mỗi lệnh được thực hiện trong 1 chu kỳ xung nhịp $T_{unpipelined}$. Nếu thực hiện kỹ thuật ống dẫn có 5 giai đoạn thì mỗi giai đoạn (tính luôn cả thời gian chốt ống dẫn – Pipeline Latch Latency) được thực hiện trong một chu kỳ xung nhịp $T_{Pipelined}$ (hình vẽ)



- a) Cho biết chu kỳ xung nhịp $T_{\text{unpipelined}} = 25\text{ns}$. Trường hợp thời gian thực hiện các giai đoạn (Latency) là bằng nhau và thời gian chốt ống dẫn là 1ns . **Tính $T_{\text{Pipelined}}$ và tốc độ xử lý** (Throughput: số lệnh thực hiện trong 1s , đơn vị tính operations/second).
- b) Tương tự như câu a, nhưng dùng kỹ thuật siêu ống dẫn bậc $n = 10$. **Tính $T_{\text{Pipelined}}$ và tốc độ xử lý . So sánh tổng thời gian chốt ống dẫn trong 2 trường hợp dùng kỹ thuật ống dẫn 5 giai đoạn và dùng kỹ thuật siêu ống dẫn bậc 10. Nhận xét?**
- c) Tương tự như câu a, nhưng thời gian thực hiện các giai đoạn là khác nhau, cụ thể là 5, 7, 3, 6 và 4 ns lần lượt cho các giai đoạn. Trong trường hợp này $T_{\text{Pipelined}}$ được chọn tương ứng với thời gian của giai đoạn dài nhất. **Tính $T_{\text{Pipelined}}$ và tốc độ xử lý.**