BÀI GIẢI BÀI TẬP 3

1. Load R5, (R20)

1. Đọc lệnh:

MAR ← PC IR ← M[MAR]

2. Giải mã lệnh và đọc thanh ghi nguồn:

A \leftarrow 0 B \leftarrow R₂₀ PC \leftarrow PC + 4

3. Thi hành lênh:

MAR ← A+B

4. Thâm nhập bộ nhớ:MDR ← M[MAR]

5. Lưu trữ kết quả:

 $R_5 \leftarrow MDR$

2. Add R20, R4, R5

1. Đọc lệnh:

MAR← PC IR ← M[MAR]

2. Giải mã lệnh và đọc thanh ghi nguồn:

A ← R4 B ← R5 PC ← PC+4

3. Thi hành lệnh:

Ngã ra của ALU ← A + B

4. Lưu trữ kết quả:

R20 ← Ngã ra của ALU

3. Sub R10, R12, R24

1. Đọc lệnh:

MAR ← PC

 $IR \leftarrow M[MAR]$

2. Giải mã lệnh và đọc thanh ghi nguồn:

A ← R12 B ← R24 PC ← PC + 4

3. Thi hành lênh:

Ngã ra của ALU ← A-B

4. Lưu trữ kết quả:

R10 ← Ngã ra của ALU

4. And R6, R2, R15

1. Đọc lệnh:

MAR ← PC

 $IR \leftarrow M[MAR]$

2. Giải mã lệnh và đọc thanh ghi nguồn:

A ← R2 B ← R15 PC ← PC + 4

3. Thi hành lệnh:

Ngã ra của ALU ← A and B

4. Lưu trữ kết quả:

R6 ← Ngã ra của ALU

5. Or R15, R3, R7

1. Đọc lệnh:

MAR ← PC

 $IR \leftarrow M[MAR]$

2. Giải mã lệnh và đọc thanh ghi nguồn:

A ← R3 B ← R7 PC ← PC+4

3. Thi hành lệnh:

Ngã ra của ALU ← A or B

4. Lưu trữ kết quả:

R15 ← Ngã ra của ALU

6. JMP R7 (Trở về chương trình chính tại địa chỉ chứa trong R7)

1. Đoc lênh:

MAR← PC
IR ← M[MAR]

2. Giải mã lệnh và đọc thanh ghi nguồn:

A \leftarrow 0 B \leftarrow R7 PC \leftarrow PC + 4

3. Thi hành lệnh:

Ngã ra của ALU ← A+B

4. Nhảy lần cuối:

PC ← Ngã ra của ALU

1

7. BRA +5 (Nhảy không điều kiện)

Đọc lệnh:

MAR ← PC

 $IR \leftarrow M[MAR]$

Giải mã lệnh và đọc thanh ghi nguồn:

 $A \leftarrow PC$

B ← 5*4

 $PC \leftarrow PC + 4$

Thi hành lênh:

Ngã ra ALU ← A + B

Nhảy lần cuối:

PC ← ngã ra ALU

8. BGT R4, +2 (Nhảy bỏ 2 lệnh nếu điều kiện trên R4 thỏa)

Đoc lênh:

MAR ← PC

 $IR \leftarrow M[MAR]$

Giải mã lệnh và đọc thanh ghi nguồn:

 $A \leftarrow PC$

B ← 2*4

PC ← PC + 4

Thi hành lệnh:

Xét điều kiện trên R4,

Nếu thỏa điều kiện

Ngã ra ALU ← A + B

Nhảy lần cuối:

PC ← ngã ra ALU

Nếu không thỏa điều kiện

Thực hiện lệnh kế tiếp

9. MUL R7, R10, R6

1. Đọc lệnh:

MAR ← PC

 $IR \leftarrow M[MAR]$

2. Giải mã lệnh và đọc thanh ghi nguồn:

A ← R10

B ← R6

PC ← PC + 4

3. Thi hành lệnh:

ngã ra ALU ← A.B

4. Lýu trữ kết quả:

R7 ← ngã ra ALU

10. Store R7, 100(R21)

1. Đọc lệnh:

MAR← PC

 $IR \leftarrow M[MAR]$

2. Giải mã lệnh và đọc thanh ghi nguồn:

A ← 100

 $B \leftarrow R_{21}$

PC ← PC + 4

3. Thi hành lênh:

 $MAR \leftarrow A + B$

 $MDR \leftarrow R_7$

4. Thâm nhập bộ nhớ:

M[MAR] ← MDR

3.2.

a) Tinh $T_{pipelined}$:

$$T_{\text{pipeline}} = \frac{T_{\text{unpipeline}}}{m} + T_{\text{L}}$$

với m là số giai đoạn của kỹ thuật ống dẫn, T_L là thời gian chốt ống dẫn (Pipeline latch Latency). Ta có:

$$T_{\text{pipeline}} = \frac{25\text{ns}}{5} + 1\text{ns} = 6\text{ns}$$

Tính tốc độ xử lý (Throughput) ký hiệu R:

Ta có thể xem trong kỹ thuật ống dẫn cơ bản CPU thự hiện đồng thời 5 lệnh trong thời gian $T_{unpipelined} + 5.T_L$, vì vậy mỗi lệnh được thực hiện trong thời gian $T_{pipelined}$. Số lệnh thực hiện trong 1 s là:

$$R = \frac{1}{T_{\text{pipeline}}} = \frac{1}{6.10^{-9}} = 166.7 \text{ triệu lệnh/s}$$

b) **Trong kỹ thuật siêu ống dẫn bậc n** = **10**, mỗi giai đoạn cơ bản chia thành 10 giai đoạn con. Tổng số giai đoạn tương ứng với 1 lệnh là: m = 5*10 = 50 giai đoạn.

$$T_{\text{pipeline}} = \frac{25\text{ns}}{50} + 1\text{ns} = 1.5\text{ns}$$

Tốc độ xử lý: Ta có thể xem trong kỹ thuật siêu ống dẫn bậc n=10, CPU thự hiện đồng thời 50 lệnh trong thời gian $T_{unpipelined} + 50*T_L$, vì vậy mỗi lệnh được thực hiện trong thời gian $T_{pipelined}$ Số lệnh thực hiện trong 1 s là:

$$R = \frac{1}{T_{\text{pipeline}}} = \frac{1}{1.5 * 10^{-9}} = 666.7 \text{ triệu lệnh/s}$$

c) Trường hợp thời gian thực hiện các giai đoạn là khác nhau, cụ thể là 5, 7, 3, 6 và 4 ns lần lượt cho các giai đoạn. Trong trường hợp này, chu kỳ xung nhịp T_{pipelined} phải bằng thời gian của giai đoạn dài nhất cộng với thời gian chốt ống dẫn. Ta có:

$$T_{pipelined} = 7 + 1 = 8 \text{ ns}$$

$$R = 1/T_{pipelined} = 1/8 = 125 \text{ triệu lệnh/s}$$