

BÀI TẬP CHƯƠNG 4

1. Một bộ nhớ có m đường địa chỉ và có n đường dữ liệu, lập công thức tính dung lượng D của nó, đơn vị là byte?
2. Cho 1 bộ nhớ có dung lượng là D (byte), số bit của bus số liệu là n (cùng số bit của 1 ô nhớ). Hãy cho biết số bit địa chỉ?
3. Một bộ nhớ có 4 chip, mỗi chip có dung lượng là 1KB. Tính số bit địa chỉ của mỗi chip và bit địa chỉ của bộ nhớ. Vẽ sơ đồ kết nối các chip trong bộ nhớ.
4. Một bộ nhớ gồm 3 chip nhớ. Hãy điền các bit 0 hoặc 1 vào bảng trạng thái sau:

	$\overline{CS_0}$	$\overline{CS_1}$	$\overline{CS_2}$	$\overline{OE_0}$	$\overline{OE_1}$	$\overline{OE_2}$	$R/\overline{W_0}$	$R/\overline{W_1}$	$R/\overline{W_2}$
Ghi chip 1	1	0	1	x	1	x	x	0	x
Đọc chip 0	0	1	1	0	x	x	1	x	x
Ghi chip 2									
Đọc chip 2									
Ghi chip 0									
Đọc chip 1									

6. Cho một bộ nhớ cache tương ứng trực tiếp có 8 khối, mỗi khối có 16 byte. Bộ nhớ trong có 256 khối. Khi thành công cache sử dụng cách ghi lại; Khi thất bại cache dùng cách ghi có nạp.

6.1. Tính:

- Số bit dùng để xác định địa chỉ 1 ô nhớ trong bộ nhớ trong.
- Số bit dùng để xác định số thứ tự khối trong bộ nhớ trong.
- Số bit dùng để xác định số thứ tự ô nhớ trong 1 khối.
- Số bit dùng để xác định số thứ tự khối trong cache.
- Số bit dùng để xác định số thứ tự tập hợp trong cache (giả sử 1 TH có 2 khối).
- Số bit dùng để xác định nhãn của 1 khối trong cache, trường hợp tương ứng trực tiếp.
- Số bit dùng để xác định nhãn của 1 khối trong cache, trường hợp hoàn toàn phối hợp.
- Số bit dùng để xác định nhãn của 1 khối trong cache, trường hợp phối hợp theo tập hợp.

- 6.2. Giả sử lúc khởi động, cho biết 8 khối sau đây của bộ nhớ trong đã được đưa lên cache: **8, 17, 23, 34, 38, 67, 69, 132**. Viết bảng nhãn của các khối hiện đang nằm trong cache ngay sau khi khởi động. M là bit đánh dấu trong chiến thuật ghi lại, ngay sau khi khởi động M=0, nếu một khối đã được ghi thì M=1.

Chỉ số	Nhãn					M
0						
1						
2						
3						
4						
5						
6						
7						

- 6.3. Cập nhật bảng nhãn khi CPU phát ra một trong các địa chỉ sau đây để đọc hoặc ghi vào bộ nhớ trong:
- Đọc: 43FH,
 - Đọc: 82AH,
 - Đọc: 915H,
 - Ghi: 08CH,
 - Ghi: B4AH,
 - Ghi: 45DH,
 - Đọc: 5E9H,
 - Ghi: C7AH,
 - Đọc: D85H,
 - Ghi: 92AH,
 - Đọc: 6C5H,
 - Ghi: 458H.
7. Tương tự như câu 6.2, nhưng với bộ nhớ cache hoàn toàn phối hợp.
8. Tương tự như câu 6.2, nhưng với bộ nhớ cache phối hợp theo tập hợp.
9. Giải thông của bộ nhớ trong:
- Một bộ nhớ có thời gian thâm nhập là $T_L = 20\text{ns}$, thời gian nạp lại là $T_F = 5\text{ns}$, độ rộng bus dữ liệu là 2 bytes. Tính dải thông bộ nhớ.
 - Một bộ nhớ có chu kỳ bộ nhớ là $T_C = 40\text{ns}$, độ rộng bus dữ liệu là 2 bytes. Dùng kỹ thuật ống dẫn cho phép gói đầu 4 truy xuất, giả sử bỏ qua thời gian đầu (từ khi đưa địa chỉ thứ I đến địa chỉ thứ II) Tính dải thông bộ nhớ.
10. Cho 1 bộ nhớ ảo có 16 trang, mỗi trang có dung lượng là 4KB, mỗi ô nhớ 1 byte. Bộ nhớ trong có 8 trang.
- Tính số bit của địa chỉ ảo và của địa chỉ thực.
 - Cho biết địa chỉ thực khi CPU xuất ra địa chỉ ảo là 8196 để truy xuất bộ nhớ. Cho biết thành công hay thất bại, tìm địa chỉ thật.
 - Cho biết địa chỉ thực khi CPU xuất ra địa chỉ ảo là 8A3CH để truy xuất bộ nhớ. Cho biết thành công hay thất bại, tìm địa chỉ thật.

Giả sử trang thật ít dùng nhất hiện thời là trang 4 và bảng trang như hình sau.

	Present bit	Page Frame
0	1	010
1	1	001
2	1	110
3	1	000
4	1	100
5	1	011
6	0	xxx
7	0	xxx
8	0	xxx
9	1	101
10	0	xxx
11	1	111
12	0	xxx
13	0	xxx
14	0	xxx
15	0	xxx

11. Một tổ chức bộ nhớ như sau: bộ nhớ thật 64 byte, bộ nhớ ảo 128 byte, kích thước trang 16 byte.

- Lập bảng trang mô tả cơ chế nhận diện trang trong tổ chức bộ nhớ ảo.
- Cho bảng trang và dữ liệu trong bộ nhớ trong như hình sau, khi CPU xuất ra địa chỉ 1100001 để đọc bộ nhớ. Cho biết số liệu đọc được.