

得分

第五题（15 分）

Cache 为处理器提供了一个高性能的存储器层次框架。下面是一个 8 位存储器地址引用的列表（地址单位为字节，地址为 10 进制表示）：

3, 180, 43, 2, 191, 88, 190, 14, 181, 44

1. 考虑如下 cache（S=2, E=2），每个 cache block 大小为 2 个字节。假设 cache 初始状态为空，替换策略为 LRU。请填补下表：

（Tag 使用二进制格式；Data 使用十进制格式，例：M[6-7]表示地址 6 和 7 对应的数据）

	V	Tag	Data	V	TAG	Data
SET 0	1			1		
SET 1	1			1		

共命中_____次，分别访问地址_____（地址用 10 进制表示）

2. 现在有另外两种直接映射的 cache 设计方案 C1 和 C2，每种方案的 cache 总大小都为 8 个字节，C1 块大小为 2 个字节，C2 块大小为 4 个字节。假设从内存加载一次数据到 cache 的时间为 25 个周期，访问一次 C1 的时间为 3 个周期，访问一次 C2 的时间为 5 个周期。
 - a) 针对第一问的地址访问序列，哪一种 cache 的设计更好？
 - b) 请分别给出两种 cache 访问第一问地址序列的总时间，以及 miss rate。

3. 现在考虑另外一个计算机系统。在该系统中，存储器地址为 32 位，并采用如下的 cache：

Cache datasize	Cache block size	Cache mode
32 KiB	8 Bytes	直接映射

此 cache 至少要占用_____Bytes. (datasize + (valid bit size + tag size) * blocks)