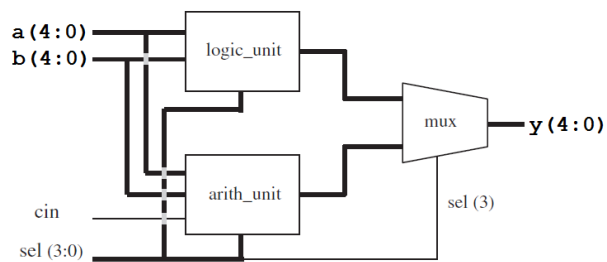


Prueba 2 de VHDL 24 de junio de 2024

Descripción: se desea implementar una unidad aritmético lógica (ALU) básica que tiene las funcionalidades mostradas en la figura 1.



sel	Operation	Function	Unit
0000	$y \leftarrow a$	Transfer a	Arithmetic
0001	$y \leftarrow a+1$	Increment a	
0010	$y \leftarrow a-1$	Decrement a	
0011	$y \leftarrow b$	Transfer b	
0100	$y \leftarrow b+1$	Increment b	
0101	$y \leftarrow b-1$	Decrement b	
0110	$y \leftarrow a+b$	Add a and b	
0111	$y \leftarrow a+b+cin$	Add a and b with carry	
1000	$y \leftarrow \text{NOT } a$	Complement a	Logic
1001	$y \leftarrow \text{NOT } b$	Complement b	
1010	$y \leftarrow a \text{ AND } b$	AND	
1011	$y \leftarrow a \text{ OR } b$	OR	
1100	$y \leftarrow a \text{ NAND } b$	NAND	
1101	$y \leftarrow a \text{ NOR } b$	NOR	
1110	$y \leftarrow a \text{ XOR } b$	XOR	
1111	$y \leftarrow a \text{ XNOR } b$	XNOR	

- Únicamente se puede utilizar la librería: **ieee.std_logic_1164.all**
- Tanto las unidades lógica y aritmética, así como el multiplexor y cualquier operación deberá ser implementada mediante componentes individuales
- Los datos a y b serán ingresados mediante los switches del 13 al 15 y del 0 al 2, respectivamente (el bit más significativo siempre será el switch de mayor numeración).
- Los datos a y b ingresados mediante los switches se deberá mostrar en los correspondientes LEDs y en los displays de siete segmentos de más a la izquierda.
- El resultado se mostrará en los displays de siete segmentos de más a la izquierda cuando la operación es matemática, caso contrario el resultado se mostrará en los LEDs del 5 al 8.
- Se asignará calificación total si se presenta durante la hora de la prueba el sistema operativo y correcto.
- Al final de la sesión los estudiantes deberán subir al evirtual un archivo comprimido que contenga todos los archivos *.vdl y el archivo de constraints, el nombre del archivo comprimido deberá tener el siguiente formato: *apellido_nombre*