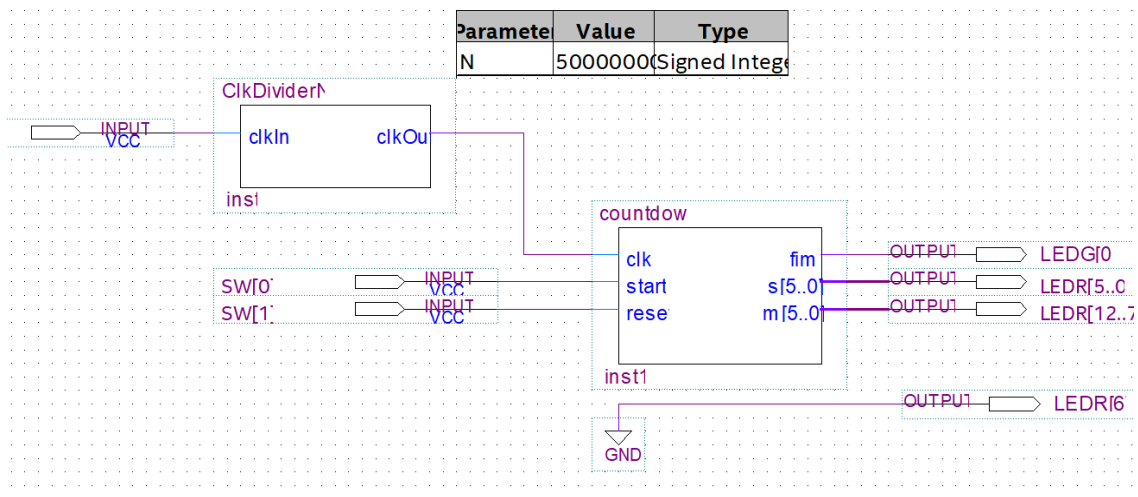


## 1ª Fase:

Esta fase é composta por dois blocos, um chamado “ClkDividerN” e outro chamado de “countdown”.

O bloco “CLKDividerN” tem uma entrada de clock, ligada ao clock\_50, que é o clock disponibilizado no kit. Este bloco, tal como o nome indica, divide a frequência de entrada do clock em um número parametrizado pelo utilizador. Neste caso iremos atualizar esse valor em 50.000.000. Como a frequência inicial do clock\_50 é de 50.000.000Hz, dividimos esse valor de modo a obter uma frequência de 1Hz de modo a obter um intervalo de tempo de 1s.

O bloco “countdown” possui 3 inputs, uma para um clock, que já provém do bloco anterior, um start ativado por um switch na placa FPGA (SW[0]) que começa ou pára a contagem decrescente, consoante o SW[0] esteja ou não ativo, e por fim um reset ligado a um outro switch (SW[1]), para repor o valor inicial de 59:59. Os seus 3 outputs são a contagem dos segundos a partir dos primeiros 6 LED’s vermelhos da FPGA (LEDR[5..0]) e mais 6 para os minutos (LEDR[12..7]) sendo a terceira saída um LED verde (LEDG[0]) configurado para quando a contagem chegar ao fim (00:00), este mesmo acender.

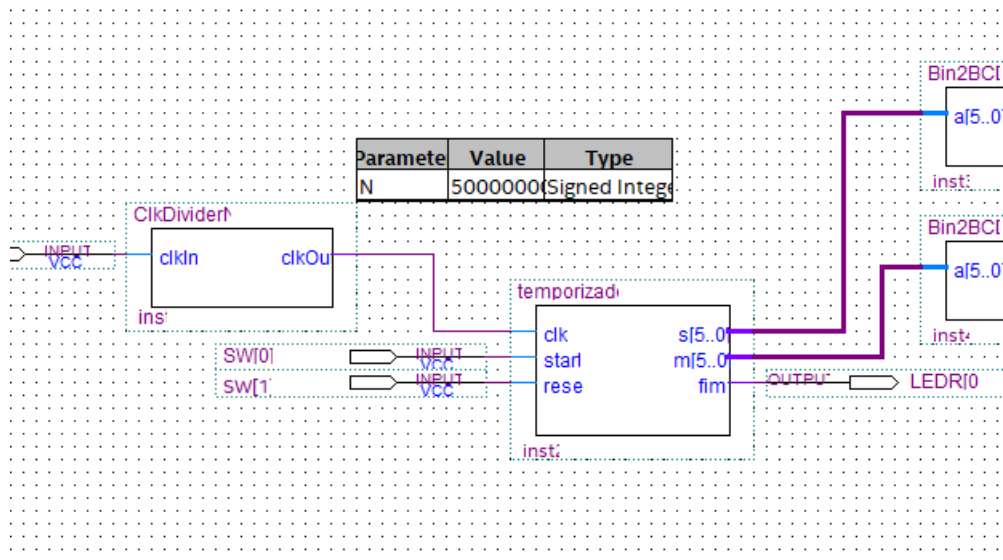


## 2ª Fase:

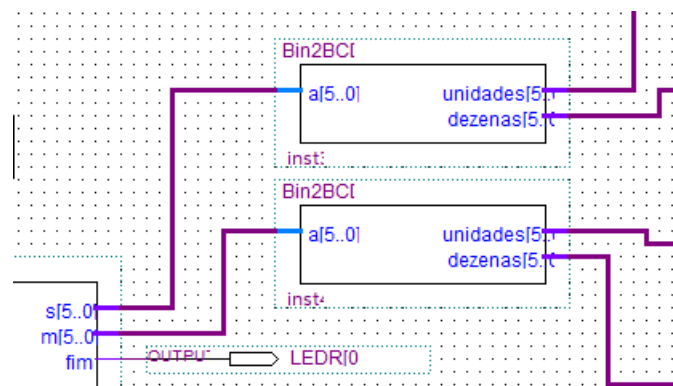
Esta fase é composta por quatro tipos de blocos diferentes, um tipo chamado “ClkDividerN”, outro chamado de “countdown”, outro chamado de “Bin2BCD” e por fim um “Bin7SegDecoder”.

O bloco “CLKDividerN” tem exatamente as mesmas características que a fase anterior, já descrita em cima.

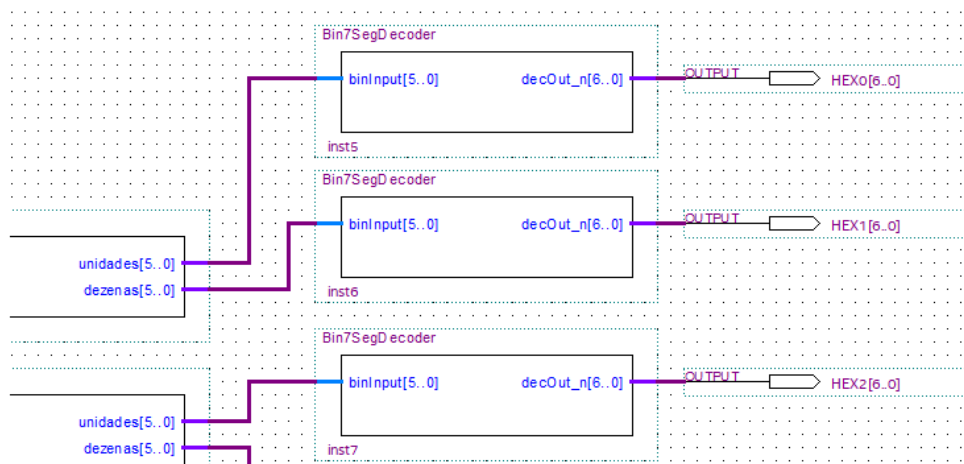
O bloco “temporizador” tem 3 inputs; start/pause que começa ou pára a contagem decrescente, o reset que permite voltar ao valor inicial de 59:59 e uma entrada para um clock, proveniente do bloco “CLKDividerN”. Possui ainda 3 outputs, dois de 6 bits, um para os segundos, outro para os minutos e por fim uma saída que ativa um LED Vermelho (LEDR[0]) quando o display atingir o valor 00:00.



Conectados às saídas de minutos e segundos do bloco “temporizador” está um conversor de binário para código BCD, “Bin2BCD”, cujo intuito é dividir, quer os minutos quer os segundos, em unidades e dezenas, para cada um ser apresentado num display de 7 segmentos. Servindo as suas saídas “unidades” e “dezenas” para isto mesmo.



Cada saída do conversor, ao todo 4, codificadas em código BCD de 6 bits irá se conectar ao bloco “Bin7SegDecoder” que consoante os minutos e os segundos dos seu input’s configurará os 4 display’s de 7 segmentos mostrando-os nos mesmos.

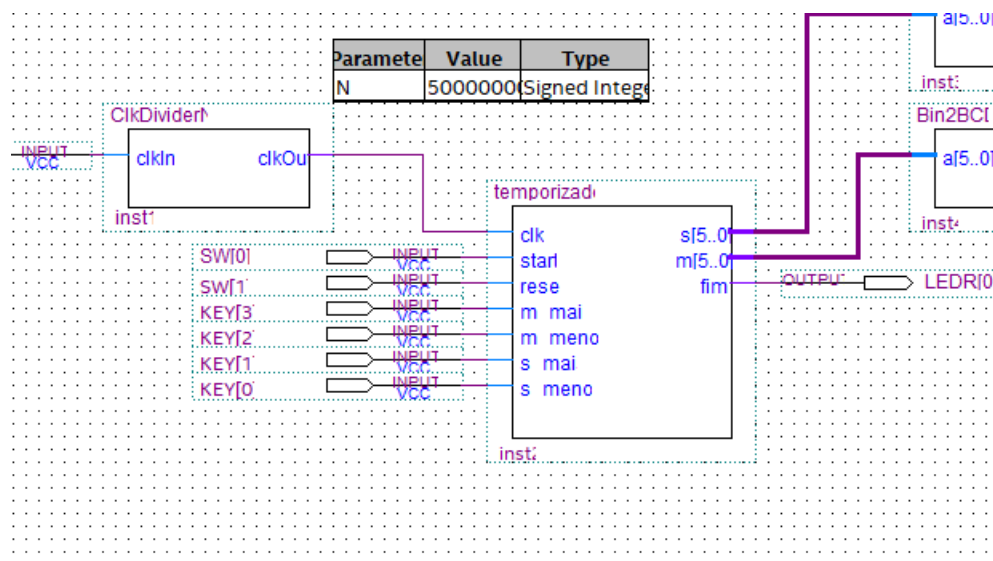


### 3ª Fase:

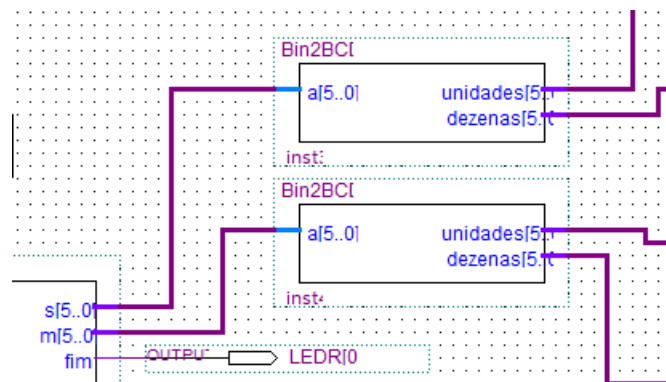
Esta fase é composta por quatro tipos de blocos diferentes, um tipo chamado “ClkDividerN”, outro chamado de “countdown”, outro chamado de “Bin2BCD” e por fim um “Bin7SegDecoder”.

O bloco “CLKDividerN” tem exatamente as mesmas características e mesma função que nas fases anteriores, já descritas em cima.

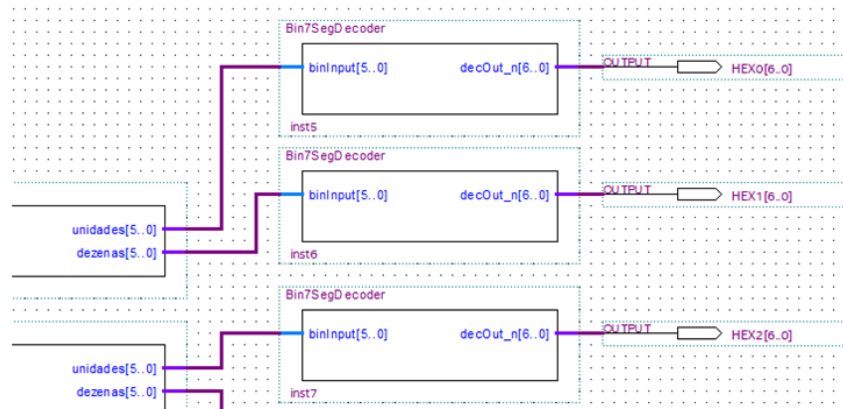
O bloco “temporizador” tem 7 inputs, start/pause que começa ou pára a contagem decrescente, um reset que permite voltar ao valor inicial de 59:59 quando o start/pause tbm esteja ativo, ou configurar um valor preferido de contagem, quando apenas este esteja ativo, 4 inputs ligados a KEY's para incremento ou decremento de minutos ou de segundos e um clock que provém do bloco anterior, “CLKDividerN”. Possui ainda 3 outputs, dois de 6 bits, um para os segundos, outro para os minutos e um chamado fim ligado a um LED Vermelho (LEDRI0) que é ativado quando o display atingir o valor 00:00.



Conectados às saídas de minutos e segundos do bloco “temporizador” está um conversor de binário para código BCD, o chamado “Bin2BCD”, cuja função e características já foram definidas na fase 2.



Cada saída do conversor, ao todo 4, codificadas em código BCD de 6 bits conecta-se ao “Bin7SegDecoder”, que possui a mesma função e características da fase 2, em cima mencionada.



## Contribuições:

O Trabalho foi desenvolvido a nosso ver igualmente pelas duas partes, tanto em fase da escrita em VHDL, teste na FPGA e compilação das fases, portanto, sugeríamos uma divisão de 50/50 entre os elementos do grupo.

Trabalho realizado por: Tiago Dias nº MEC:88896 e Leonardo Freitas nº MEC:89131.