

3º. Laboratório

MO613— Laboratório de Circuitos Lógicos
Prof. Dr. Guido Araújo, Prof. Dr. Mário Côrtes
1o. Semestre de 2010

1. Usando VHDL, projete um *latch set-reset* com sinal de *enable*. Usando este *latch* como componente projete:

- um *latch* tipo D;
 - um *flip-flop* tipo D usando a abordagem mestre-escravo.
- (a) Monte a tabela verdade do FF, verificando o seu funcionamento por meio de uma simulação. **[RS]**
- (b) Faça uma simulação de um único componente contendo uma instância do *latch* tipo D e outra do FF, com as entradas de *clock* e *enable* ligadas ao mesmo *push button*. Use outro *push button* como a entrada de dados e as chaves como os demais sinais de entrada. Use LEDs para as saídas. Faça a simulação e demonstre o funcionamento transparente do *latch* e sensível a borda do *flip-flop*. **[RSD]**

2. Faça a montagem de um contador modulo 8 assíncrono utilizando FF JK como componente.

- (a) Construa o circuito de modo a se comportar como um contador progressivo que vai de 0 a 7. **[R]**
- (b) Altere o circuito para se comportar como um contador regressivo de 7 a 0. **[R]**
- (c) Demonstre o funcionamento para contagem crescente e decrescente na placa, usando o *display* de 7 segmentos como saída e o *clock* de baixa frequência desenvolvido nas experiências anteriores. **[RD]**
- (d) Sabendo que cada FF possui um atraso de propagação que pode ser calculado através do comando *Timing Analyzer* do *Maxplus2*, calcular a frequência máxima do sinal de *Clock*. **[RS]**

(e) O circuito integrado comercial 74LS93 pode ser configurado como um contador crescente como o do item (a). Utilizando a folha de dados (*datasheet*) deste componente, compare-o em termos de frequência de operação com o circuito que você desenvolveu. **[R]**

Observação: O FF-JK deve ser escrito pelo grupo. Pode-se usar os FF anteriores como base, mas não é permitido o uso de componentes prontos das bibliotecas neste exercício.

3. Implementar um registrador de deslocamento para a direita e para a esquerda, com FFs JK (use o desenvolvido no item anterior como componente) com capacidade de carga assíncrona em paralelo de 4 bits. Este circuito deverá permitir entrada de dados em série e paralelo. Demonstre o funcionamento do circuito na placa. **[RSD]**

4. Projetar um contador assíncrono *mod n* ($0, 1, 2 \dots n - 1$) onde n é definido pelas 8 chaves da placa. Demonstrar o funcionamento com saídas em hexadecimal mostradas nos *displays* de sete segmentos, usando o *clock* de baixa frequência. **[RSD]**

5. Implemente em VHDL uma ALU de 4 bits que tenha o comportamento idêntico ao circuito integrado 74LS181 (entradas, saídas e comportamento), para entradas ativas em nível lógico alto somente. Para verificar o correto funcionamento, utilize como testbench o próprio componente da biblioteca da Altera. Faça a simulação exaustiva de todas as combinações de entrada para comprovar o correto funcionamento. Para a demonstração de algumas situações, teste o seu circuito utilizando os *toggle switches* e os *push buttons* para: entrada de dados (4+4 bits), seleção da operação (4 bits) e do modo de operação (1 bit). Mostre a saída em um *display*, usando o ponto decimal para a saída do comparador. **[RSD]**

6. Um *Barrel Shifter* é um circuito combinacional no qual o dado pode ser deslocado para a esquerda ou direita por um número arbitrário de bits.

Projete, usando VHDL, um *four-bit barrel shifter* que pode ser deslocado para a direita ou para a esquerda de 0, 1, 2 ou 3 posições. Mostre o funcionamento do circuito utilizando os *toggle switches* para definir os dados a serem deslocados, o nº bits a serem deslocados e o sentido do deslocamento. Utilize os 10 LEDs como saídas. **[RSD]**