



Universidade de São Paulo



DEPARTAMENTO DE ENGENHARIA DE
COMPUTAÇÃO E SISTEMAS DIGITAIS

PCS

Aritmética 1/3

Adição, Subtração e ULA

Edson S. Gomi
Revisão: Marco Túlio Andrade

PCS - Departamento de Engenharia de Computação e Sistemas Digitais
Escola Politécnica da Universidade de São Paulo

Setembro, 2020

Agenda

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

1 Introdução

2 Adição e Subtração

3 ULA - Unidade Lógica Aritmética

Ao final da aula você saberá:

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

- Os conceitos principais envolvidos em operações de adição e subtração;
- Formas de representação de valores de operandos com sinal (*signed*) e sem sinal (*unsigned*);
- Organização interna e operações básicas de uma Unidade Lógica e Aritmética - ULA;

Representação de Inteiros

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética

Considere a representação binária em 4 bits.

- Qual é a faixa de representação sem sinal (*unsigned*)?
- Qual é a faixa de representação com sinal (*signed*) em Complemento de 2?
- Qual número decimal é representado pelo hexadecimal E, para os casos *unsigned* e *signed*?

Representação de Inteiros: PoliLegv8

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Considere a representação binária em 64 bits.

Representação de Inteiros: PoliLegv8

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética

Considere a representação binária em 64 bits.

- 1 Qual é o número de *padrões* de bits diferentes?
- 2 Qual é a faixa de representação sem sinal (*unsigned*)?

Representação de Inteiros: PoliLegv8

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética

Considere a representação binária em 64 bits.

- 1 Qual é o número de *padrões* de bits diferentes?
- 2 Qual é a faixa de representação sem sinal (*unsigned*)?
- 3 Qual é a faixa de representação com sinal (*signed*) em Complemento de 2?

Representação de Inteiros: PoliLegv8

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética

Considere a representação binária em 64 bits.

- 1 Qual é o número de *padrões* de bits diferentes?
- 2 Qual é a faixa de representação sem sinal (*unsigned*)?
- 3 Qual é a faixa de representação com sinal (*signed*) em Complemento de 2?
- 4 Qual número decimal é representado pelo hexadecimal E, para os casos *unsigned* e *signed*?

Representação de Endereços: PoliLegv8

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética

Considere a representação binária, de endereços, em 64 bits.

- Qual é o número de *padrões* de bits diferentes?
- Faz sentido endereço de memória negativo?
- Faz sentido *overflow* de endereço de memória?
- Qual é o número de posições de memória diferentes?
- Qual é a faixa de representação de endereços?

Adição e Subtração Binária

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Calcule as seguintes adições e subtrações. Calcule as subtrações e também a adição em Complemento de 2.

1 $3 + 4$

2 $4 + 5$

3 $4 - 5$

4 $-3 - 5$

5 $-4 - 5$

6 $-4 + 5$

Em quais casos ocorreu transbordo *overflow*? Por que?

Como detectar transbordo?

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Operation	Operand A	Operand B	Result indicating overflow
$A + B$	≥ 0	≥ 0	< 0
$A + B$	< 0	< 0	≥ 0
$A - B$	≥ 0	< 0	< 0
$A - B$	< 0	≥ 0	≥ 0

Como detectar transbordo?

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

■ Detecção de *Overflow*:

Entradas:			Saídas: Adição		Saídas: Subtração	
Adição/Subtração			Σ (soma)		d (diferença)	
c_{IN} [b_{IN}]	x	y		c_{OUT}		b_{OUT}
0	0	0	0	0	0	0
0	0	1	1	0	1	1
0	1	0	1	0	1	0
Regra1: Operandos com sinais iguais			Resultado da soma Com sinal diferente			
0	1	1	0	1	0	0
1	0	0	1	0	1	1
Regra2: Carry que entra na casa do sinal			É diferente do Carry que sai da casa do sinal			
1	0	1	0	1	0	1
1	1	0	0	1	0	0
1	1	1	1	1	1	1

Somador Completo de 1 bit

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

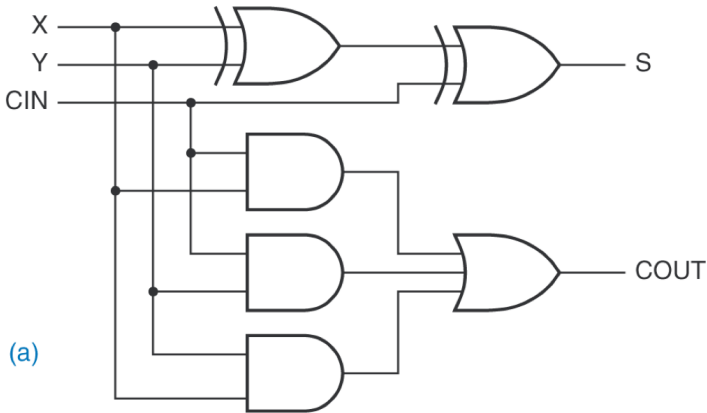
Antes de abordar o circuito do somador completo vamos dar uma olhada no conceito das operações de adição e subtração, segundo Richard Feynman, no capítulo 22, volume 1 de seus Lições de Física:

"Se começamos com um certo número a , um inteiro, e contamos sucessivamente uma unidade b vezes, o número no qual chegamos podemos chamá-lo de $a + b = c$, e isto define a adição de inteiros"

Raciocínio semelhante permite conceituar a operação reversa, a subtração $b = c - a$.

Somador Completo de 1 bit

Explique o funcionamento do somador completo. Sugestão: monte a tabela verdade do somador.



Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

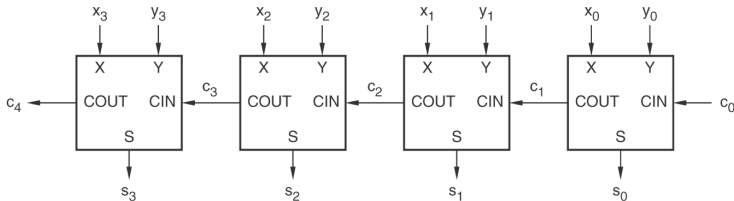
Somador Completo de 4 bits

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Explique o funcionamento do somador completo de 4 bits. Qual é o problema que surge com o aumento do tamanho da palavra dos adendos? Como se resolve este problema?



Fast Carry : Se tivéssemos Hardware "infinito"!

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Como sabemos de SD1 qualquer equação pode ser "reduzida" a dois níveis de lógica, uma soma de produtos ou um produto de somas.

$$c2 = (b1 \cdot c1) + (a1 \cdot c1) + (a1 \cdot b1)$$

$$c1 = (b0 \cdot c0) + (a0 \cdot c0) + (a0 \cdot b0)$$

Substituting the definition of $c1$ for the first equation results in this formula:

$$\begin{aligned} c2 = & (a1 \cdot a0 \cdot b0) + (a1 \cdot a0 \cdot c0) + (a1 \cdot b0 \cdot c0) \\ & + (b1 \cdot a0 \cdot b0) + (b1 \cdot a0 \cdot c0) + (b1 \cdot b0 \cdot c0) + (a1 \cdot b1) \end{aligned}$$

Fast Carry : 1o. Nível de Abstração

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

O somador por antecipação do vai-um é baseado na seguinte fórmula:

$$c_{i+1} = (b_i.c_i) + (a_i.c_i) + (a_i.b_i) = (a_i.b_i) + (a_i + b_i).c_i$$

Onde o gerador g_i é:

$$g_i = a_i.b_i$$

e o propagador p_i é:

$$p_i = a_i + b_i$$

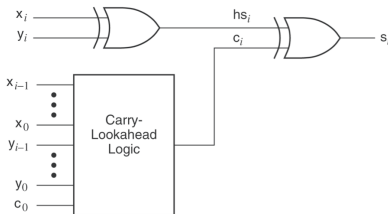
4-bit Carry-Lookahead Adder

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Equações do vai-um para um somador de 4 bits:



$$c_1 = g_0 + (p_0 \cdot c_0)$$

$$c_2 = g_1 + (p_1 \cdot g_0) + (p_1 \cdot p_0 \cdot c_0)$$

$$c_3 = g_2 + (p_2 \cdot g_1) + (p_2 \cdot p_1 \cdot g_0) + (p_2 \cdot p_1 \cdot p_0 \cdot c_0)$$

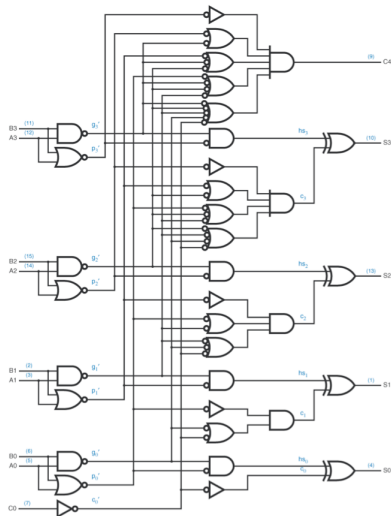
$$c_4 = g_3 + (p_3 \cdot g_2) + (p_3 \cdot p_2 \cdot g_1) + (p_3 \cdot p_2 \cdot p_1 \cdot g_0) \\ + (p_3 \cdot p_2 \cdot p_1 \cdot p_0 \cdot c_0)$$

74x283 4-bit adder

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética

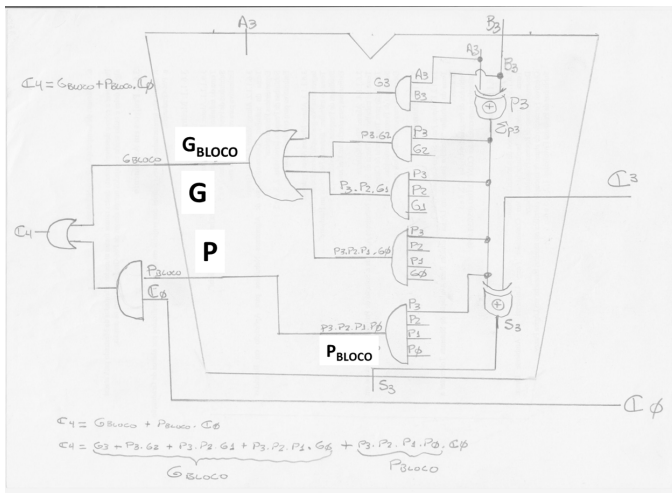


Fast Carry : 1o. Nível de Abstração

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética



Fast Carry - 2o Nível de Abstração

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Para cascatear somadores de 4 bits para, por exemplo, formar um somador de 16 bits, usamos o 2o. nível de abstração, com a utilização do “super” propagador e do “super” gerador. Eis as equações para o propagador:

$$P_0 = p_3 \cdot p_2 \cdot p_1 \cdot p_0$$

$$P_1 = p_7 \cdot p_6 \cdot p_5 \cdot p_4$$

$$P_2 = p_{11} \cdot p_{10} \cdot p_9 \cdot p_8$$

$$P_3 = p_{15} \cdot p_{14} \cdot p_{13} \cdot p_{12}$$

Fast Carry - 2o Nível de Abstração

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Para cascatear somadores de 4 bits para, por exemplo, formar um somador de 16 bits, usamos o 2o. nível de abstração, com a utilização do “super” propagador e do “super” gerador. Eis as equações para o gerador:

$$G_0 = g_3 + (p_3 \cdot g_2) + (p_3 \cdot p_2 \cdot g_1) + (p_3 \cdot p_2 \cdot p_1 \cdot g_0)$$

$$G_1 = g_7 + (p_7 \cdot g_6) + (p_7 \cdot p_6 \cdot g_5) + (p_7 \cdot p_6 \cdot p_5 \cdot g_4)$$

$$G_2 = g_{11} + (p_{11} \cdot g_{10}) + (p_{11} \cdot p_{10} \cdot g_9) + (p_{11} \cdot p_{10} \cdot p_9 \cdot g_8)$$

$$G_3 = g_{15} + (p_{15} \cdot g_{14}) + (p_{15} \cdot p_{14} \cdot g_{13}) + (p_{15} \cdot p_{14} \cdot p_{13} \cdot g_{12})$$

Fast Carry - 2o Nível de Abstração

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Eis as equações para as entradas vem-um de cada somador de 4 bits:

$$C1 = G0 + (P0 \cdot c0)$$

$$C2 = G1 + (P1 \cdot G0) + (P1 \cdot P0 \cdot c0)$$

$$C3 = G2 + (P2 \cdot G1) + (P2 \cdot P1 \cdot G0) + (P2 \cdot P1 \cdot P0 \cdot c0)$$

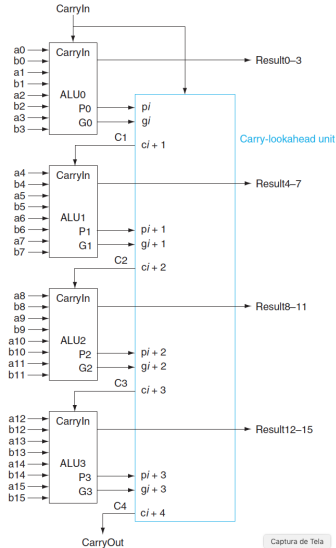
$$C4 = G3 + (P3 \cdot G2) + (P3 \cdot P2 \cdot G1) + (P3 \cdot P2 \cdot P1 \cdot G0) \\ + (P3 \cdot P2 \cdot P1 \cdot P0 \cdot c0)$$

Fast Carry - Somador de 16 bits

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética



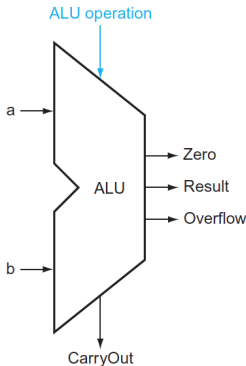
ULA - Unidade Lógica Aritmética

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

A ULA (ALU - *Arithmetic Logic Unit*) é a unidade funcional que executa operação aritméticas, como adição e subtração, e lógicas, como AND e OR. Na figura vemos o símbolo de uma ULA de 1 bit:



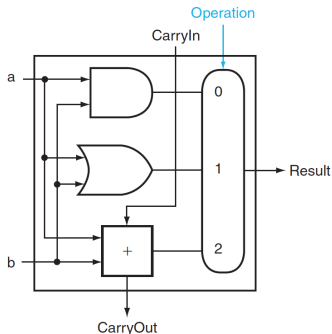
ULA - Unidade Lógica Aritmética

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Este diagrama mostra uma ULA que realiza as operações (a PLUS b), (a AND b) e (a OR b):



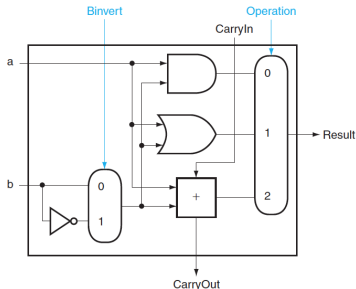
ULA - Unidade Lógica Aritmética

Introdução

Adição e Subtração

ULA - Unidade Lógica Aritmética

Este diagrama mostra uma ULA que adicionalmente realiza a operação (a MINUS b) em Complemento de 2:



$$a + \bar{b} + 1 = a + (\bar{b} + 1) = a + (-b) = a - b$$

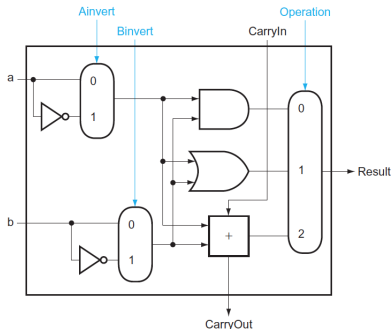
ULA - Unidade Lógica Aritmética

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Este diagrama mostra uma ULA que adicionalmente realiza a operação (a NOR b):



$$\overline{(a + b)} = \bar{a} \cdot \bar{b}$$

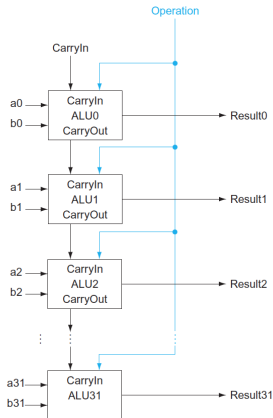
ULA de 64 bits

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

Podemos construir uma ULA de 64 bits usando 64 ULAs de 1 bit:



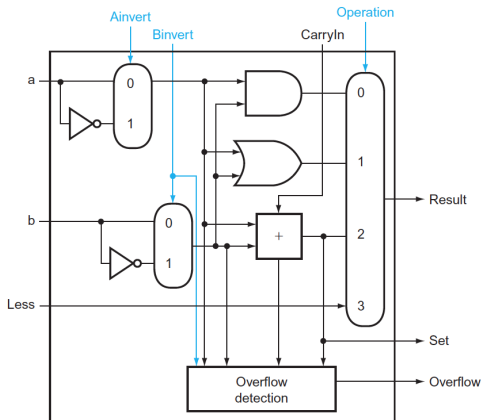
ULA de 64 bits

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

ULA de 1 bit para o bit mais significativo:



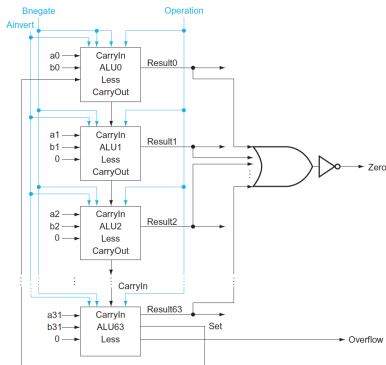
ULA de 64 bits

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética

ULA de 64 bits que adicionalmente implementa a verificação da igualdade:



$$zero = \overline{(Result63 + Result62 + \dots + Result1 + Result0)}$$

Referências

Introdução

Adição e
Subtração

ULA - Unidade
Lógica
Aritmética



D. Patterson and J. Hennessy.

Computer Organization and Design ARM Edition: The Hardware Software Interface.

The Morgan Kaufmann Series in Computer Architecture and Design. Elsevier Science, 2016.



J. Wakerly.

Digital Design: Principles and Practices.

Pearson Education, Incorporated, 5 edition, 2018.

[1] [2]

Obrigado!



Universidade de São Paulo



DEPARTAMENTO DE ENGENHARIA DE
COMPUTAÇÃO E SISTEMAS DIGITAIS

PCS