

UNIVERSIDADE ESTADUAL DO OESTE DO PARANÁ
UNIOESTE - CAMPUS DE FOZ DO IGUAÇU
CENTRO DE ENGENHARIAS E CIÊNCIAS EXATAS
CIÊNCIA DA COMPUTAÇÃO
SISTEMA DIGITAIS
JORGE HABIB HANNA EL KHOURI

TIAGO VINICIUS LOPES PEREIRA

2ª PROVA DE SISTEMAS DIGITAIS – PARTE 2 CIRCUITOS DIGITAIS

FOZ DO IGUAÇU
2021

INTRODUÇÃO	2
DESENVOLVIMENTO	2
EXERCÍCIO 1	2
EXERCÍCIO 2	10
CONCLUSÃO	13
REFERÊNCIA BIBLIOGRÁFICA	13

INTRODUÇÃO

A prova II da matéria de Sistemas Digitais tem como objetivo avaliar o conhecimento que os alunos obtiveram em sala de aula referente a circuitos combinacionais e memórias.

Os circuitos combinacionais são módulos que contêm diversas portas lógicas e nenhuma memória interna, assim sua saída depende exclusivamente das entradas utilizadas.

As memórias são dispositivos baseados em semicondutores de armazenamento e recuperação de informações

Neste trabalho será apresentado as resoluções das duas questões presentes na prova.

DESENVOLVIMENTO

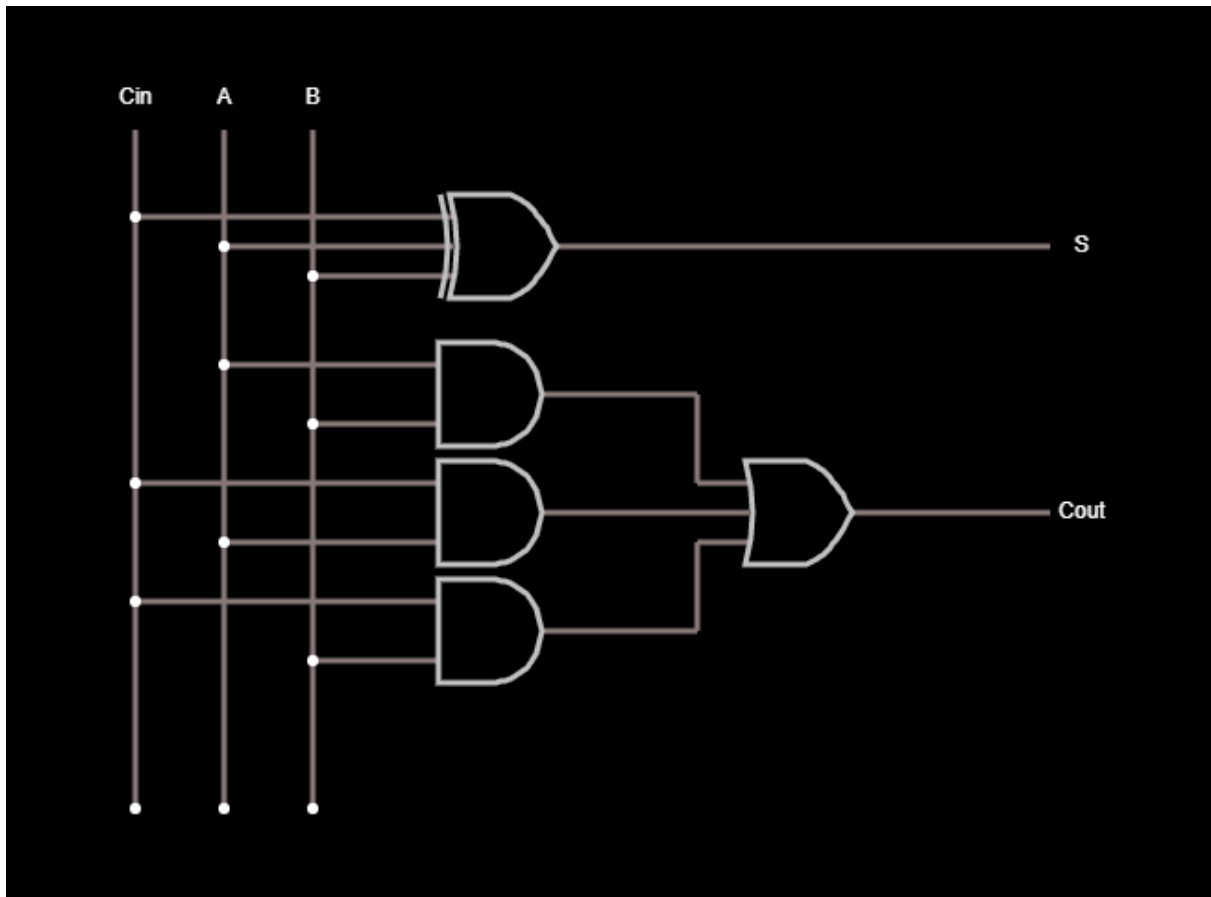
EXERCÍCIO 1

[20] Elaborar um circuito de 4 bits para somar os valores contidos em uma *ROM* e apresentar o resultado em um Display. Seguem os requisitos mínimos:

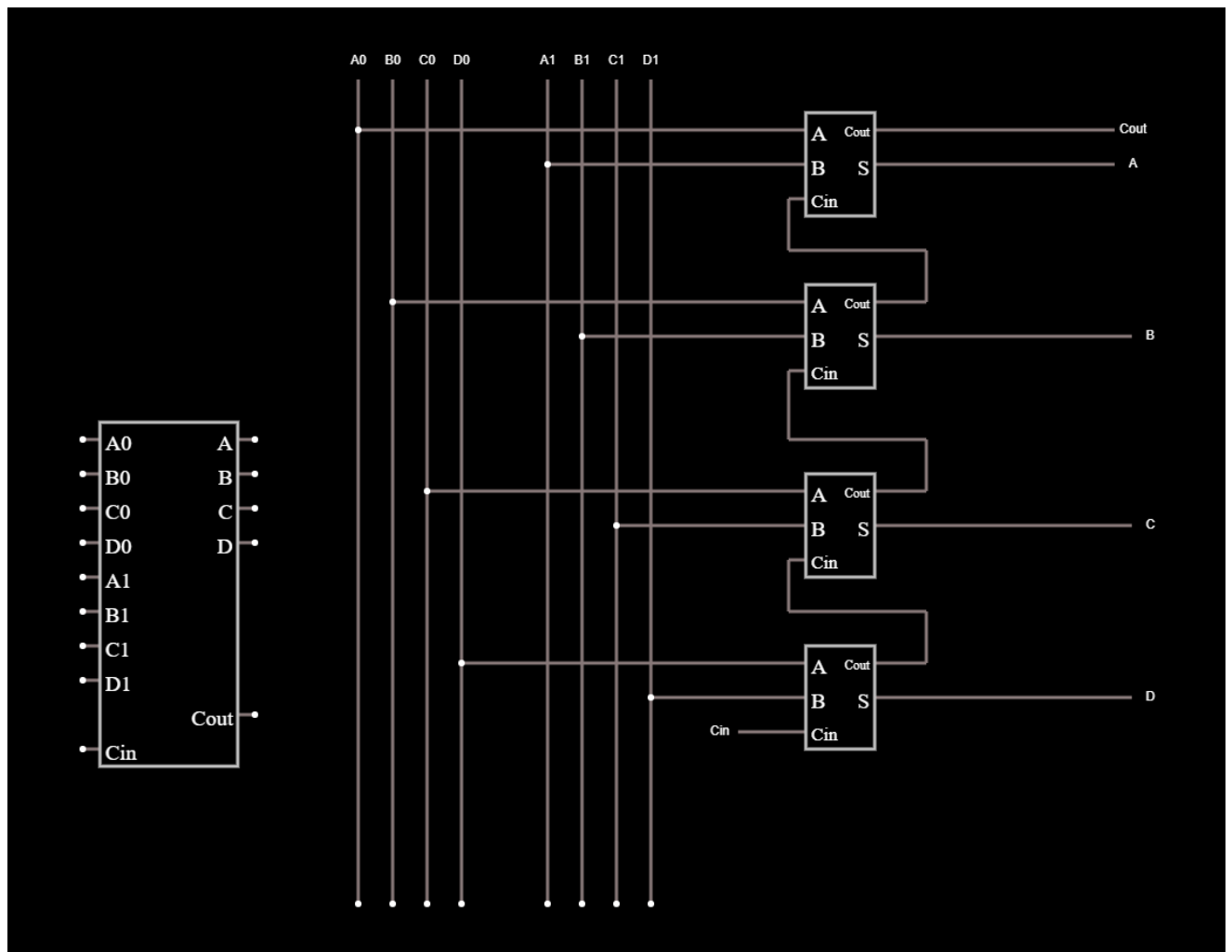
- Haverá apenas um circuito somador de 4 bits;
- A soma deverá ser obtida executando-se manualmente passos
- de transferência de dados de/para os buffers;
- Assim, serão feitas somas parciais até a obtenção do resultado final;
- Deverá haver um barramento compartilhado entre os dispositivos;
- Deverá haver uma lógica de controle do fluxo da informação e ativação dos dispositivos;
- Os buffers podem ser do tipo *DRAM* ou *SRAM*;

O circuito foi feito em vários sub circuitos menores, para facilitar a visualização e o funcionamento do próprio circuito, a ferramenta utilizada foi o CircuitJS.

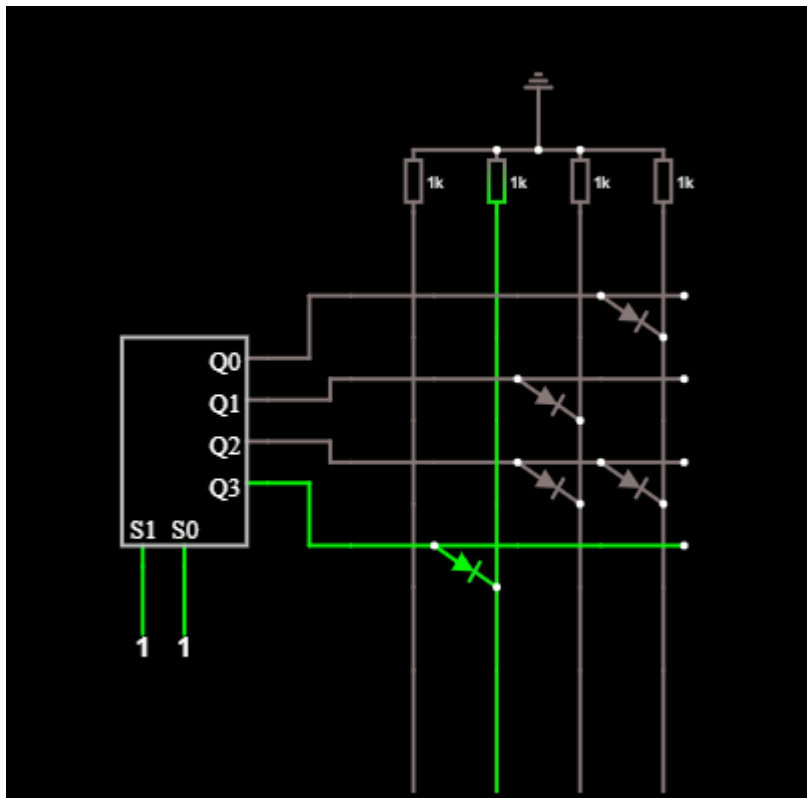
Primeiro iniciamos fazendo o circuito somador, vamos separá-lo em dois, half-adder e full-adder, seguindo o que já vimos em sala de aula foi criado o seguinte half-adder:



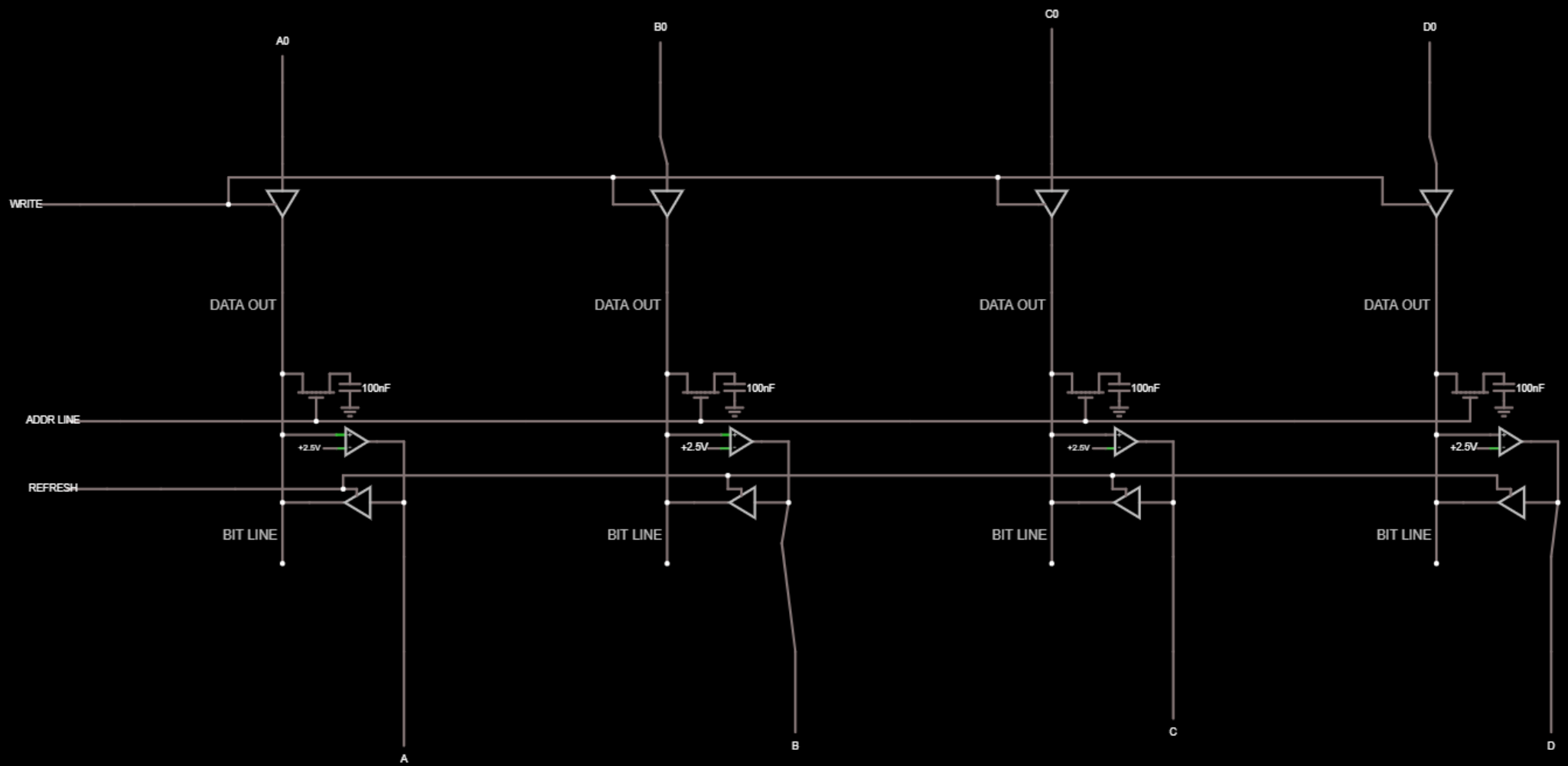
Com o half-adder criado, podemos gerar um subcircuito e assim criar um somador de 4 bits, o full-adder:



Com o full-adder já é possível fazer as operações binárias necessárias no exercício, assim, podemos avançar para o próximo passo, criar a memória ROM. A memória ROM foi feita utilizando diodos, um decoder e alguns resistores, assim como foi mostrado em sala de aula. No caso da memória ROM não foi gerado um subcircuito porque isso dificultaria a apresentação do exercício, a imagem abaixo mostra a memória:

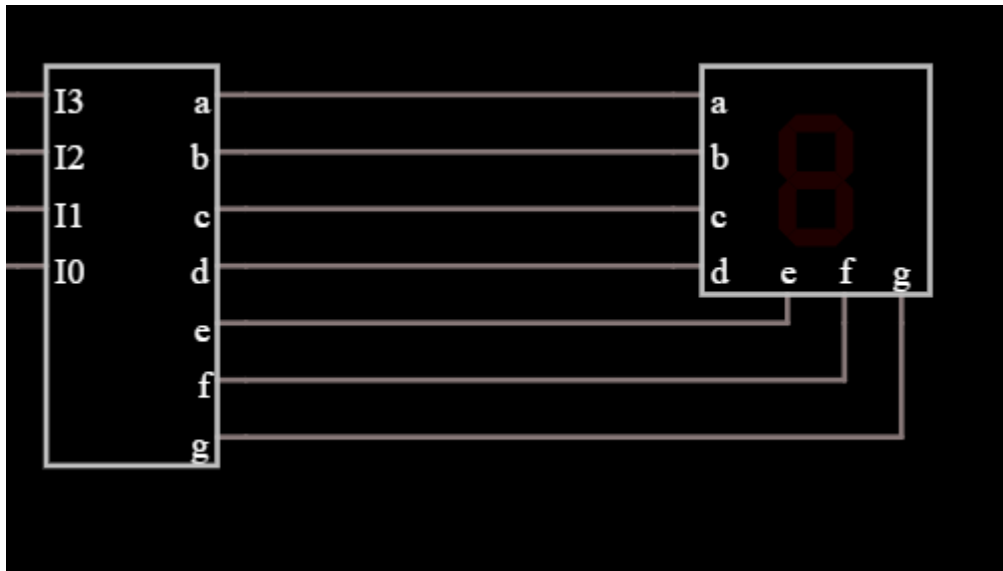


Agora é preciso criar um buffer para salvar as informações entre os dispositivos e o barramento, os buffers são os sub circuitos mais utilizados nesses exercícios, o sub circuito foi feito seguindo os exemplos vistos em sala de aula, com DRAMs e ficou como mostra a imagem abaixo:



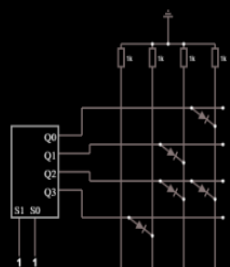
Agora faltam apenas o barramento, o display de 7 segmentos e o decodificador para o display, nesse caso vamos utilizar fios comuns para simular o barramento, e os próprios circuitos prontos do CircuitJS para o decodificador, assim evitamos que o programa sobrecarregue e fique lento demais.

A imagem abaixo mostra o decodificador e o display sendo utilizados dentro do circuito:

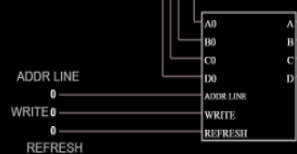
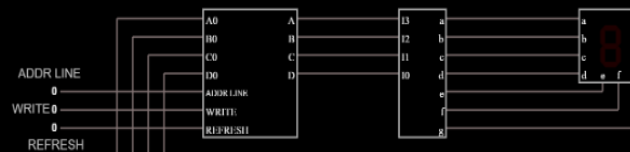


Para controlar o acesso ao barramento, e assim evitar um curto circuito, vamos utilizar Three State Buffers, dessa forma podemos garantir que apenas um sub circuito acesse o barramento por vez, e enquanto os Buffers estiverem desligados, a impedância garante que não exista conflito de dados.

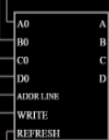
Ao fim o circuito completo do exercício ficou como mostra a imagem abaixo:



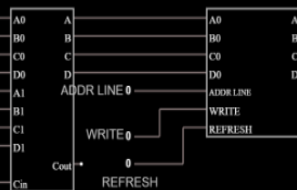
ACESSO BARRAMENTO 0



ADDR LINE
0
WRITE 0
0
REFRESH



Cin
0



Cout
0

0 ACESSO BARRAMENTO

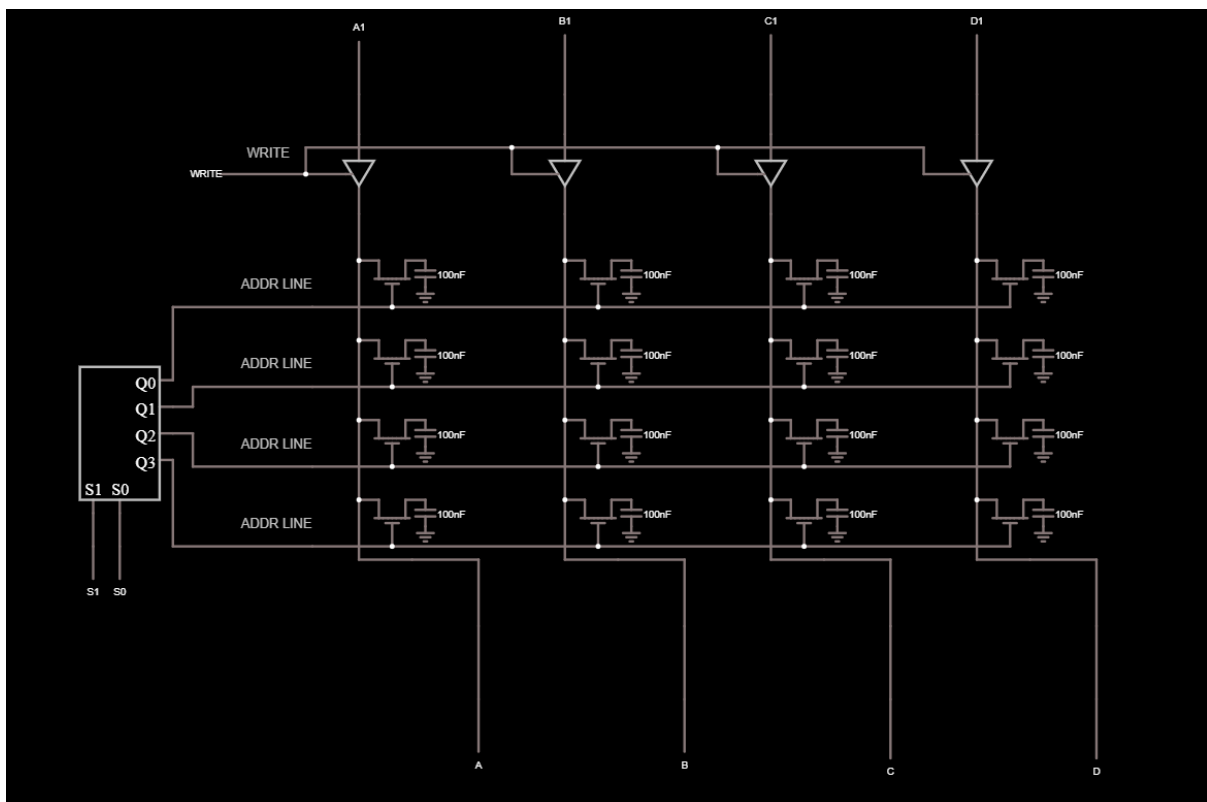
EXERCÍCIO 2

[40] Elaborar um circuito de 4 bits para somar os valores contidos em uma *RAM* e apresentar o resultado em um Display. Seguem os requisitos:

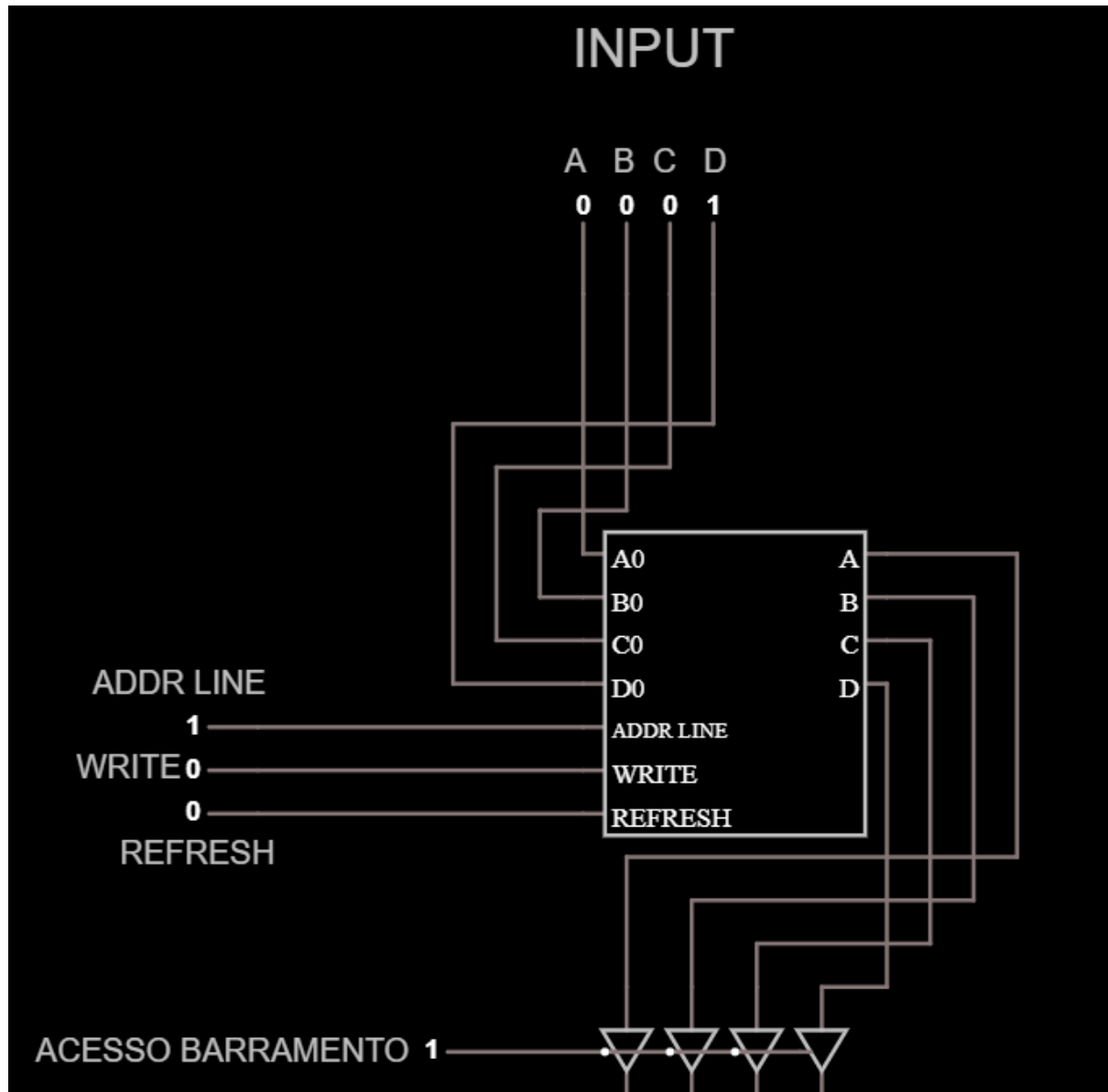
- A memória *RAM* deverá ser carregada a partir de Input;
- A interface Input permite informar Endereço(*A*) e Dado(*D*);
- Haverá apenas um circuito somador de 4 bits;
- A soma deverá ser obtida executando-se manualmente passos de transferência de dados de/para os buffers;
- Assim, serão feitas somas parciais até a obtenção do resultado final;
- O resultado final deverá ser armazenado na *RAM*;
- Qualquer conteúdo da *RAM* pode ser apresentado no Display;
- Deverá haver um ou mais barramentos compartilhados entre os dispositivos;
- Deverá haver uma lógica de controle do fluxo da informação e ativação dos dispositivos;
- Os buffer se a *RAM* podem ser do tipo *DRAM* ou *SRAM*;

Nesse exercício é possível reutilizar tudo que foi criado no exercício anterior, com exceção da ROM que deve ser substituída por uma RAM, nesse caso vamos criar a memória RAM como um sub circuito, já que essa memória pode ser alterada, facilitando a apresentação do exercício.

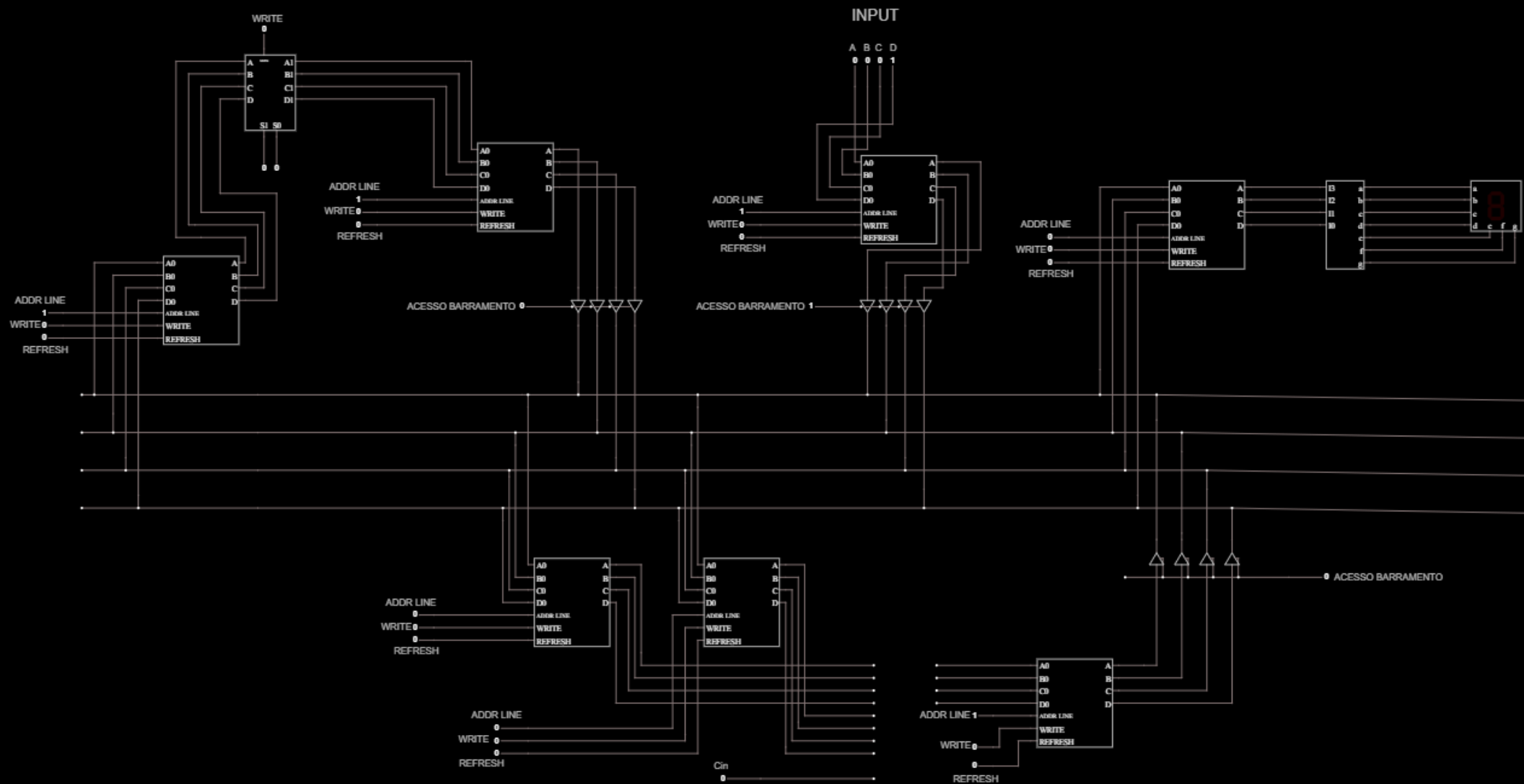
A memória utilizada nesse caso foi a DRAM, utilizando o buffer do exercício anterior foi criado uma matriz 4x4 conectada a um decoder de 2 bits.



Diferente do primeiro exercício, agora temos entrada de dados através de um input, como esse input acessa o barramento, também é necessário utilizar Buffers para controlar o acesso e evitar um curto circuito, o input foi implementado da seguinte forma:



Sendo assim temos todos os componentes necessários para o circuito completo do exercício 2:



CONCLUSÃO

Com o desenvolvimento dos exercícios propostos é possível ter uma compreensão muito maior do funcionamento interno de um computador, com ênfase nas memórias, e como é importante que o processador siga um passo a passo para a execução de cada componente que faz uso do barramento.

Também é possível notar que a implementação de memórias ROM é mais simples e barata que a de memórias RAM, da mesma forma, a implementação das DRAM é mais simples e barata que uma SRAM, porém todas devem ser consideradas e utilizadas da melhor forma no mundo real, para que haja um melhor proveito de toda a tecnologia disponível.

REFERÊNCIA BIBLIOGRÁFICA

- Khouri, Jorge; Hachisuca, Antonio. Sistemas Digitais. Circuitos Combinacionais - Parte II, 2020. 72 slides. Acesso em: 17/04/2021;
- Khouri, Jorge; Hachisuca, Antonio. Sistemas Digitais. Circuitos Combinacionais - Parte III, 2020. 72 slides. Acesso em: 17/04/2021;