

UNIOESTE
Ciência da Computação

Sistemas Digitais
Circuitos Sequenciais

Prof. Jorge Habib El Khouri
Prof. Antonio Marcos Hachisuca

2020/2021

Referências Bibliográficas

1. *Digital Fundamentals*, Thomas L. Floyd; Editora: Pearson; Edição: 11; Ano: 2015;
2. *Sistemas Digitais Princípios e Aplicações*, Ronald J. Tocci; Editora: Pearson; Edição: 11; Ano: 2011;
3. *Computer Organization and Design*, David A. Patterson; Editora: Elsevier; Edição: 1; Ano: 2017
4. *Digital Design: Principles and Practices*, John F. Wakerly; Editora: Pearson; Edição: 5; Ano: 2018;
5. *Guide to Assembly Language Programming in Linux*, Sivarama P. Dandamudi; Editora: Springer; Edição: 1; Ano: 2005.
6. *Fundamentals of Logic Design*, Roth Jr, Charles H; Kinney, Larry L; Seventh Edition. Editora: Cengage Learning, Ano: 2013.

Sumário

- 1. Revisão – Sistemas de Numeração
- 2. Revisão – Representação de Dados
- 3. Revisão – Operações com Binários
- 4. Álgebra Booleana
- 5. Simplificação de Expressões
- 6. Mapa de Karnaugh
- 7. Elementos Lógicos Universais
- 8. Circuitos Combinacionais
- 9. Circuitos Sequenciais
 - 1. Latches
 - 2. Flip-Flop
 - 3. Registradores
 - 4. Contadores
 - 5. Máquina de Estados
 - 6. Memória RAM

Circuitos Sequenciais

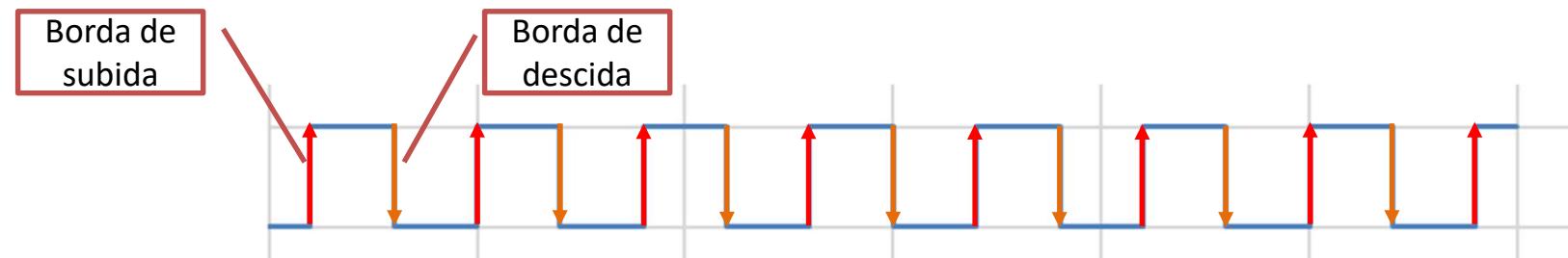
Flip-flop

- *Latch* é um tipo de dispositivo de armazenamento temporário que possui dois estados estáveis (biestável);
- *Latches* são semelhantes aos *flip-flops* pelo fato de serem dispositivos biestáveis;
- Ambos podem permanecer em qualquer um dos dois estados através de uma conexão do tipo *feedback*, onde as saídas são conectadas às entradas opostas;
- A principal diferença entre *latches* e *flip-flops* está no método usado para modificar seu estado.

Circuitos Sequenciais

Flip-flop

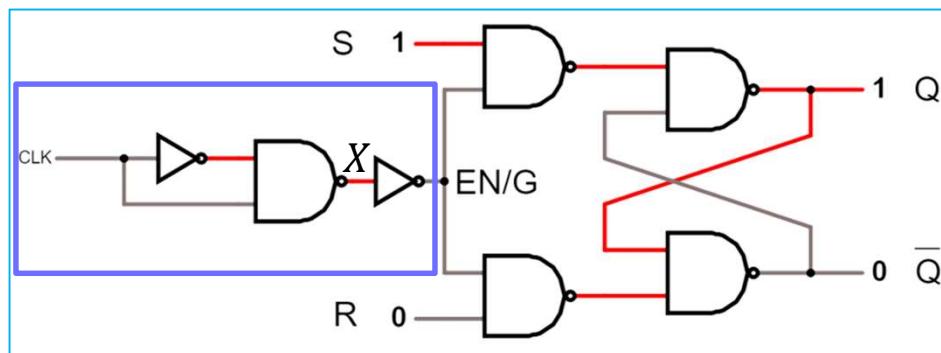
- *Flip-flops* são dispositivos biestáveis síncronos, também conhecidos como multivibradores biestáveis;
- Neste caso, o termo síncrono significa que a saída muda de estado apenas em um ponto específico, quando acionado pela entrada *C – Clock*, mais especificamente na subida ou descida do sinal;
- as mudanças na saída ocorrem em sincronização com o relógio;
- Os *Flip-flops* são sensíveis a borda, enquanto os *Gated Latches* são sensíveis ao nível.



Circuitos Sequenciais

Flip-flop

- O seguinte diagrama combina um circuito de *trigger* com o *Gated Latch S–R*:

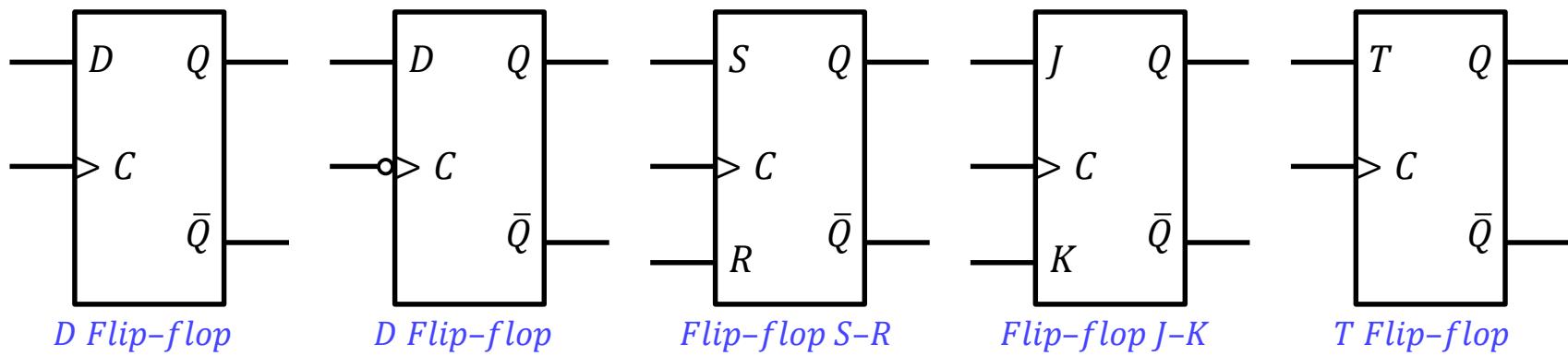


- O circuito de *trigger* é responsável em habilitar o *Latch* apenas em um curto período de tempo;
- A porta *NOT* causa o atraso na propagação do sinal do CLK ;
- Nesta configuração, o período se dá na transição do CLK de 0 para 1;
- Também denominada de borda de subida.



Circuitos Sequenciais Flip-flop

- Um *flip-flop* sensível a borda muda de estado apenas na borda positiva (subida) ou na borda negativa (descida) do pulso do *clock*;
- Há uma diversidade de tipos de *flip-flops*: *D*, *S-R*, *J-K* e *T*;
- Cada um destes tipos pode ser disparado por borda positiva ou por borda negativa (círculo na entrada *C*);

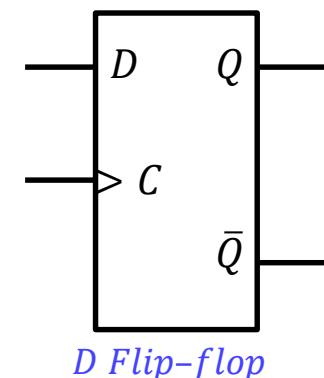


Circuitos Sequenciais

Flip-flop D

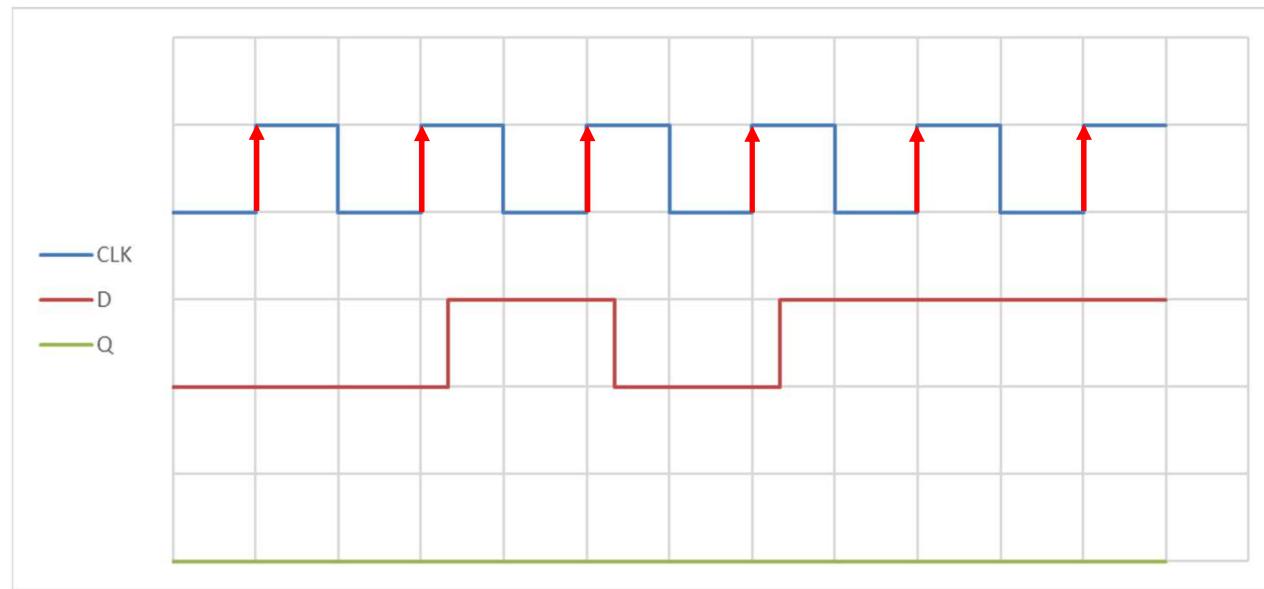
- A entrada D do *flip-flop D* é uma entrada síncrona, pois o dado na entrada será transferido para a saída Q apenas na borda de subida do ciclo do *clock*;
- Quando D estiver em *HIGH*, a saída Q será também *HIGH* na borda de subida do *clock* (*flip-flop SET*);
- Quando D estiver em *LOW*, a saída Q será também *LOW* na borda de subida do *clock* (*flip-flop RESET*);
- Alterações em D só serão refletidas em Q no curto intervalo de tempo em torno da transição do pulso do *clock*;

D	CLK	Q	\bar{Q}	Função
0	\uparrow	0	1	<i>RESET</i>
1	\uparrow	1	0	<i>SET</i>



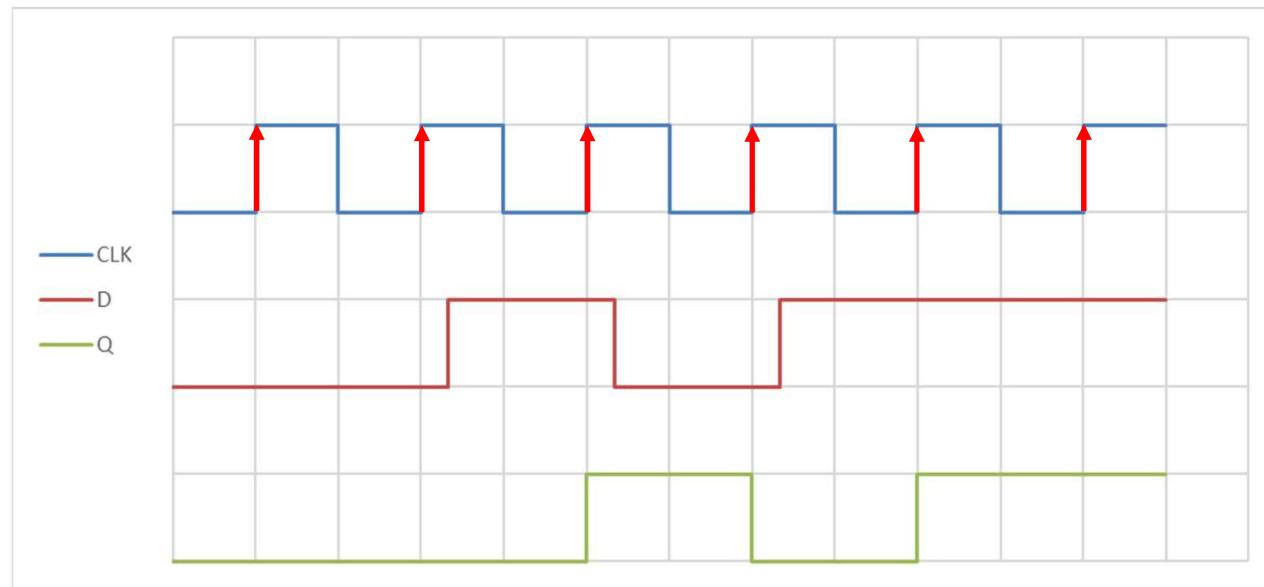
Circuitos Sequenciais *Flip-flop D*

- Determine a forma de onda para a saída Q , considerando as entradas D e CLK indicadas no gráfico. Suponha ativação por borda de subida e flip-flop inicialmente em *RESET*:



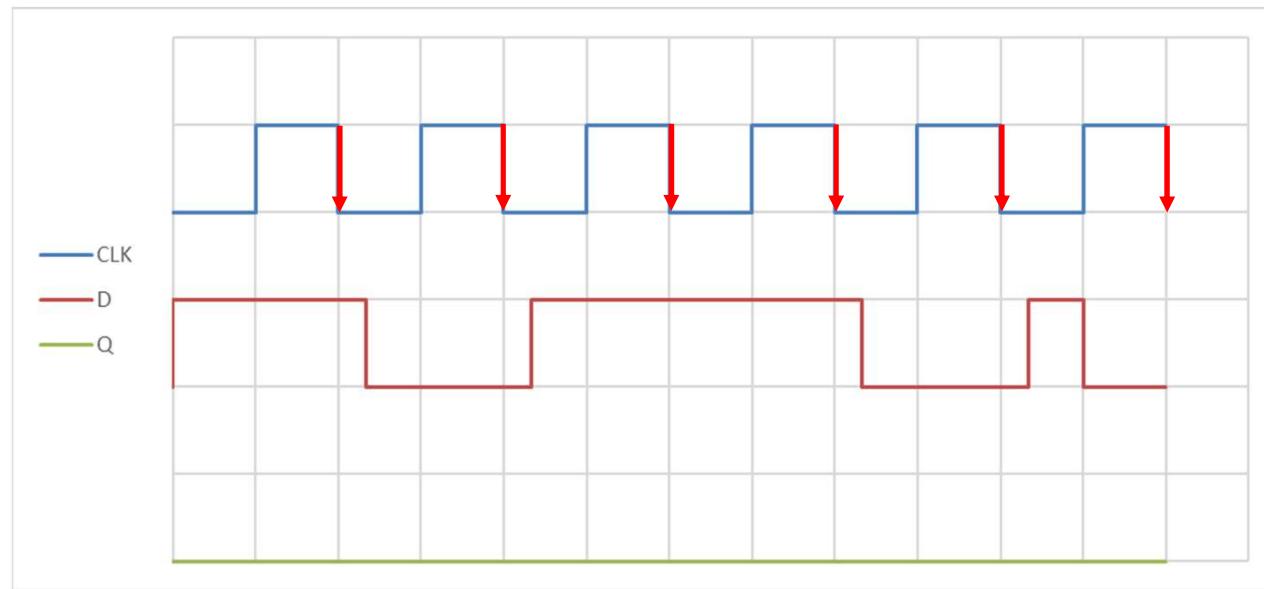
Circuitos Sequenciais *Flip-flop D*

- Determine a forma de onda para a saída Q , considerando as entradas D e CLK indicadas no gráfico. Suponha ativação por borda de subida e *flip-flop* inicialmente em *RESET*:



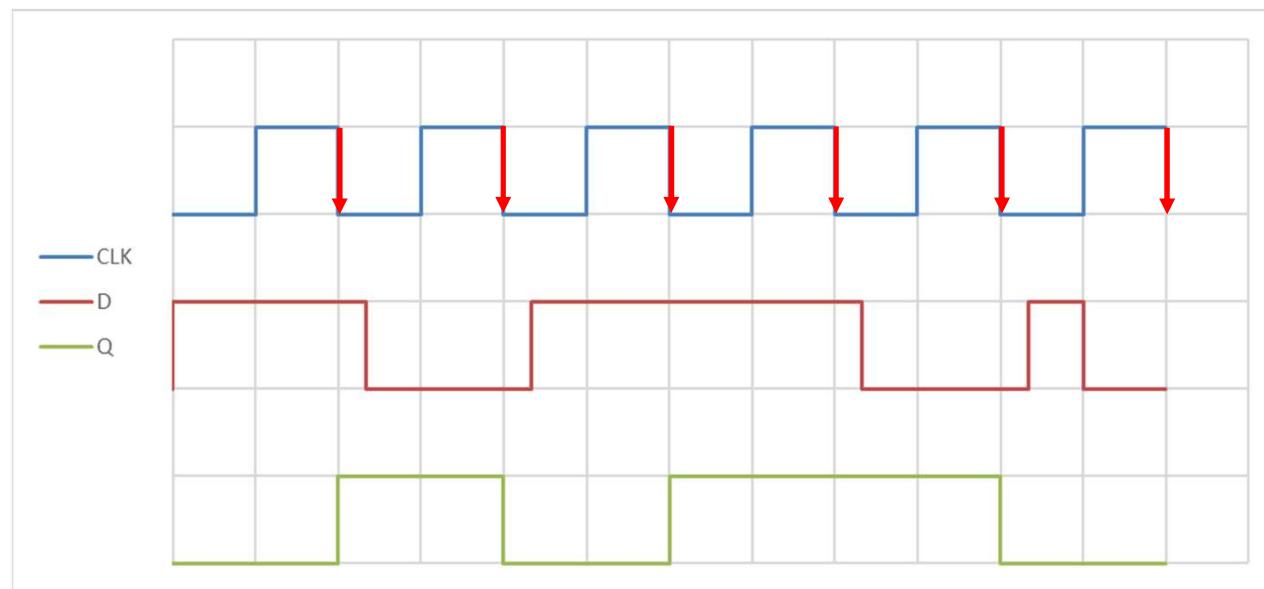
Circuitos Sequenciais *Flip-flop D*

- Determine a forma de onda para a saída Q , considerando as entradas D e CLK indicadas no gráfico. Suponha ativação por borda de descida e flip-flop inicialmente em *RESET*:



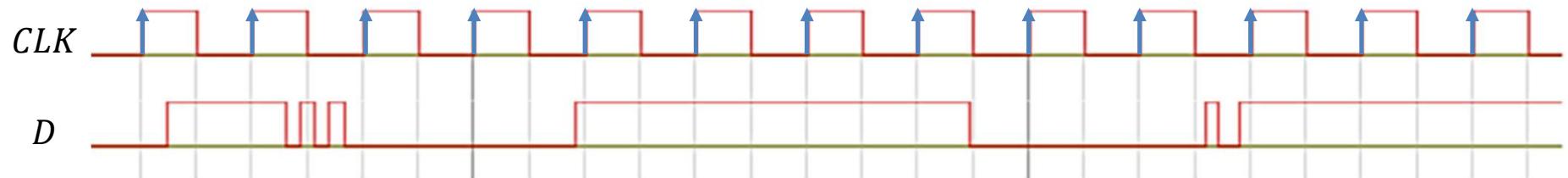
Circuitos Sequenciais *Flip-flop D*

- Determine a forma de onda para a saída Q , considerando as entradas D e CLK indicadas no gráfico. Suponha ativação por borda de descida e flip-flop inicialmente em *RESET*:



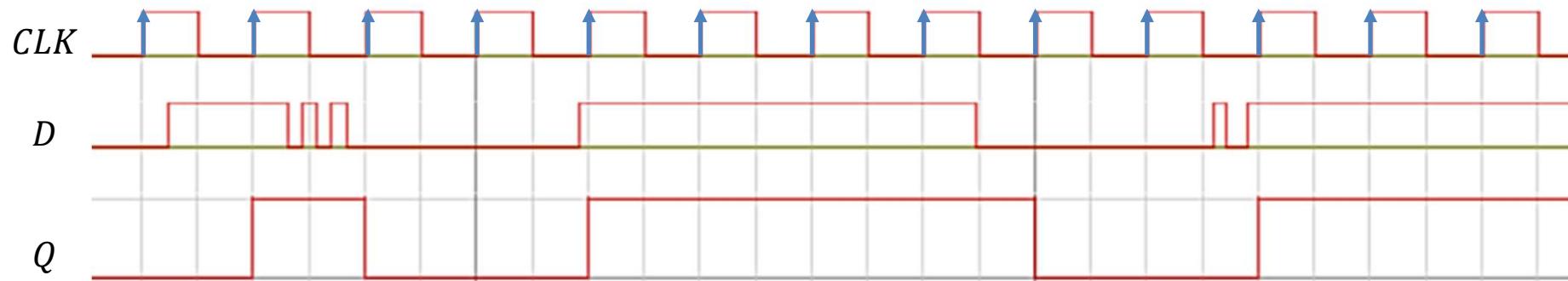
Circuitos Sequenciais *Flip-flop D*

- Determine a forma de onda para a saída Q , considerando as entradas D e CLK indicadas no gráfico. Suponha ativação por borda de subida e flip-flop inicialmente em *RESET*:



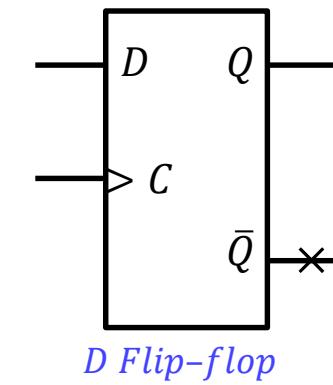
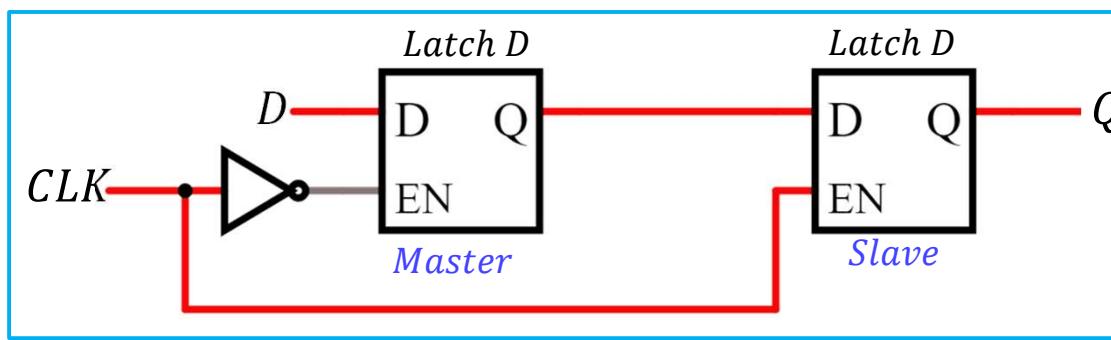
Circuitos Sequenciais *Flip-flop D*

- Determine a forma de onda para a saída Q , considerando as entradas D e CLK indicadas no gráfico. Suponha ativação por borda de subida e flip-flop inicialmente em *RESET*:



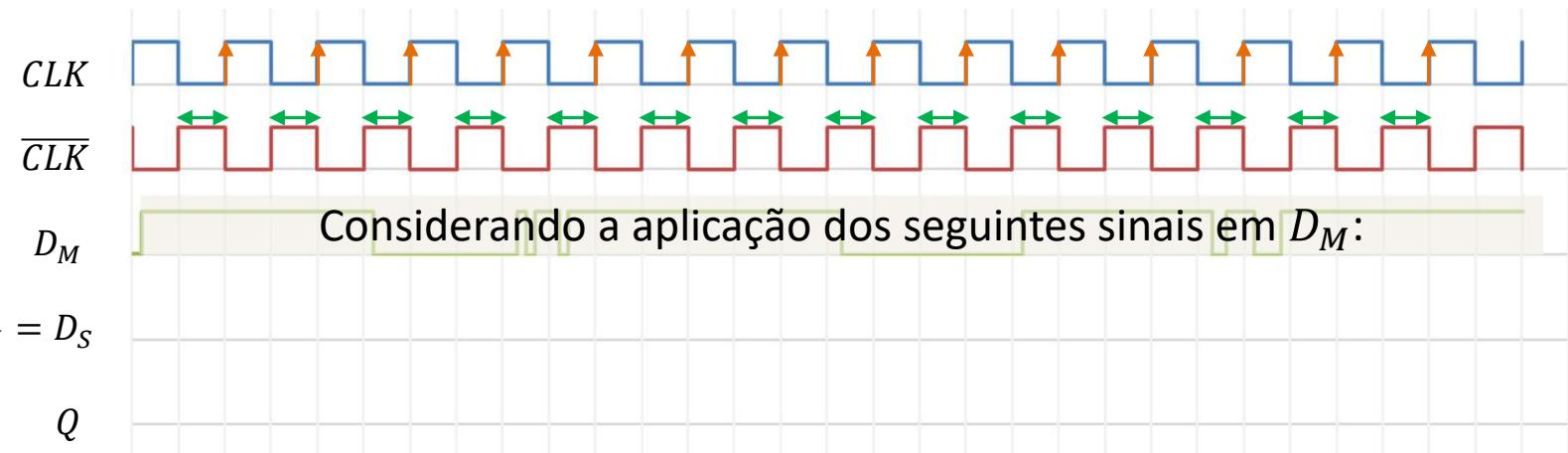
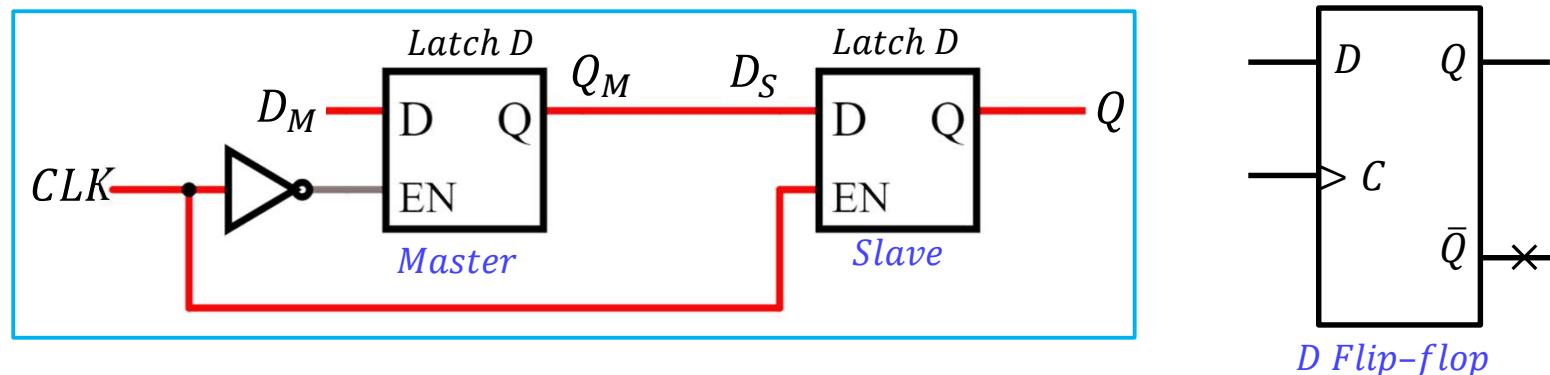
Circuitos Sequenciais *Flip-flop D*

- Um *flip-flop D* com disparo pela borda do *clock* também pode ser obtido com o seguinte circuito:



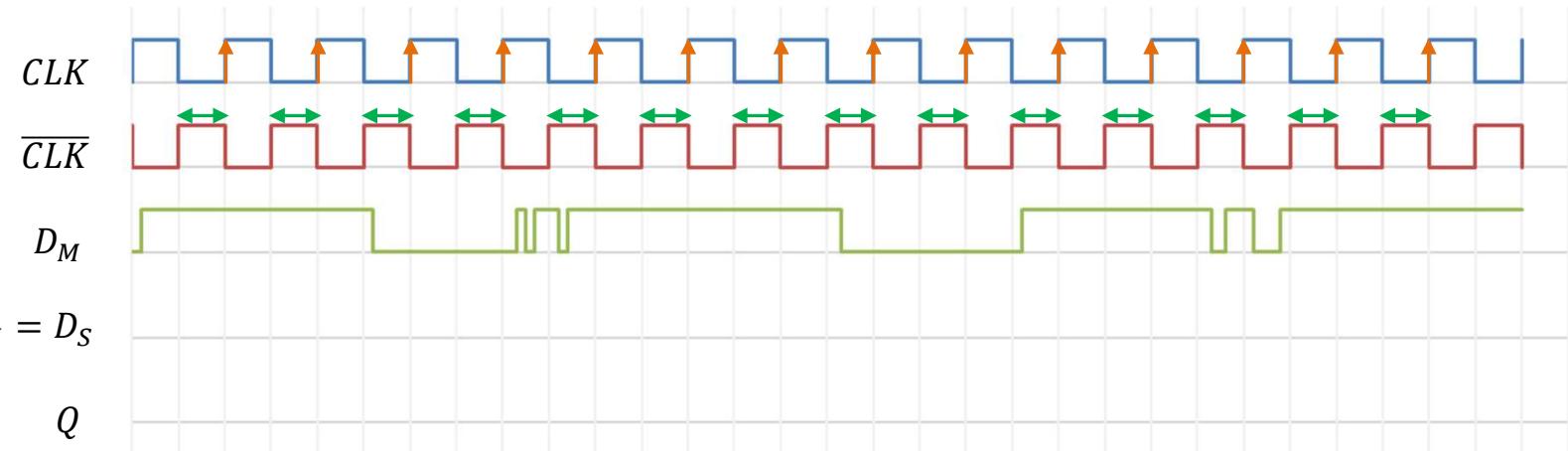
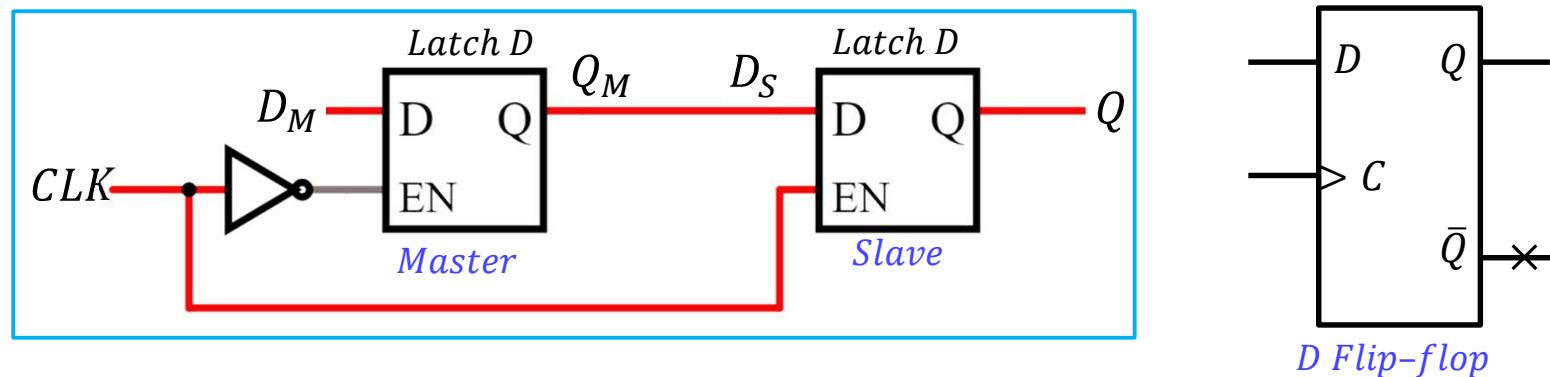
Circuitos Sequenciais

Flip-flop D



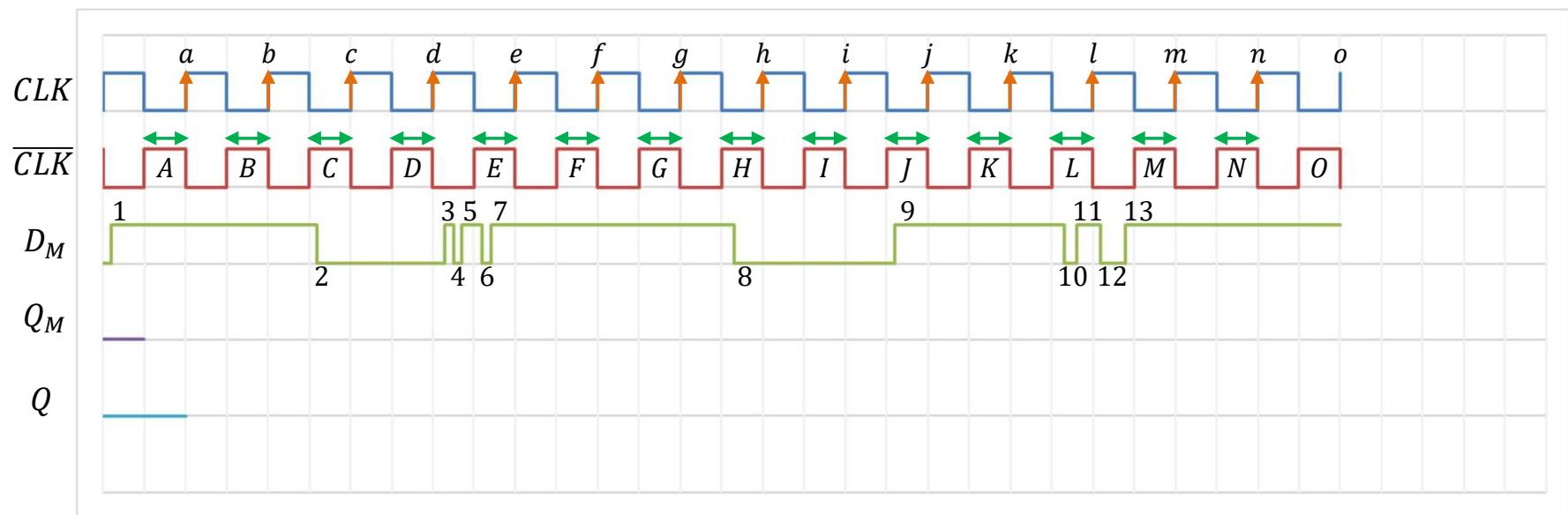
Circuitos Sequenciais

Flip-flop D

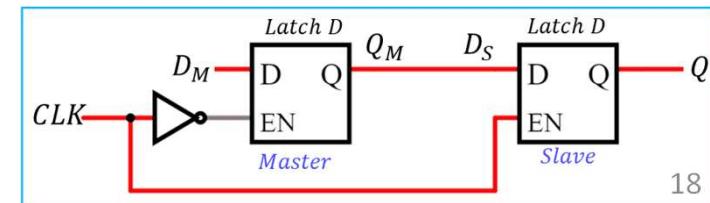


Circuitos Sequenciais

Flip-flop D

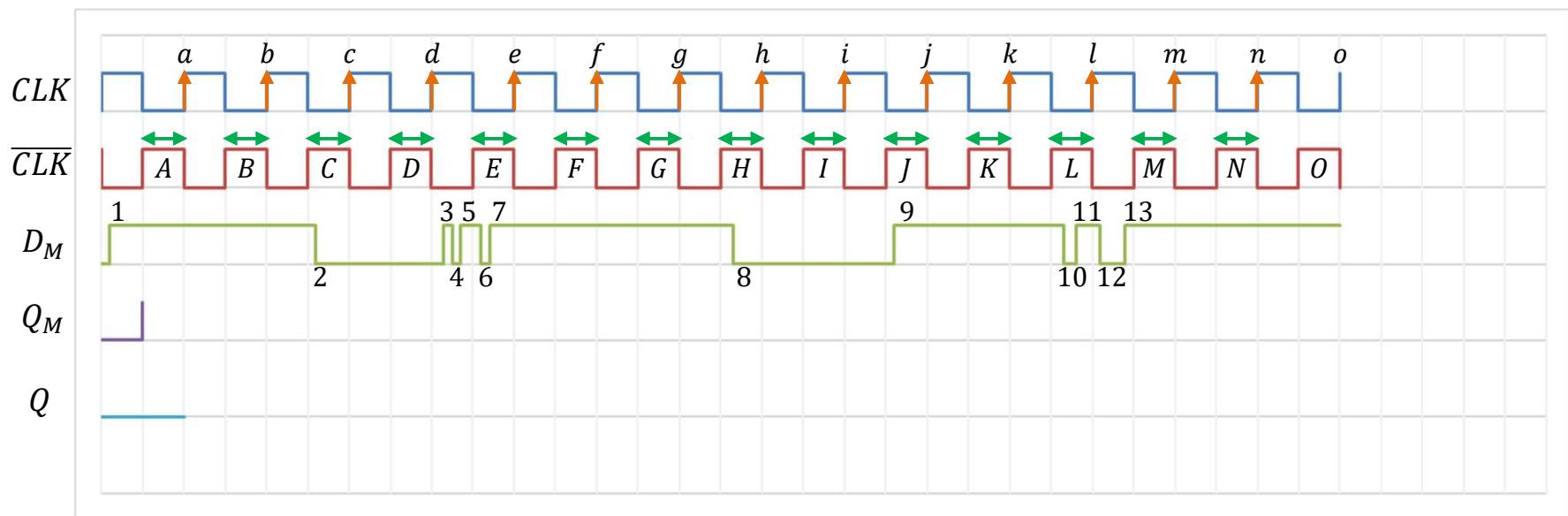


Qualquer alteração na entrada D_M do *Latch Master* será transferida para a saída Q_M sempre que \overline{CLK} estiver em HIGH. Assim, o estado 1 de D_M será transferido para Q_M durante o período A.

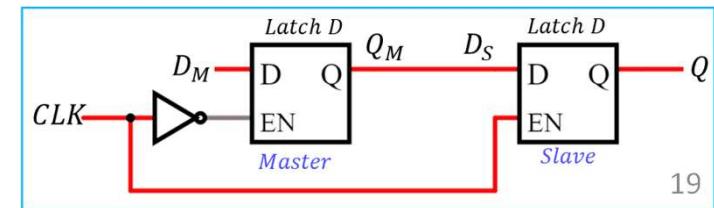


Circuitos Sequenciais

Flip-flop D

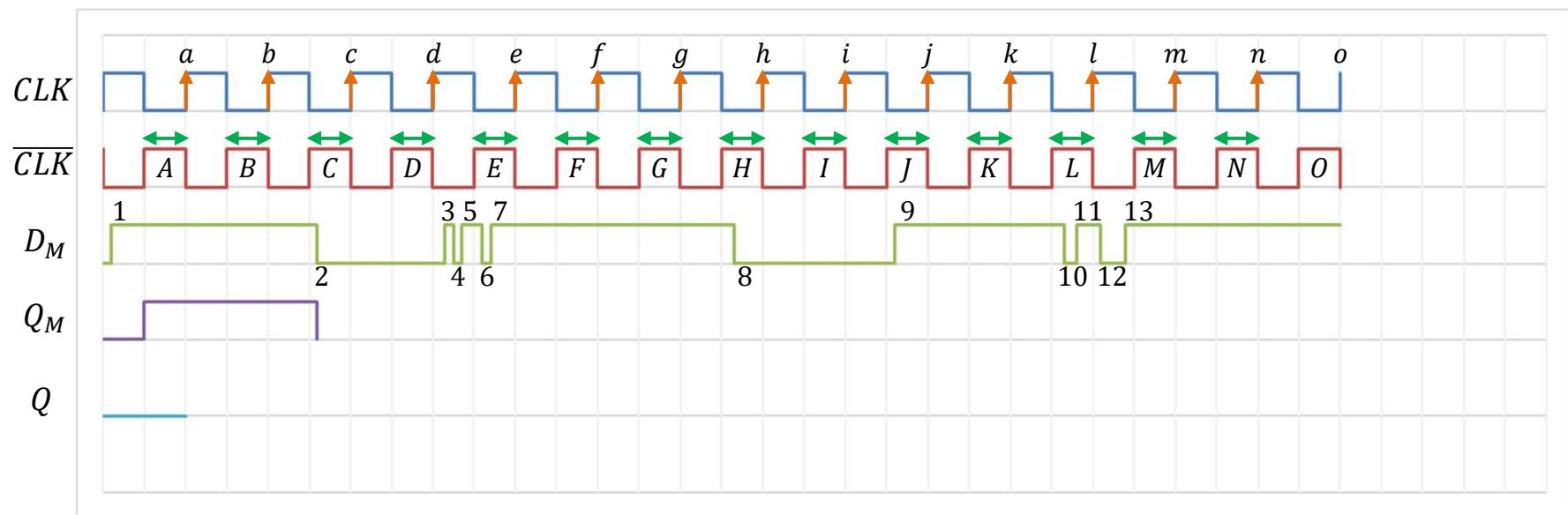


Q_M permanecerá em HIGH até a transição 2, que ocorre quando \overline{CLK} está em HIGH, que será imediatamente transferido para Q_M durante o período C.



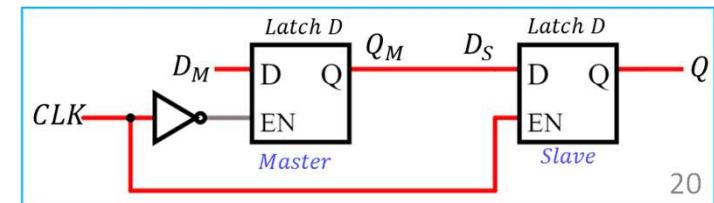
Circuitos Sequenciais

Flip-flop D



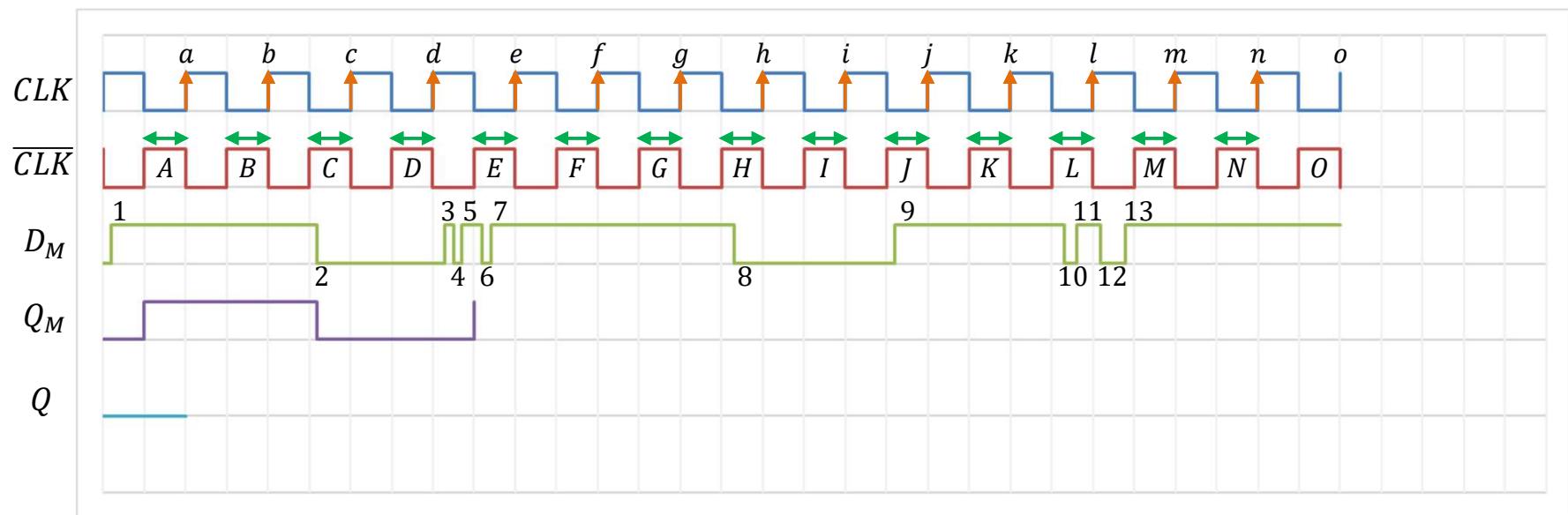
Os estados 3 e 4 ocorrem com \overline{CLK} em *LOW*, não refletindo em Q_M .

O estado 5 de D_M será transferido para Q_M quando \overline{CLK} entrar em *HIGH* (*E*).

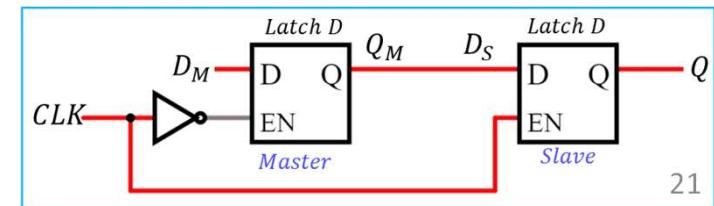


Circuitos Sequenciais

Flip-flop D

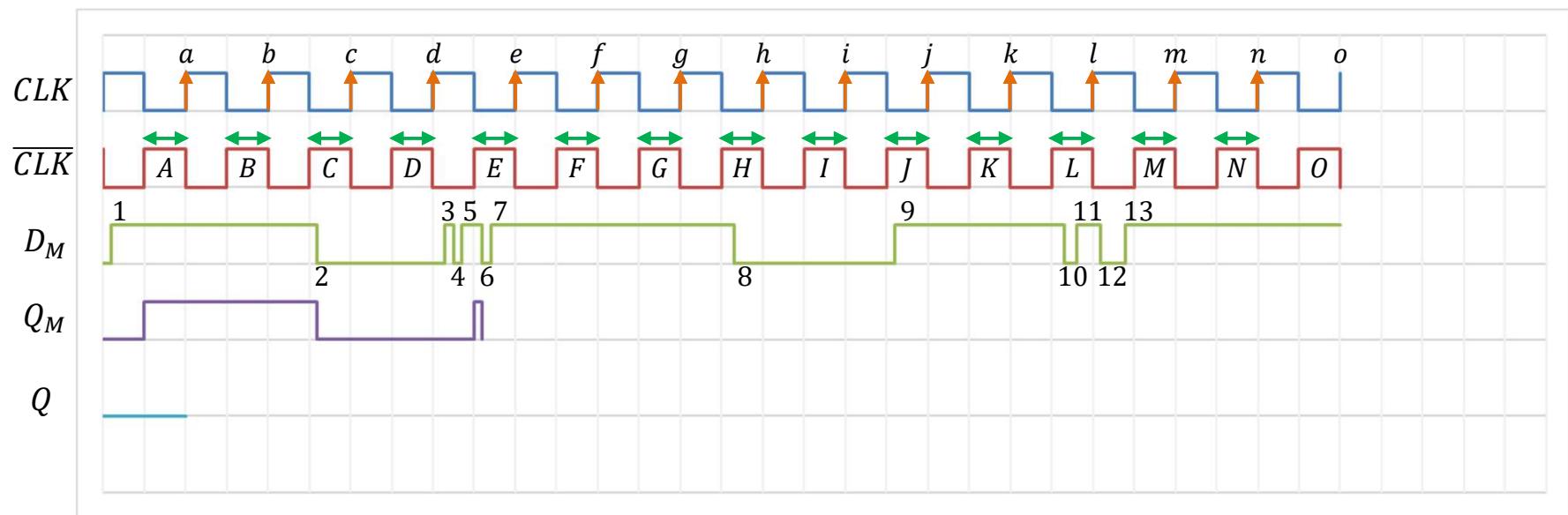


Os estados 6 e 7 ocorrem com \overline{CLK} em HIGH, refletindo imediatamente em Q_M .

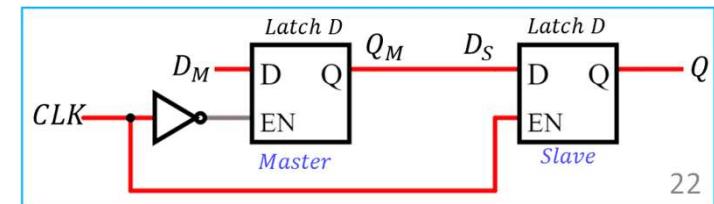


Circuitos Sequenciais

Flip-flop D

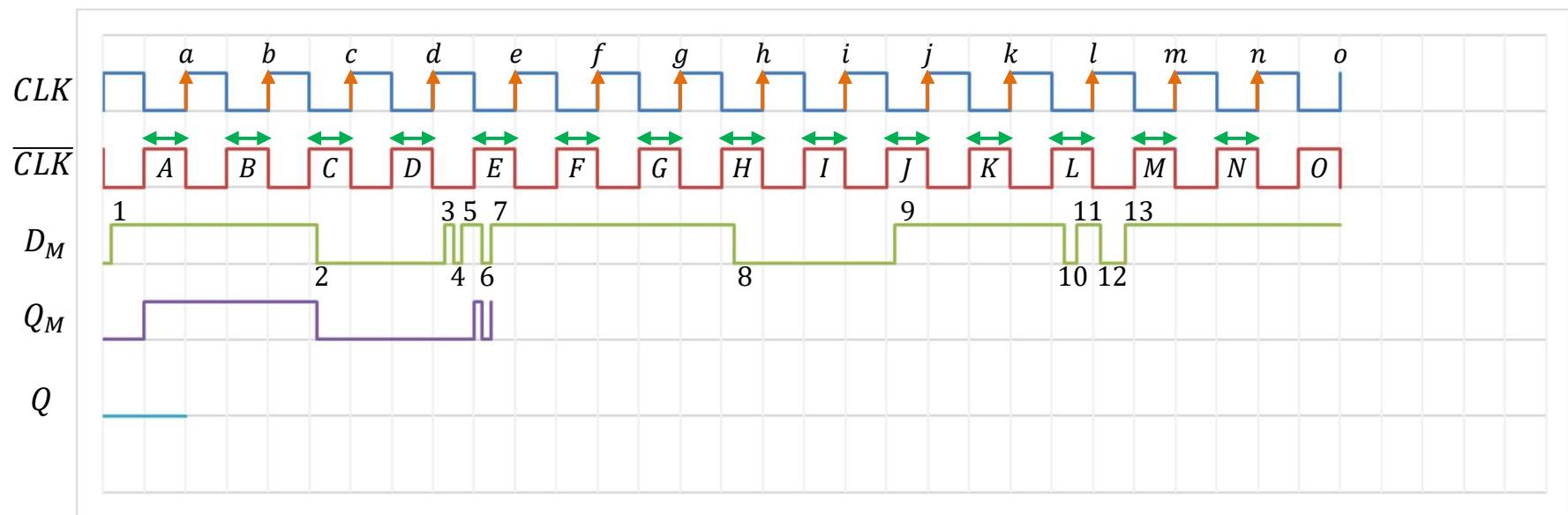


Os estados 6 e 7 ocorrem com \overline{CLK} em HIGH, refletindo imediatamente em Q_M .



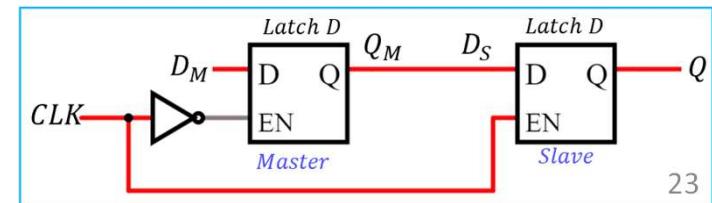
Circuitos Sequenciais

Flip-flop D



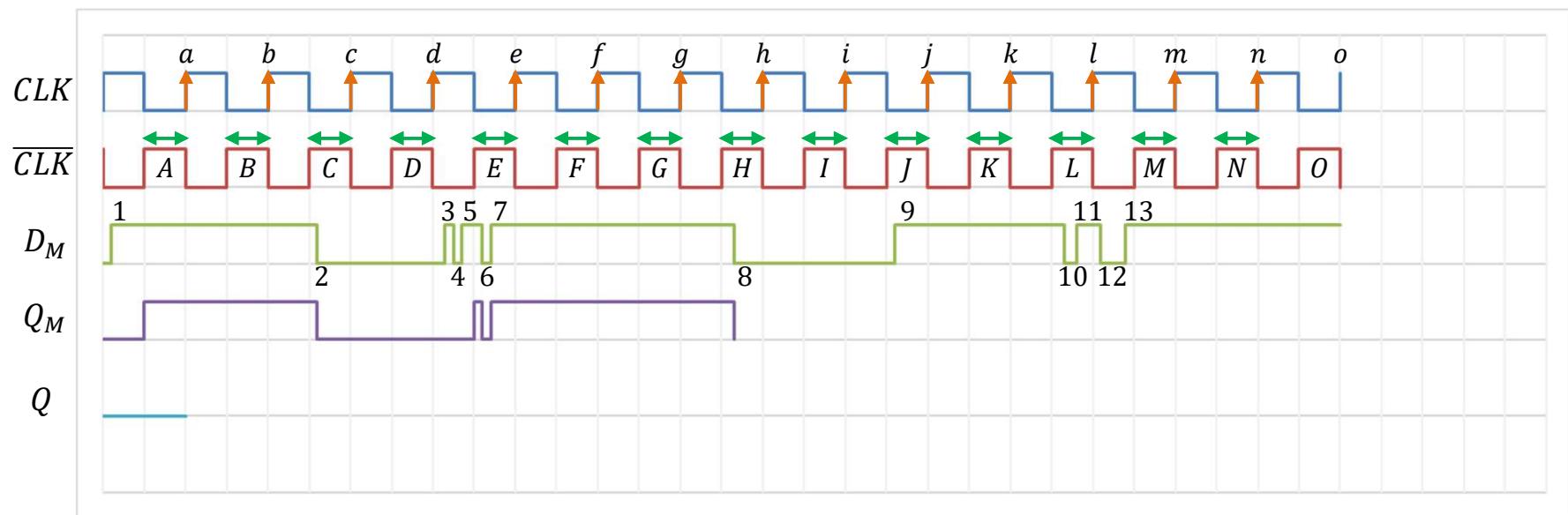
Os estados 6 e 7 ocorrem com \overline{CLK} em HIGH, refletindo imediatamente em Q_M .

Q_M ficará em HIGH até o pulso 8.

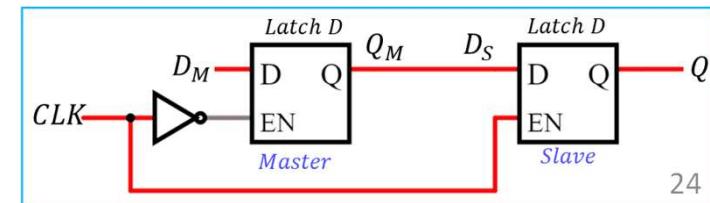


Circuitos Sequenciais

Flip-flop D

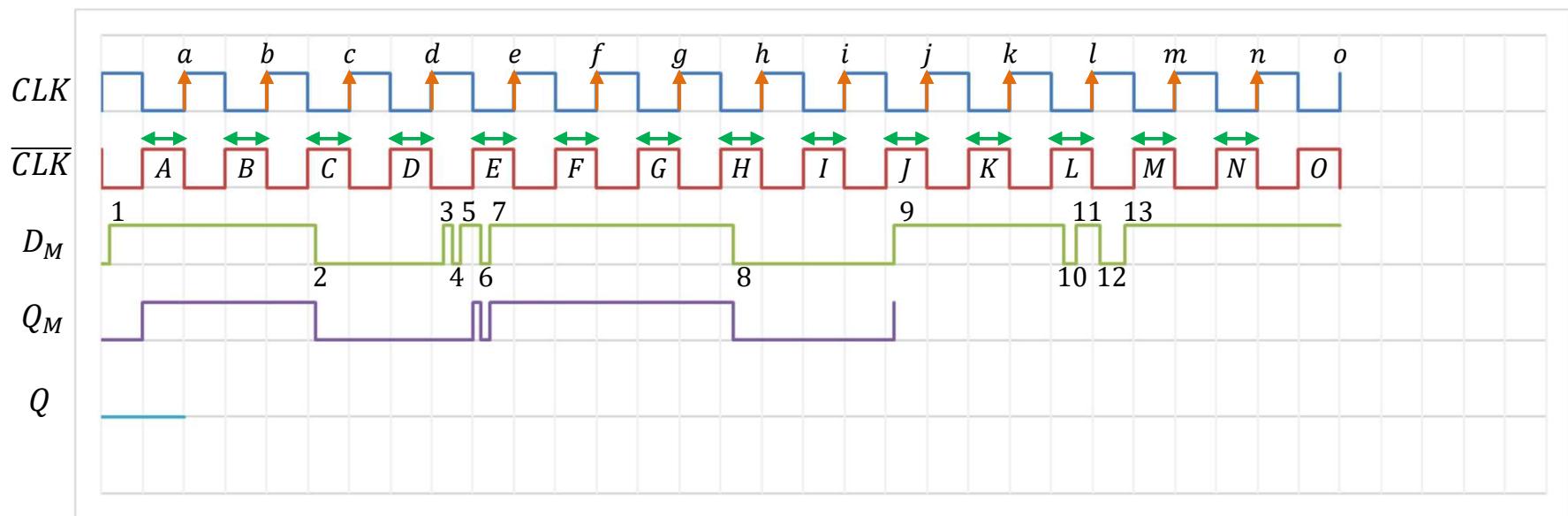


O estado 8 ocorre com \overline{CLK} em *HIGH*, refletindo imediatamente em Q_M .
 Q_M ficará em *LOW* até o pulso 9.

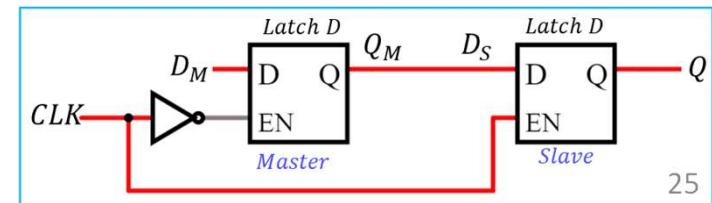


Circuitos Sequenciais

Flip-flop D

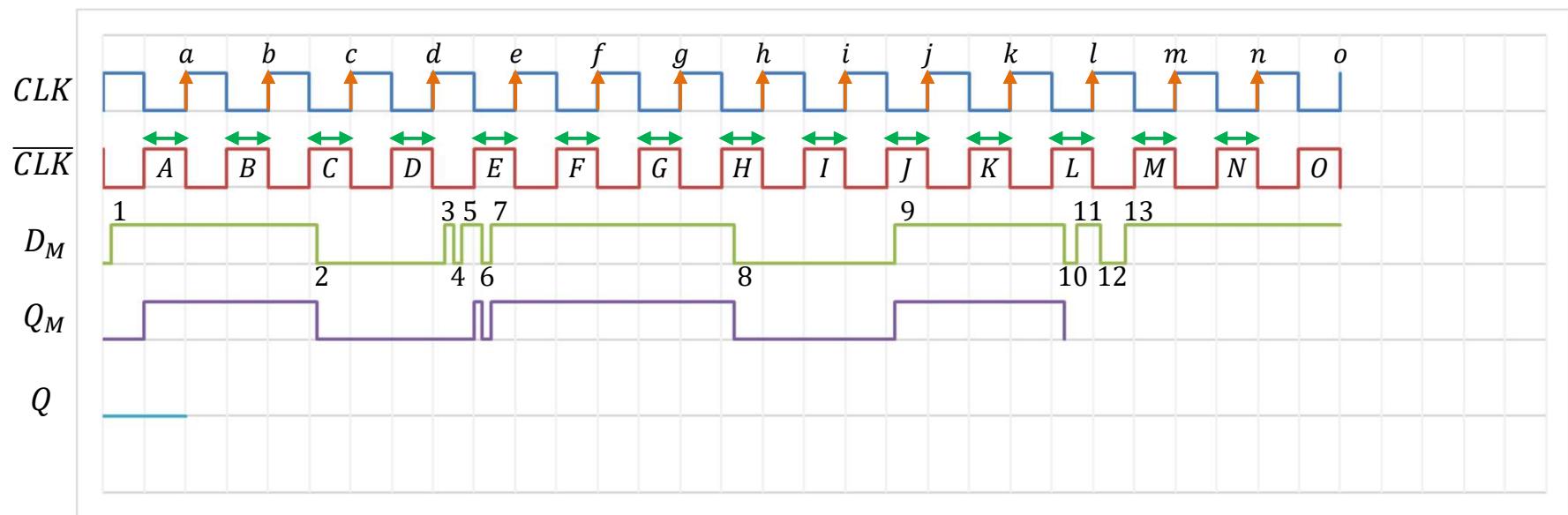


O estado 9 ocorre com \overline{CLK} em HIGH, refletindo imediatamente em Q_M .
 Q_M ficará em HIGH até o pulso 10.

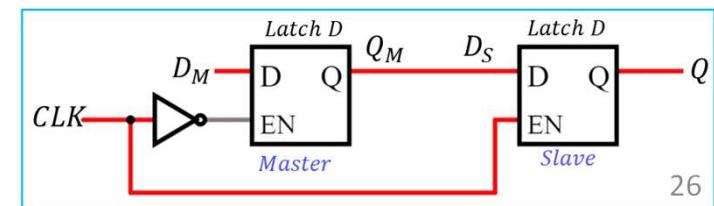


Circuitos Sequenciais

Flip-flop D

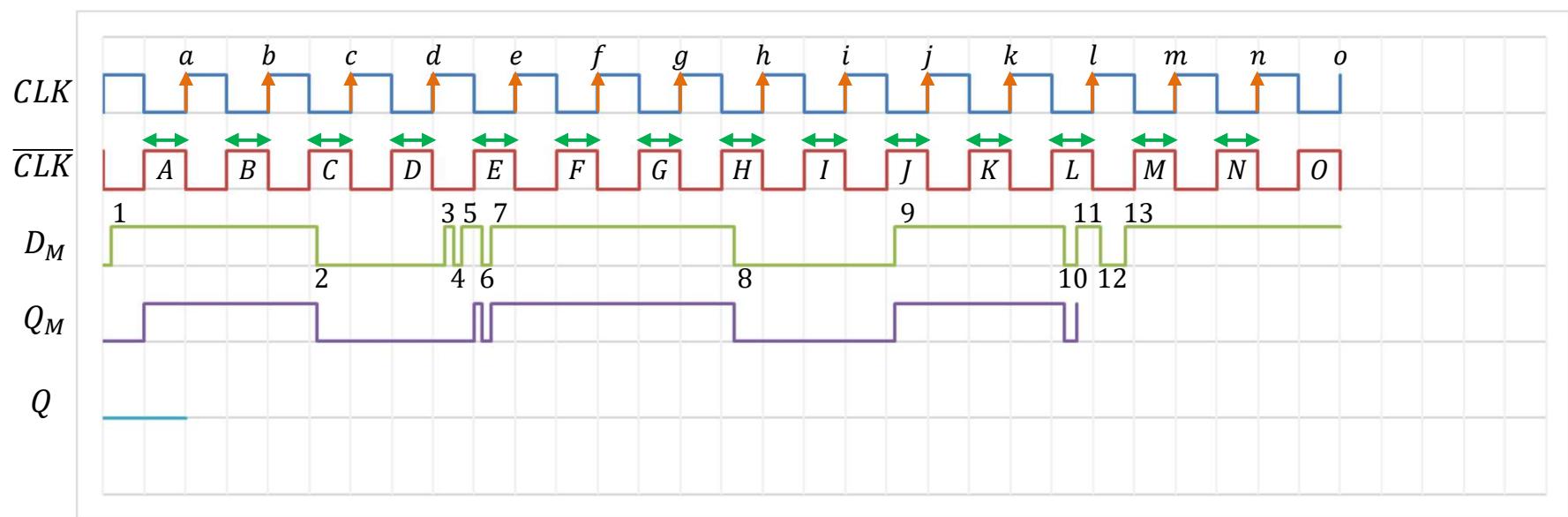


Os estados 10 e 11 ocorrem com \overline{CLK} em HIGH, refletindo imediatamente em Q_M .



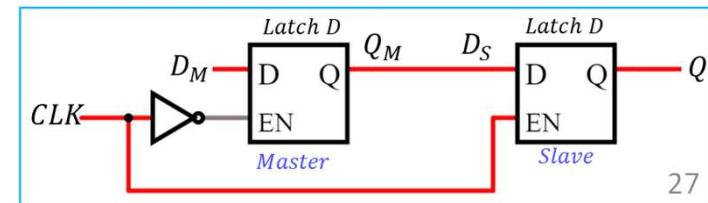
Circuitos Sequenciais

Flip-flop D



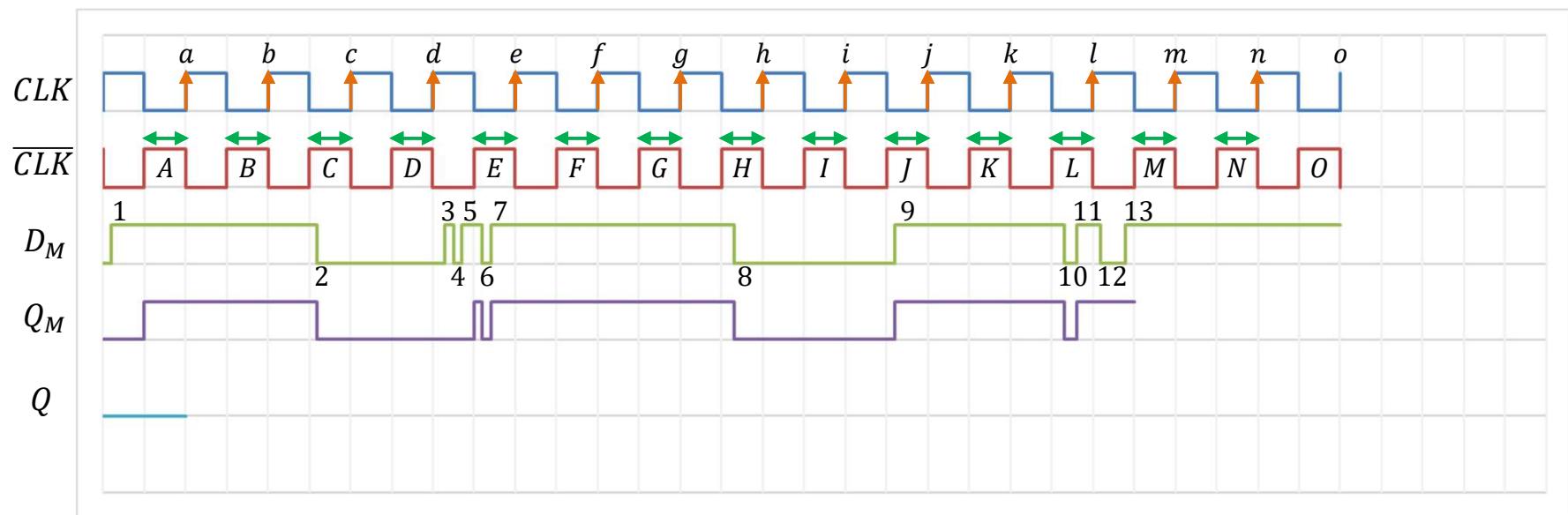
Os estados 10 e 11 ocorrem com \overline{CLK} em HIGH, refletindo imediatamente em Q_M .

Q_M permanecerá em HIGH e não reconhecerá o estado 12.



Circuitos Sequenciais

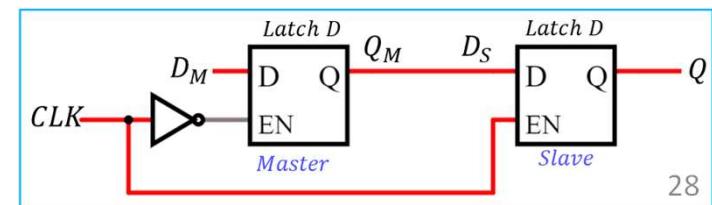
Flip-flop D



Os estados 10 e 11 ocorrem com \overline{CLK} em *HIGH*, refletindo imediatamente em Q_M .

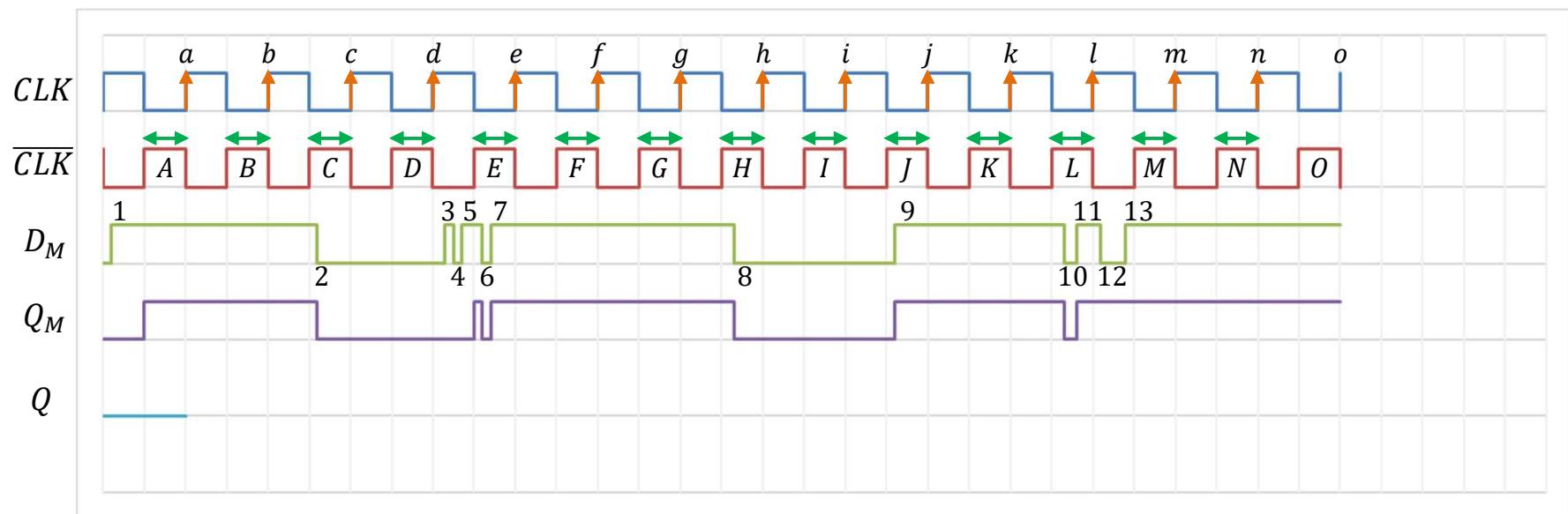
Q_M permanecerá em *HIGH* e não reconhecerá o estado 12.

O estado 13 será transferido para Q_M no período *M*.

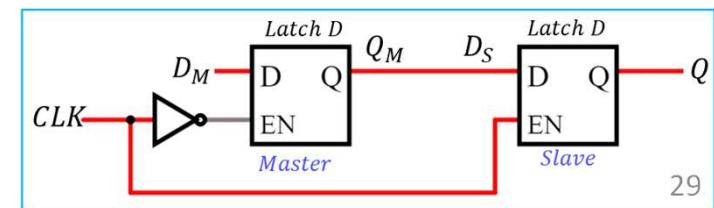


Circuitos Sequenciais

Flip-flop D



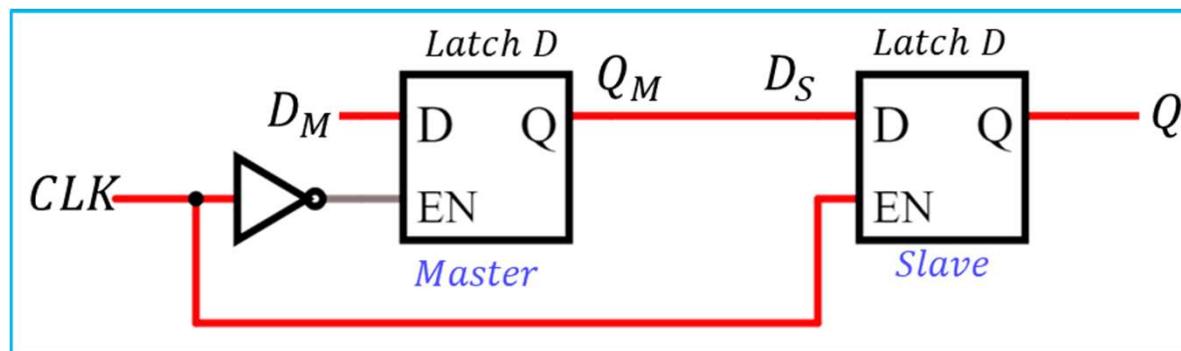
E assim permanecerá.



Circuitos Sequenciais

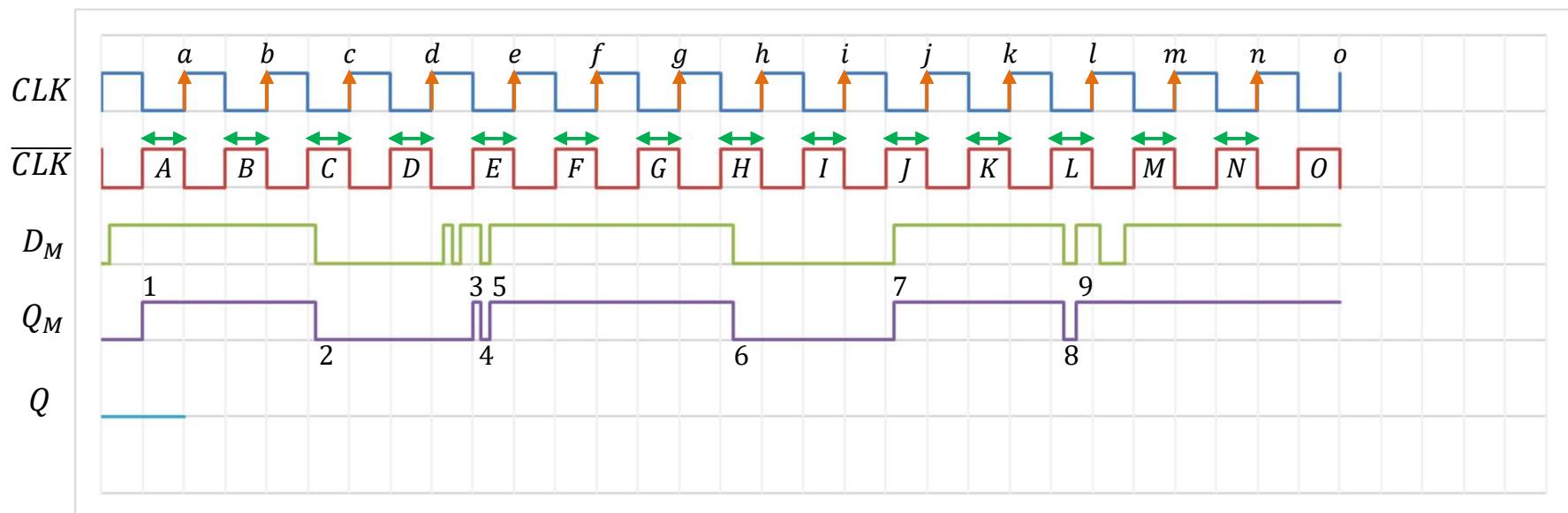
Flip-flop D

- ✓ Até o momento analisamos o comportamento isolado do *Latch Master*;
- ✓ A entrada D do *Latch Master* é transferida para a sua saída Q no momento em que o sinal do CLK está em *LOW*, e consequentemente EN em *HIGH*;
- ✓ Assim que o CLK comuta para *HIGH*, o *Latch Slave* transfere a sua entrada D para a saída Q do flip-flop;
- ✓ Neste período o *Latch Master* fica desabilitado;
- ✓ O efeito final do flip-flop é a transferência da entrada D_M para a saída Q na borda de subida do CLK ;



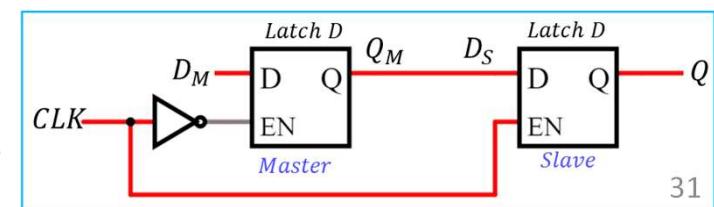
Circuitos Sequenciais

Flip-flop D



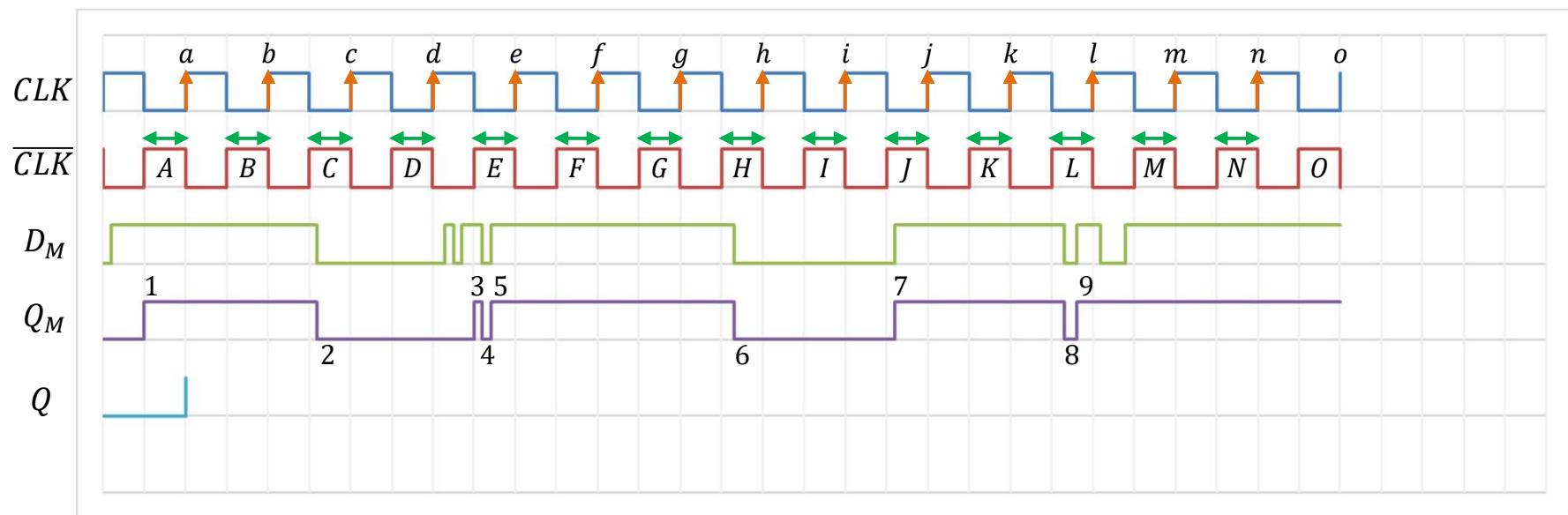
A integração do *Latch Master* e do *Latch Slave* combinada com a entrada do *CLK*, que alterna a operação de um e de outro, leva ao efeito desejado para o *flip-flop*;

A saída *Q* do *flip-flop* será o sinal da entrada no momento que ocorre a borda de subida do *CLK*.

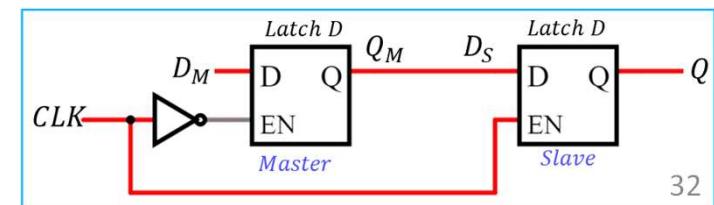


Circuitos Sequenciais

Flip-flop D

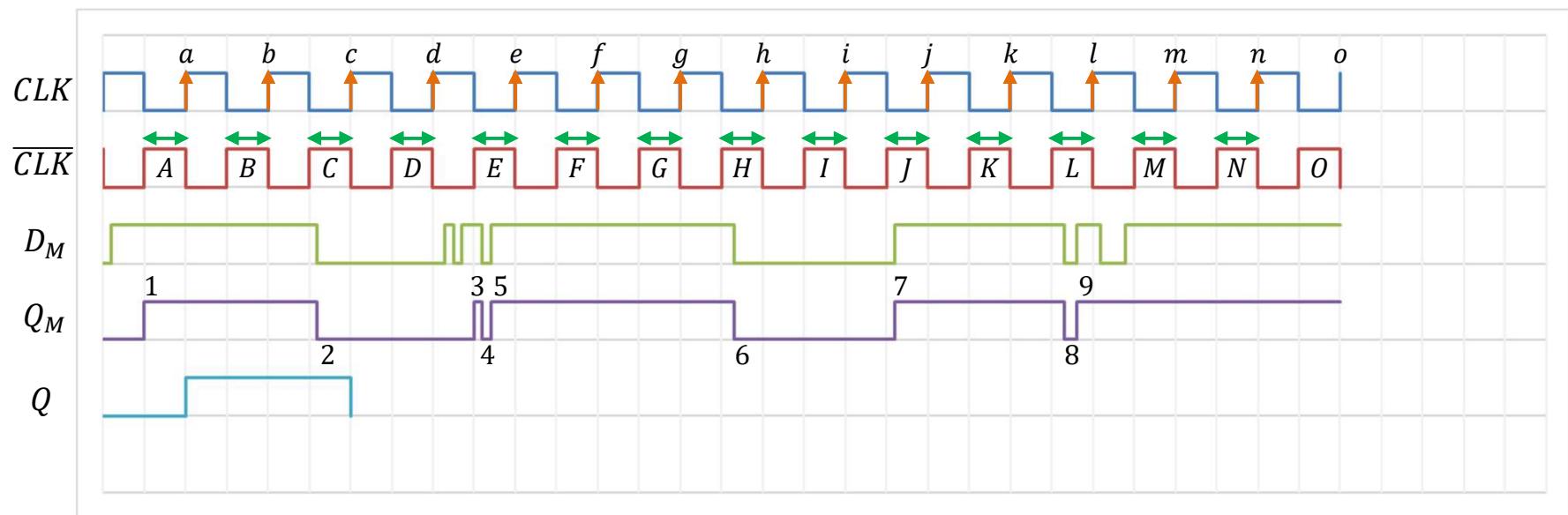


Assim, o estado 1 de Q_M será transferido para Q no instante a .
O estado 2 será transferido para Q_M apenas no instante c .

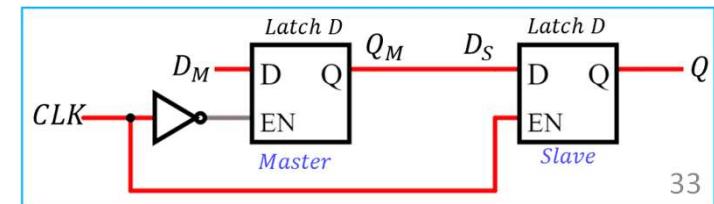


Circuitos Sequenciais

Flip-flop D

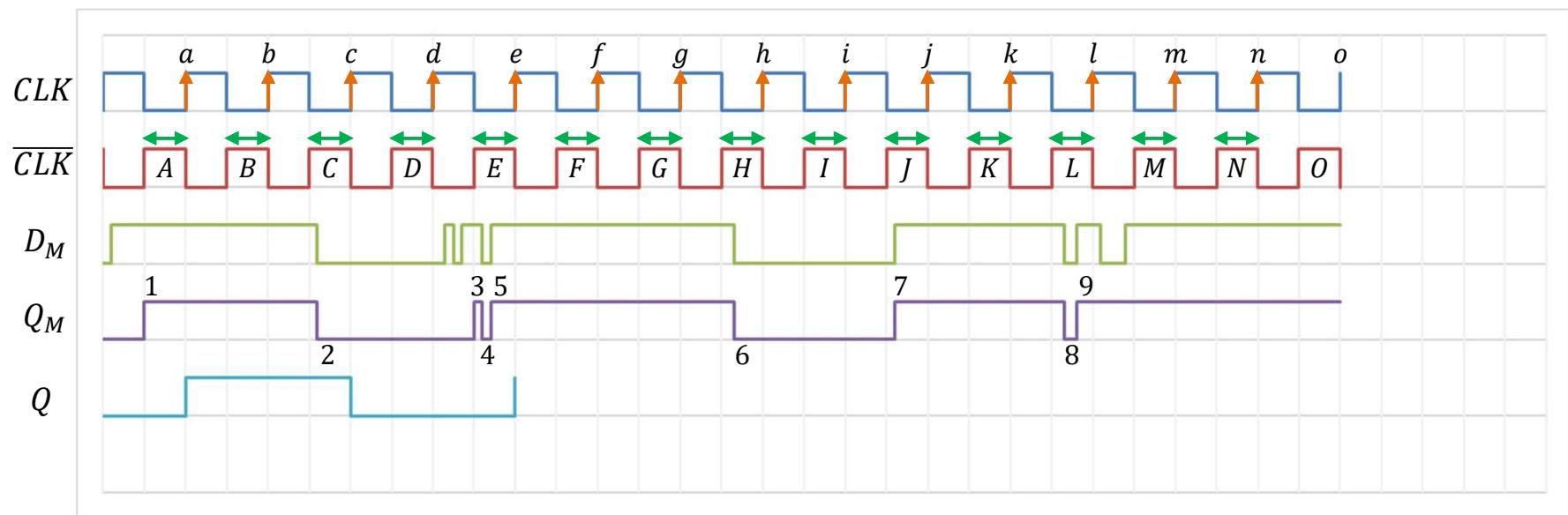


Das alterações de estado 3, 4 e 5 que ocorrem entre as bordas d e e , apenas a transição para o estado 5 será transferida para Q no instante e .

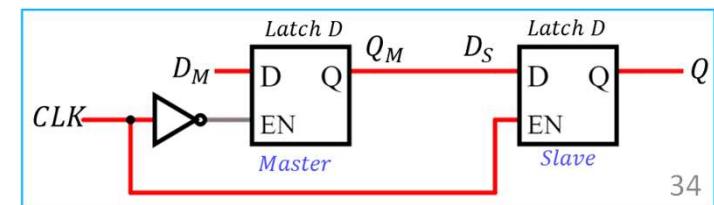


Circuitos Sequenciais

Flip-flop D

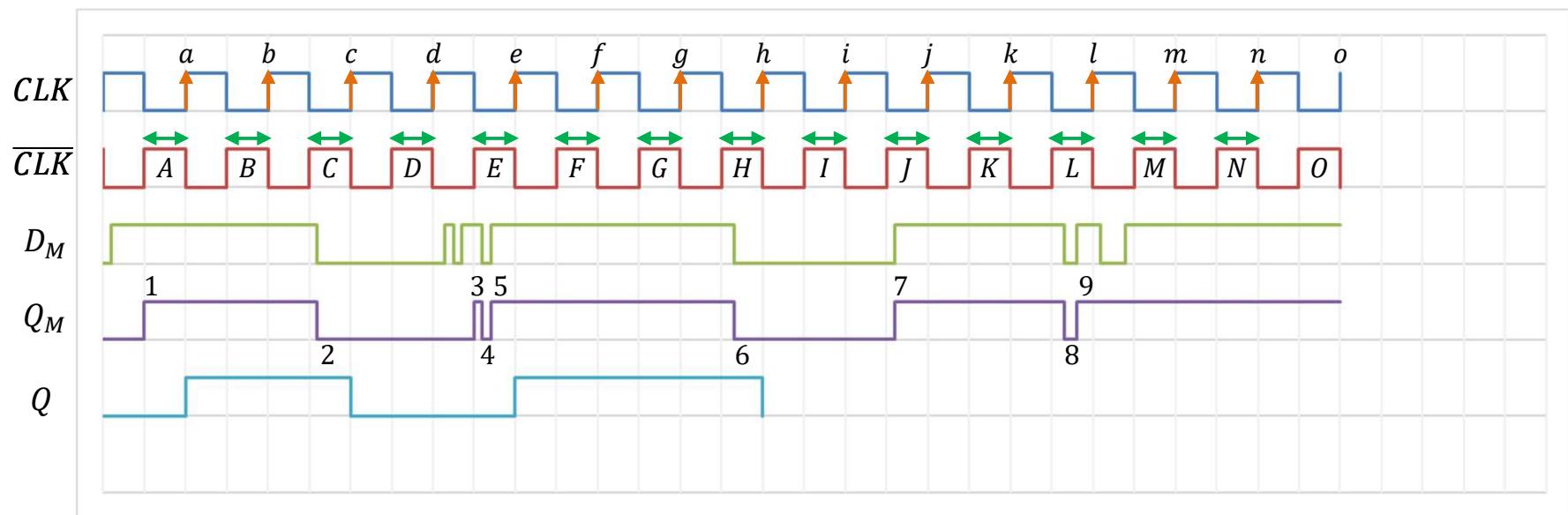


O *Flip-Flop* ficará no estado *HIGH* até que o estado 6 seja transferido para Q no instante *h*.

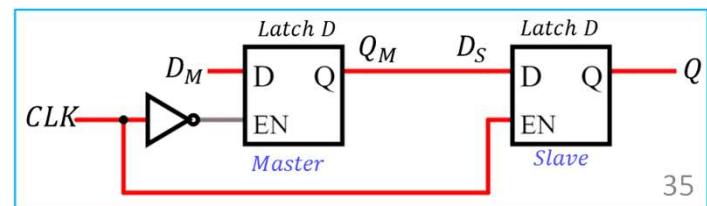


Circuitos Sequenciais

Flip-flop D

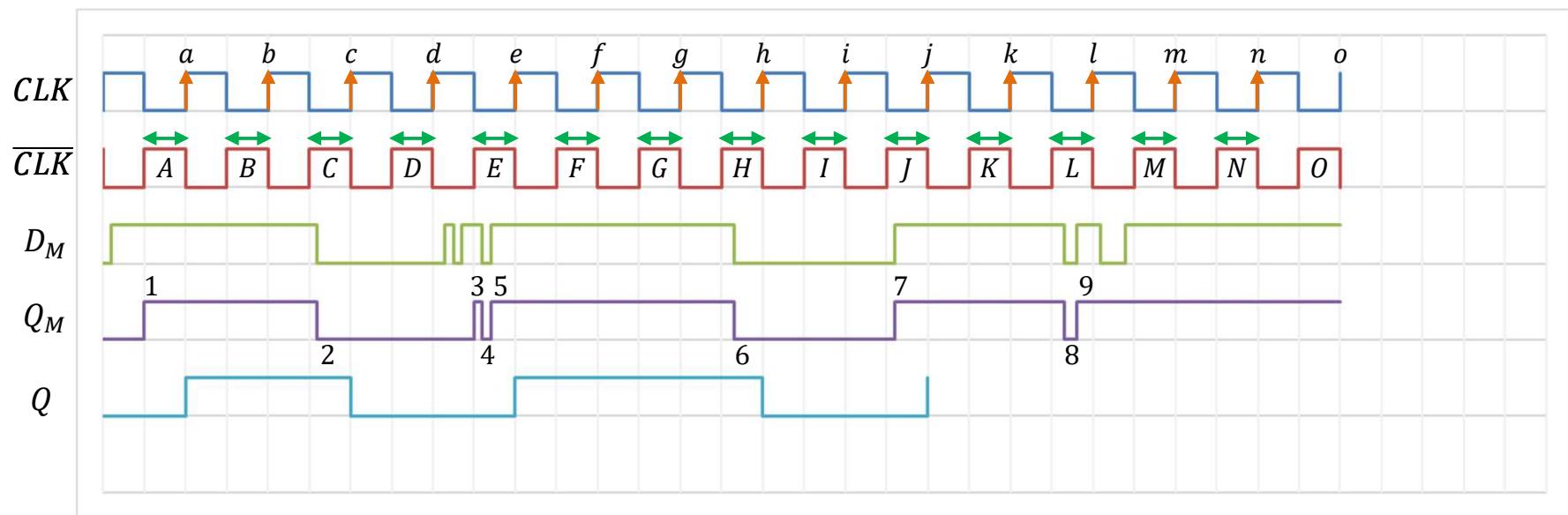


O *Flip-Flop* ficará no estado *LOW* até que o estado 7 seja transferido para Q no instante j .

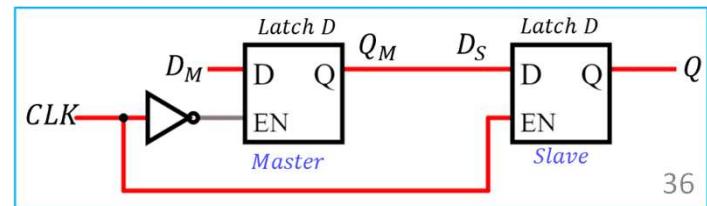


Circuitos Sequenciais

Flip-flop D

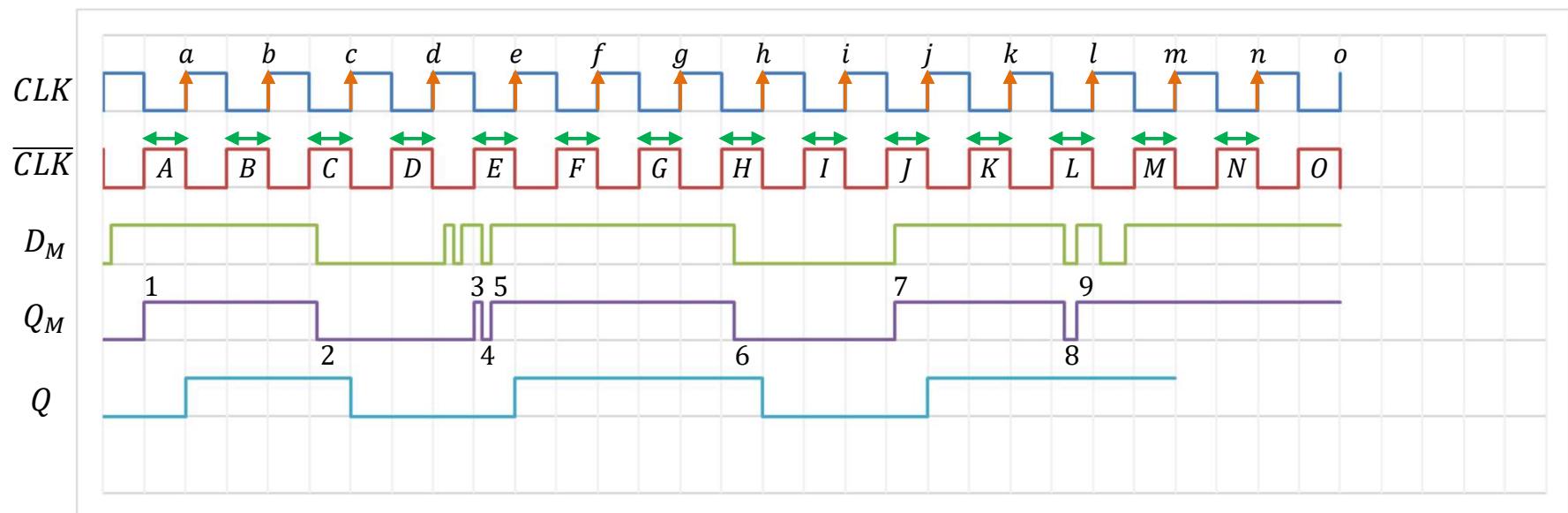


O estado 8 será perdido, pois acontece antes da *Borda de Subida*, prontamente sucedido pela mudança para o estado 9 que é transferido para a saída Q no instante *l*.

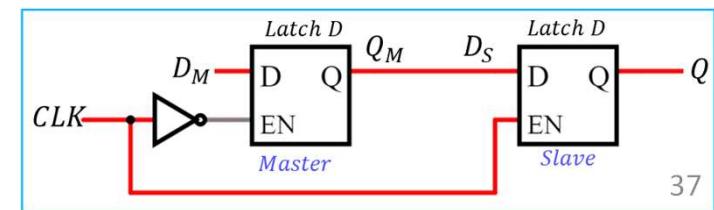


Circuitos Sequenciais

Flip-flop D

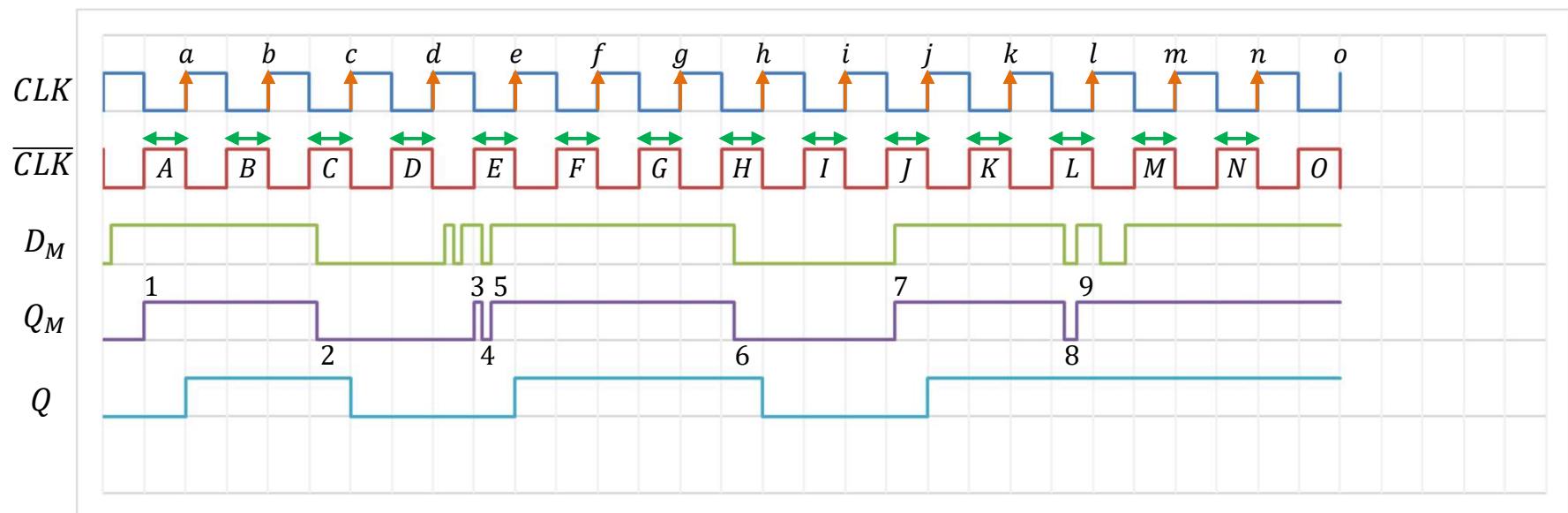


E assim permanecerá.

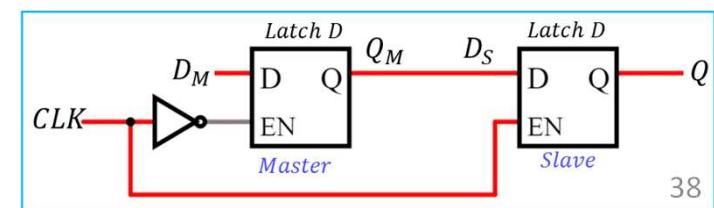


Circuitos Sequenciais

Flip-flop D

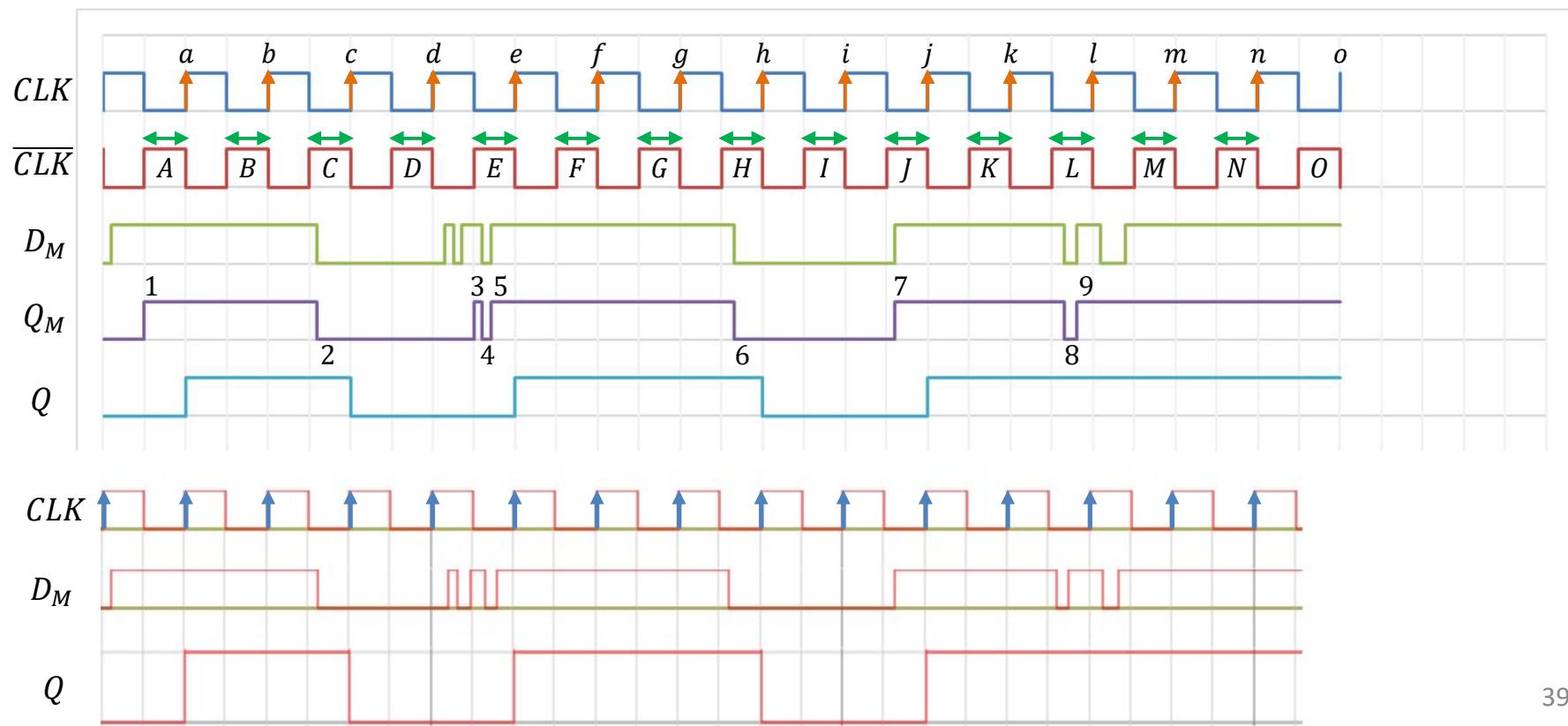


E assim permanecerá.



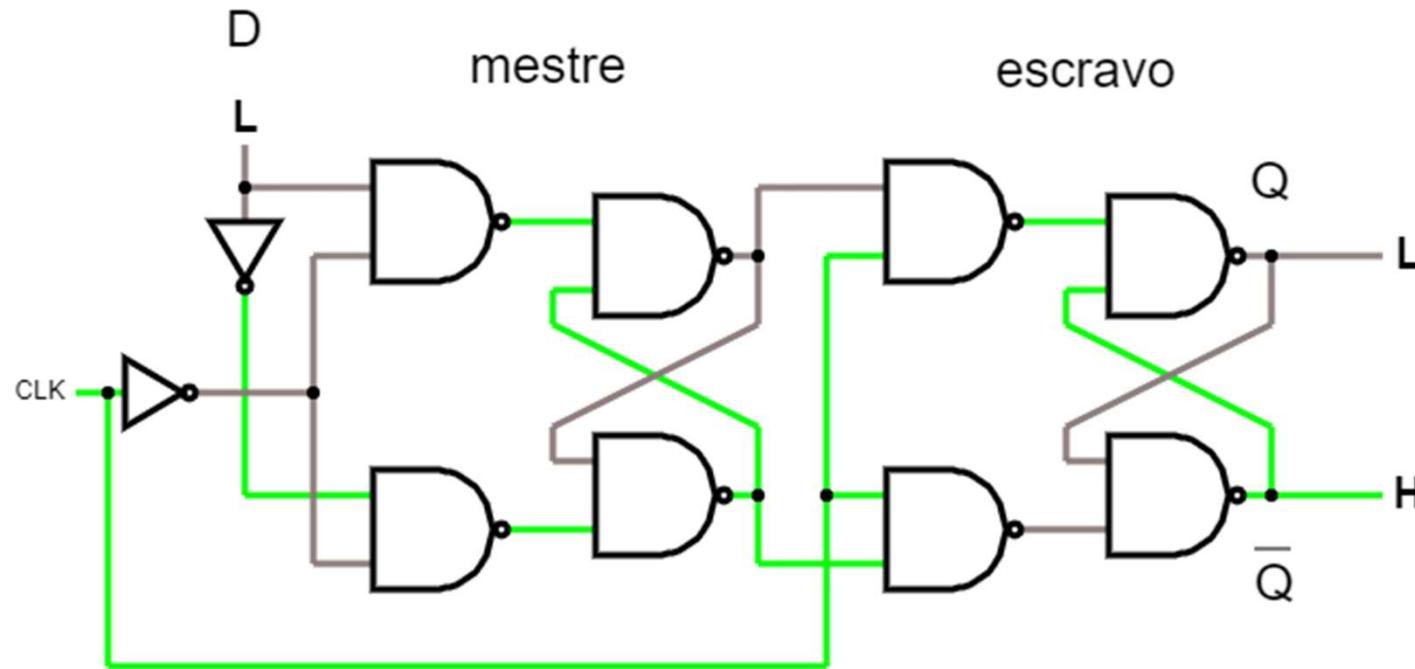
Circuitos Sequenciais

Flip-flop D



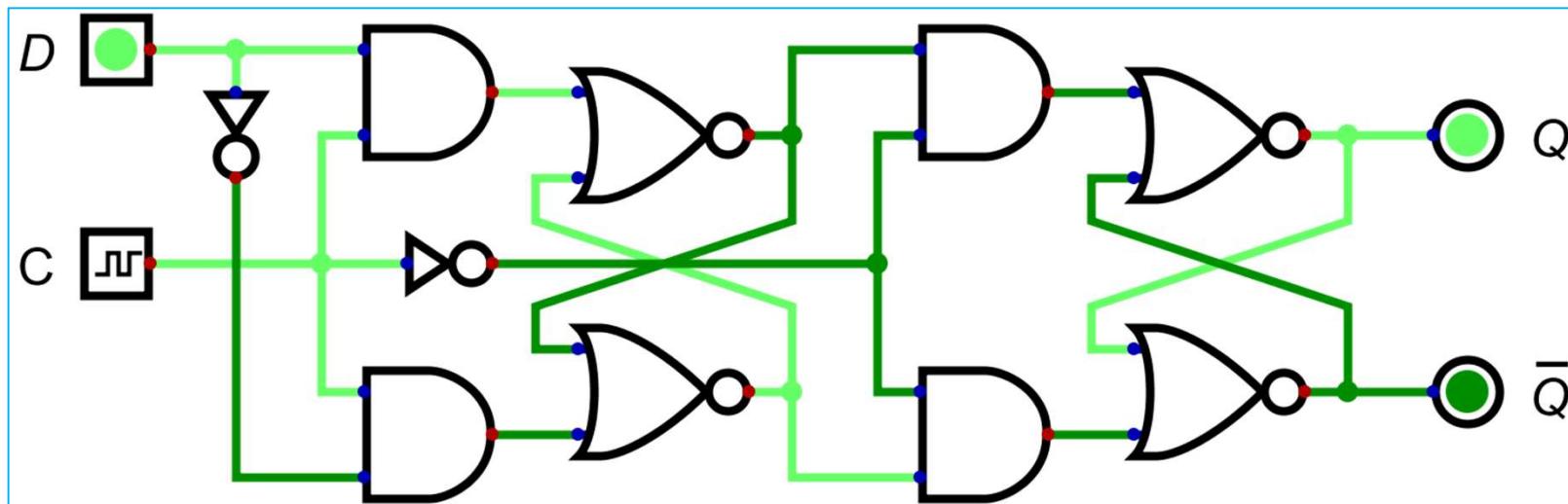
Circuitos Sequenciais *Flip-flop D*

- Diagrama detalhado do circuito *flip-flop D*:



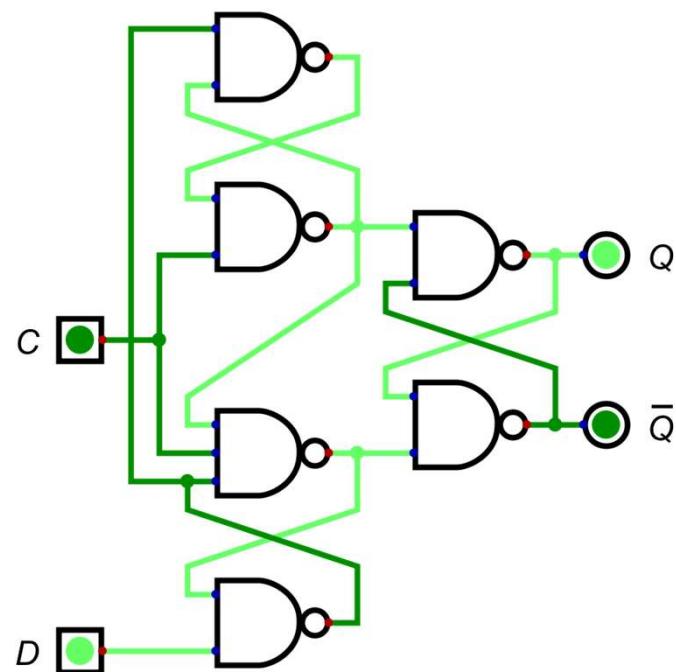
Circuitos Sequenciais *Flip-flop D*

- Diagrama detalhado do circuito do *flip-flop D*:

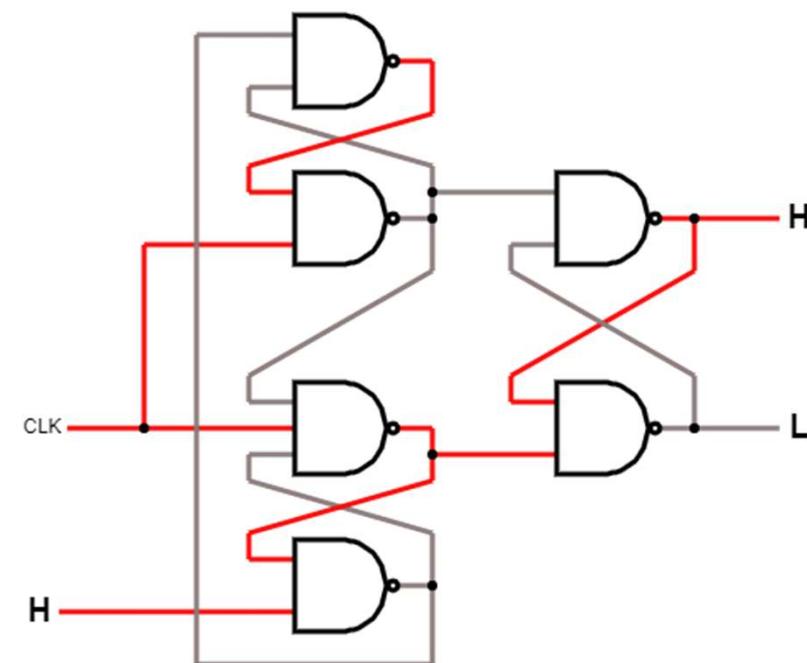


Circuitos Sequenciais *Flip-flop D*

- Diagrama detalhado do circuito do *flip-flop D*:



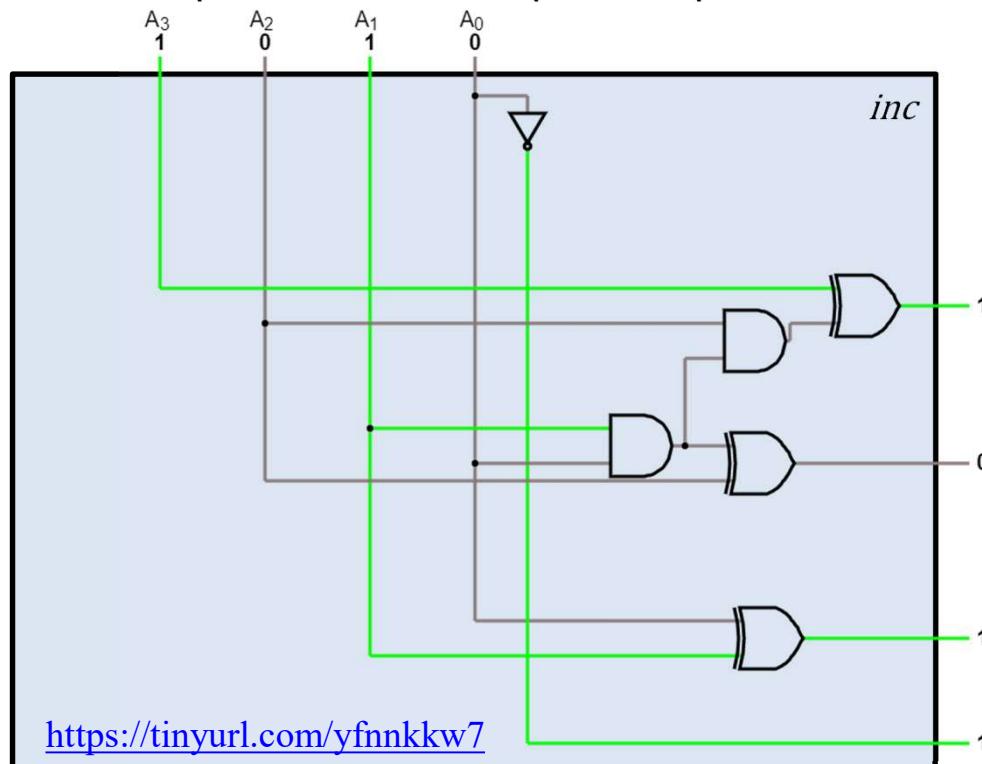
<https://github.com/hneemann/Digital>



<https://tinyurl.com/y88jzjsg>

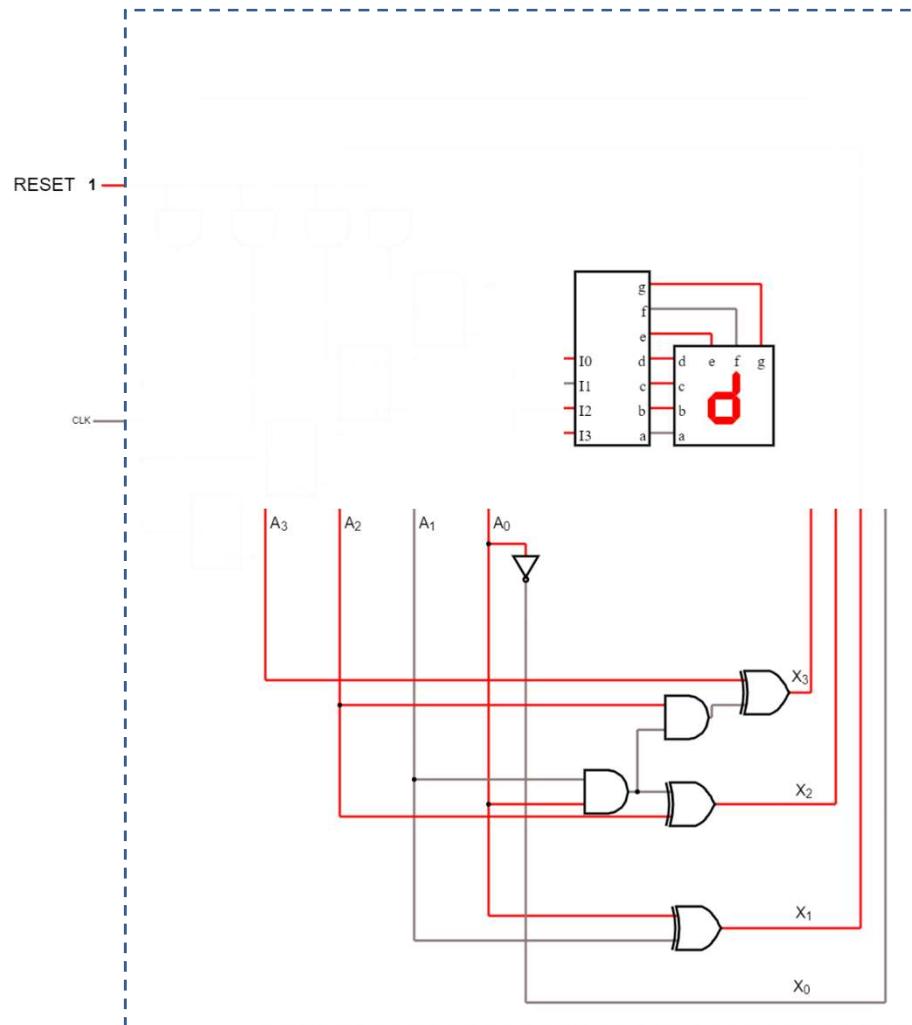
Circuitos Sequenciais *Flip-flop D*

i. Recupere o circuito específico para incremento.

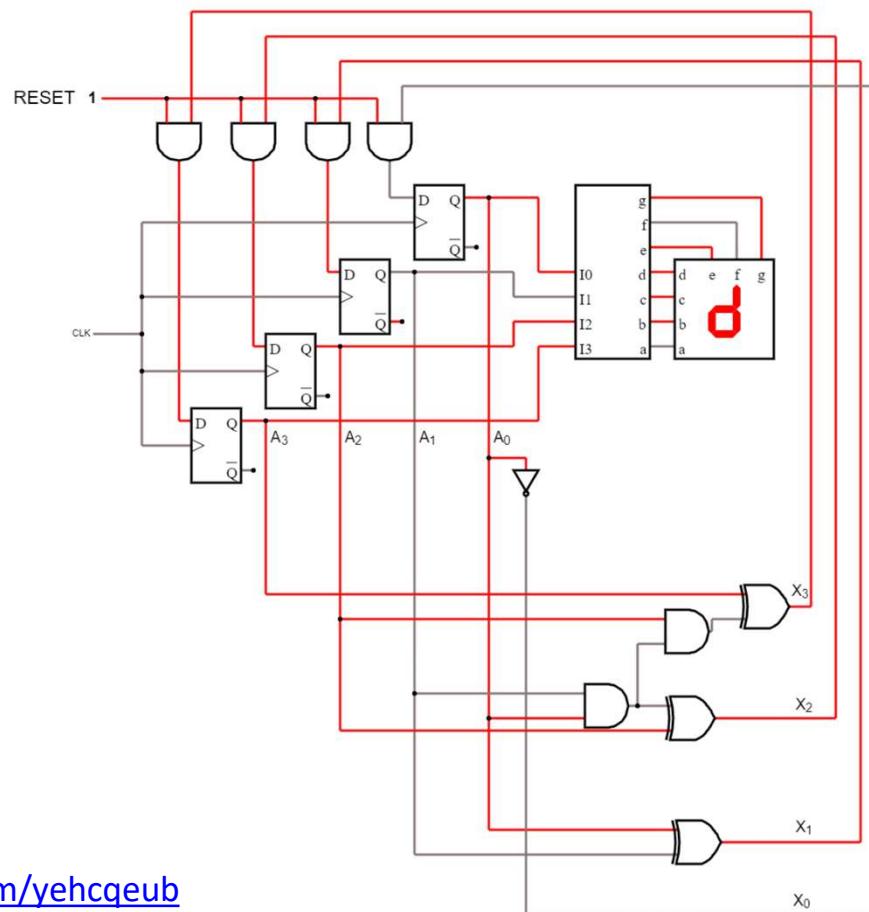


- Projetar um circuito que incrementa o valor de um registrador de 4 bits a cada borda de subida do *clock*.
- Apresenta o valor em um *display*;
- Uma entrada *RESET* mantém o contador em 0.

Circuitos Sequenciais *Flip-flop D*



Circuitos Sequenciais *Flip-flop D*



- Para $RESET = 1$, as saídas das portas AND correspondem ao número incrementado do ciclo anterior;
- Na próxima \uparrow este valor é transferido para o circuito incrementador, realimentando as portas AND ;
- Para $RESET = 0$, as saídas das portas AND são fixadas em zero;

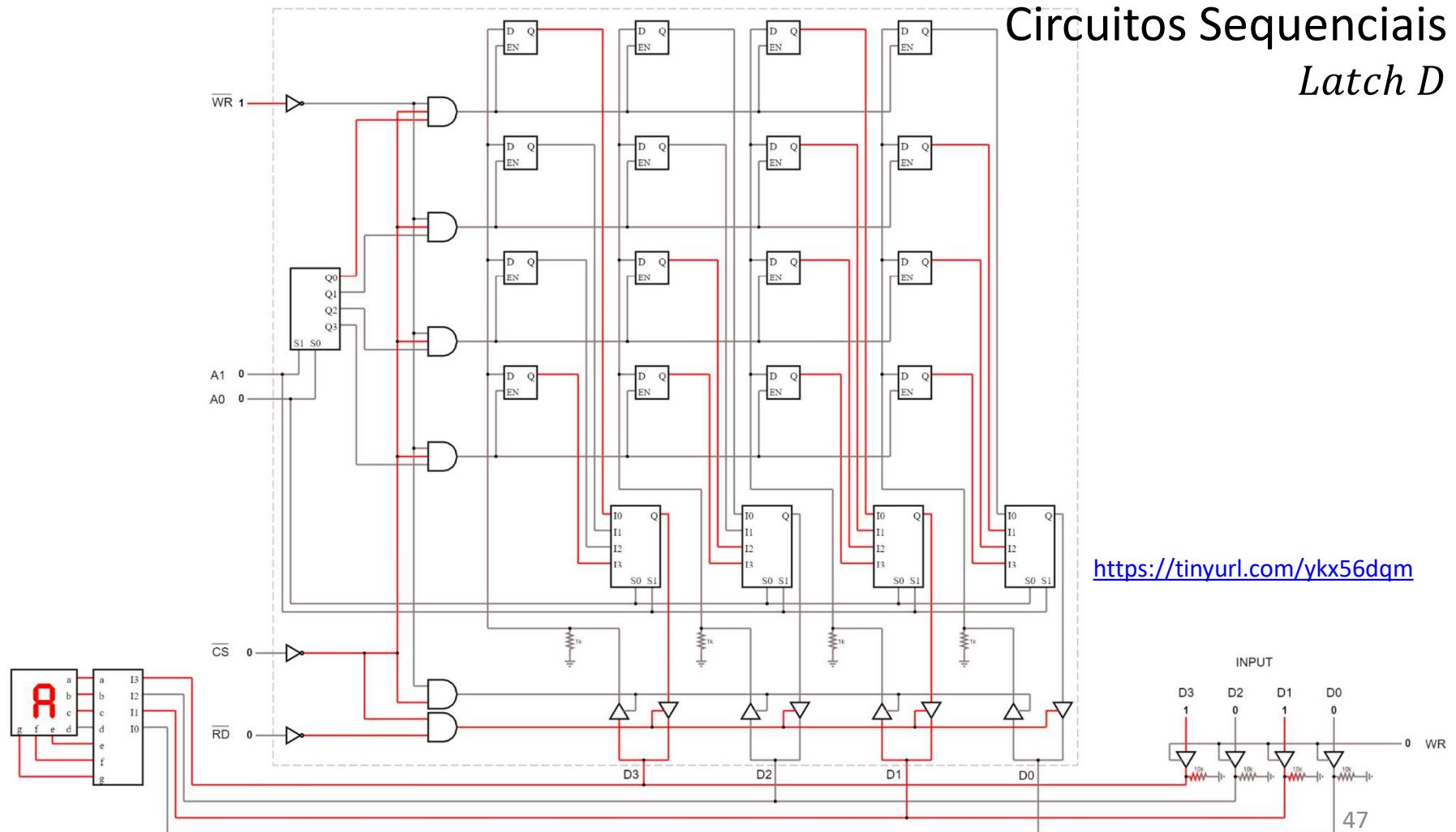
<https://tinyurl.com/yehcqeub>

Circuitos Sequenciais

Flip-flop D

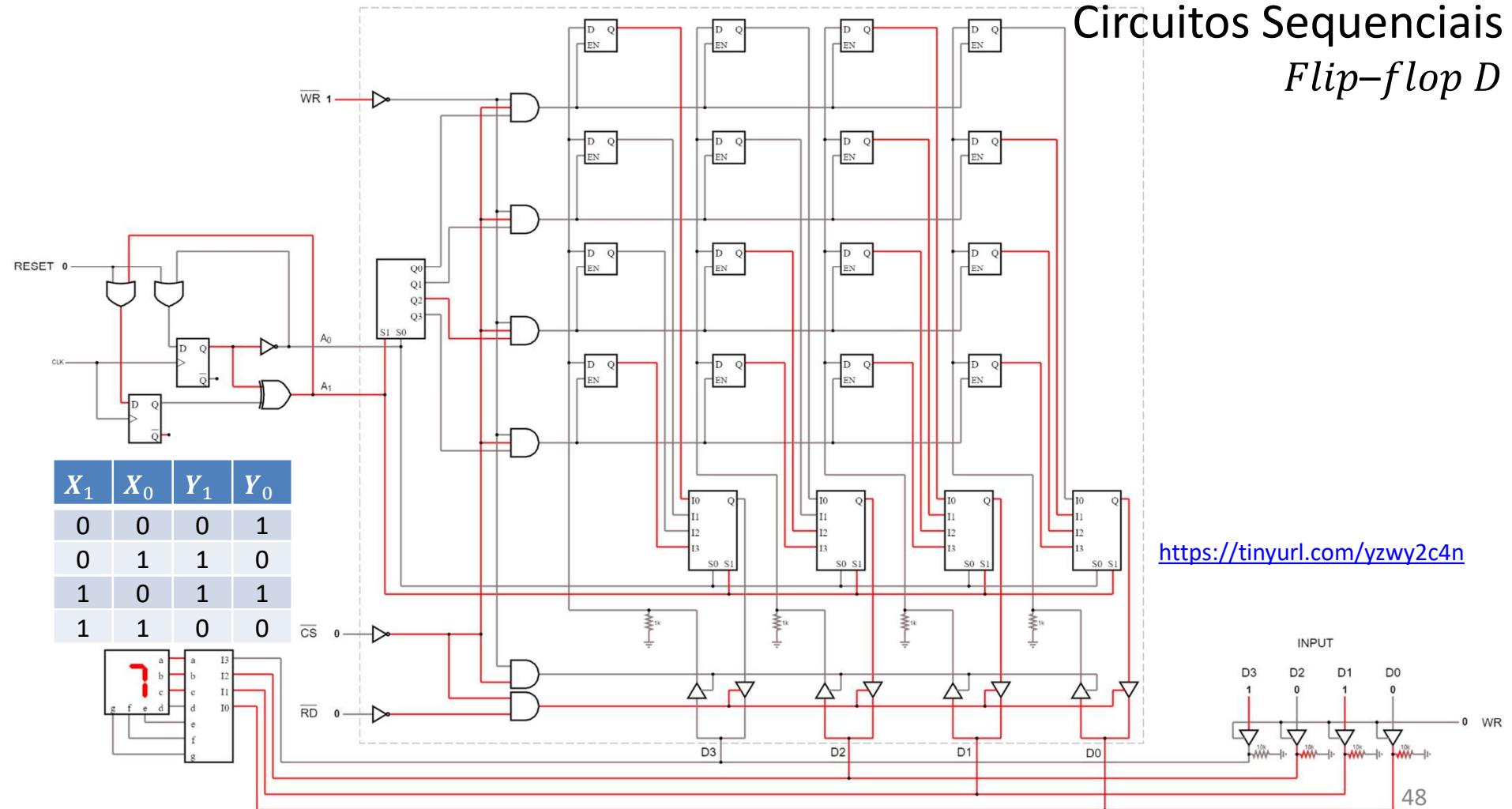
- ii. Projetar um circuito que apresenta os valores contidos em uma memória $4 \times 4\ bits$.
 - ✓ Os valores são apresentados em um *display*;
 - ✓ A apresentação circula pelos endereços de memória;
 - ✓ Uma entrada *RESET* fixa o endereço selecionado em 0.

Circuitos Sequenciais Latch D



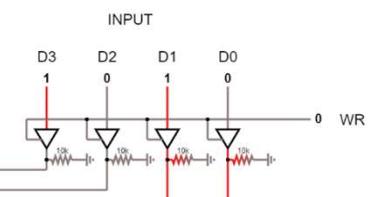
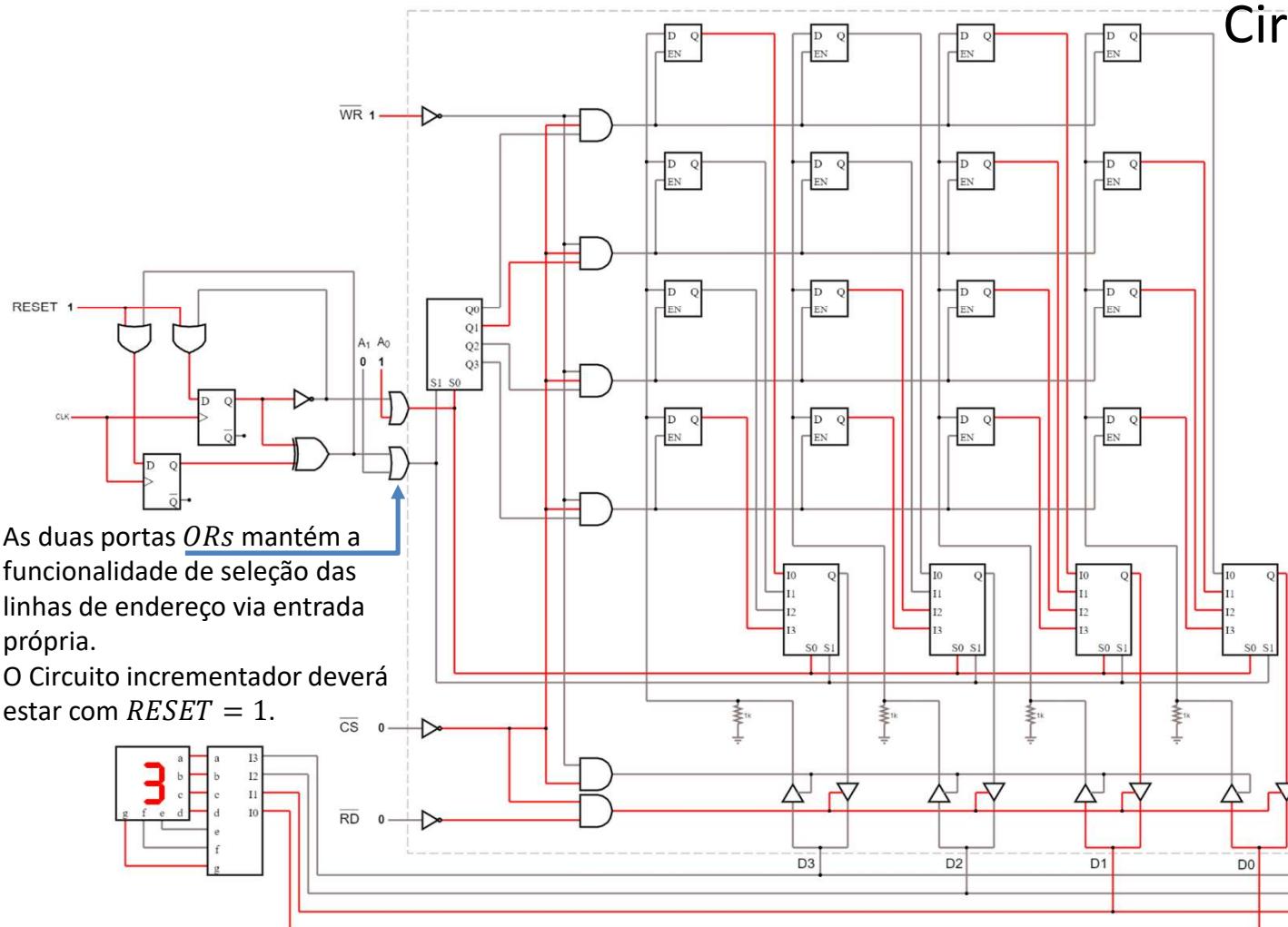
Circuitos Sequenciais

Flip-flop D



Circuitos Sequenciais

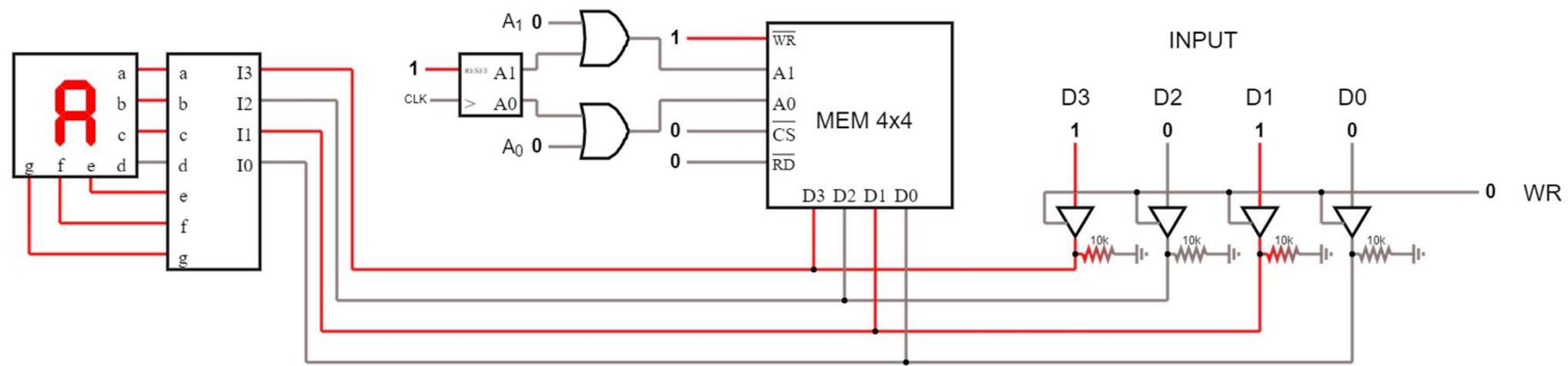
Flip-flop D



49

Circuitos Sequenciais

Flip-flop D



Circuitos Sequenciais

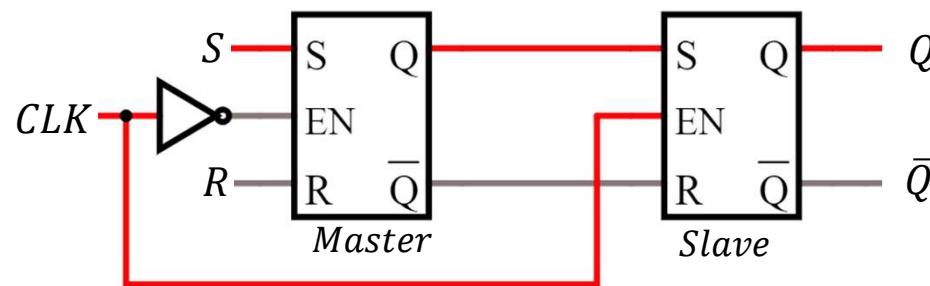
Flip-flop D

- iii. Projetar um circuito que soma automaticamente os valores contidos em uma memória 4×4 bits.
- ✓ Utilizando apenas um somador;
 - ✓ Os valores acumulados são apresentados em um *display*;
 - ✓ Uma entrada *RESET* inicia o processo de soma;
 - ✓ A soma fica congelada ao alcançar o resultado final.

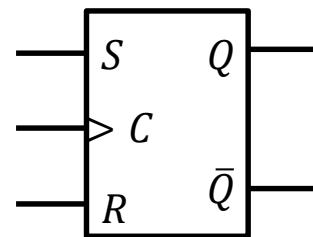
Circuitos Sequenciais

Flip-flop S-R

- O flip-flop S-R é a base para o flip-flop D;
- A entrada D do Latch Master é desfeita, retornando-se à configuração com duas entradas independentes S e R;



<i>CLK</i>	<i>S</i>	<i>R</i>	<i>Q</i>	<i>Função</i>
?	0	0	Q_{i-1}	Mantém <i>Q</i>
\uparrow	0	1	0	Reset <i>Q</i>
\uparrow	1	0	1	Set <i>Q</i>
\uparrow	1	1	?	Inválido

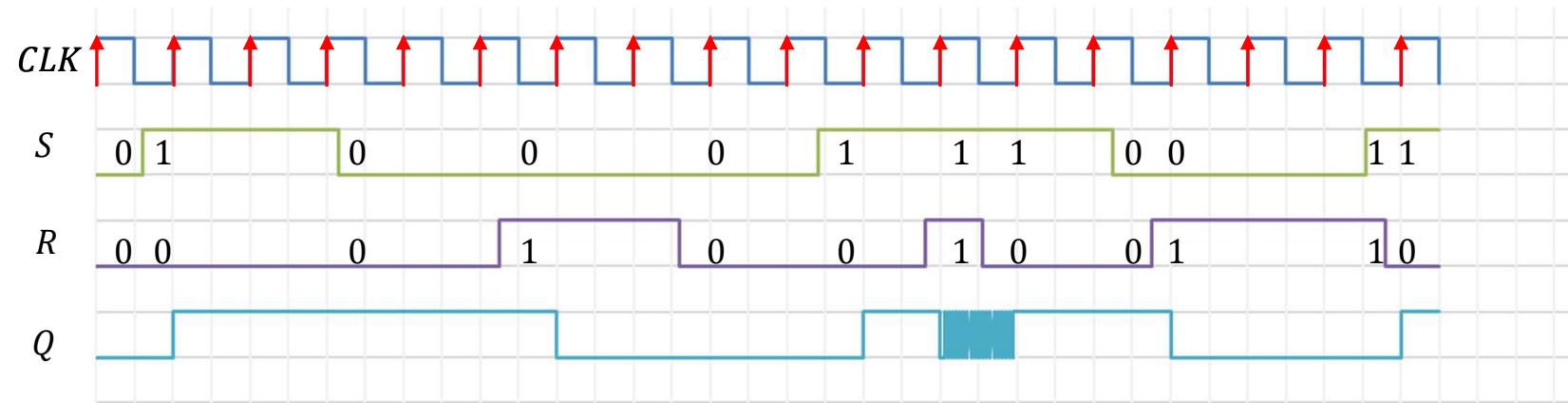


<https://tinyurl.com/yk47l83t>

Circuitos Sequenciais

Flip-flop S-R

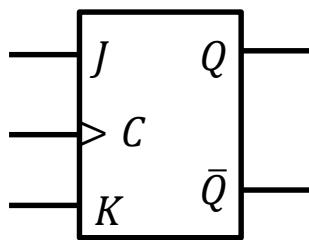
- As entradas $S = 1$ e $R = 1$ levam o *flip-flop S-R* a um comportamento instável e oscilante;
- A resposta em Q para as entradas S e R será efetivada apenas na transição do *clock* de 0 para 1 se o *flip-flop* estiver na configuração borda de subida;
- Observe o seguinte exemplo:



Circuitos Sequenciais

Flip-flop J-K

- As entradas $S = 1$ e $R = 1$ levam o *flip-flop S-R* a um comportamento instável e oscilante;
- Este inconveniente foi contornado no *flip-flop J-K*, sem a perda de uma entrada como ocorre no *flip-flop D*:

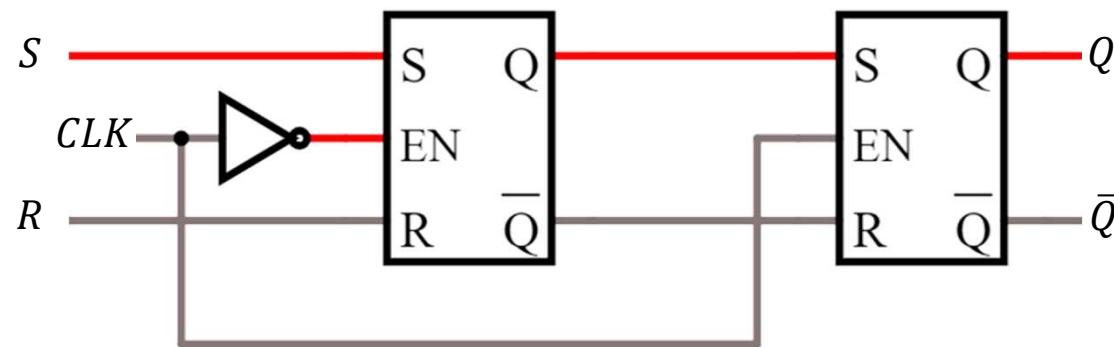


CLK	J	K	Q	\bar{Q}	Função
?	0	0	Q_{i-1}	\bar{Q}_{i-1}	Mantém Q
\uparrow	0	1	0	1	Reset Q
\uparrow	1	0	1	0	Set Q
\uparrow	1	1	\bar{Q}_{i-1}	Q_{i-1}	Inverte

Circuitos Sequenciais

Flip-flop J-K

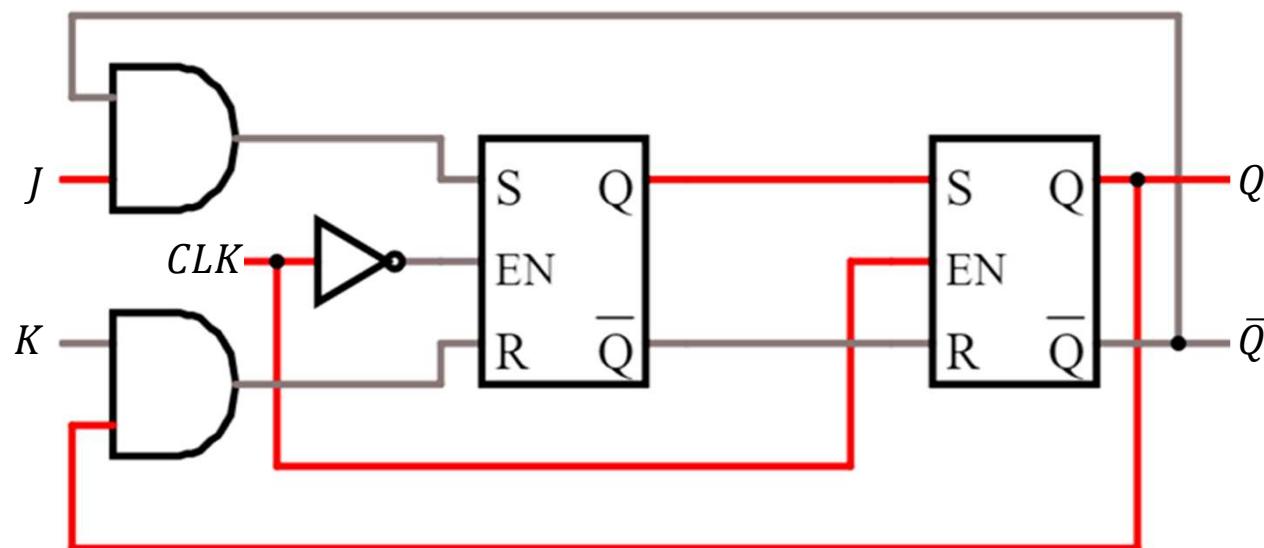
- Diagrama do circuito do *flip-flop R-S*:



Circuitos Sequenciais

Flip-flop J-K

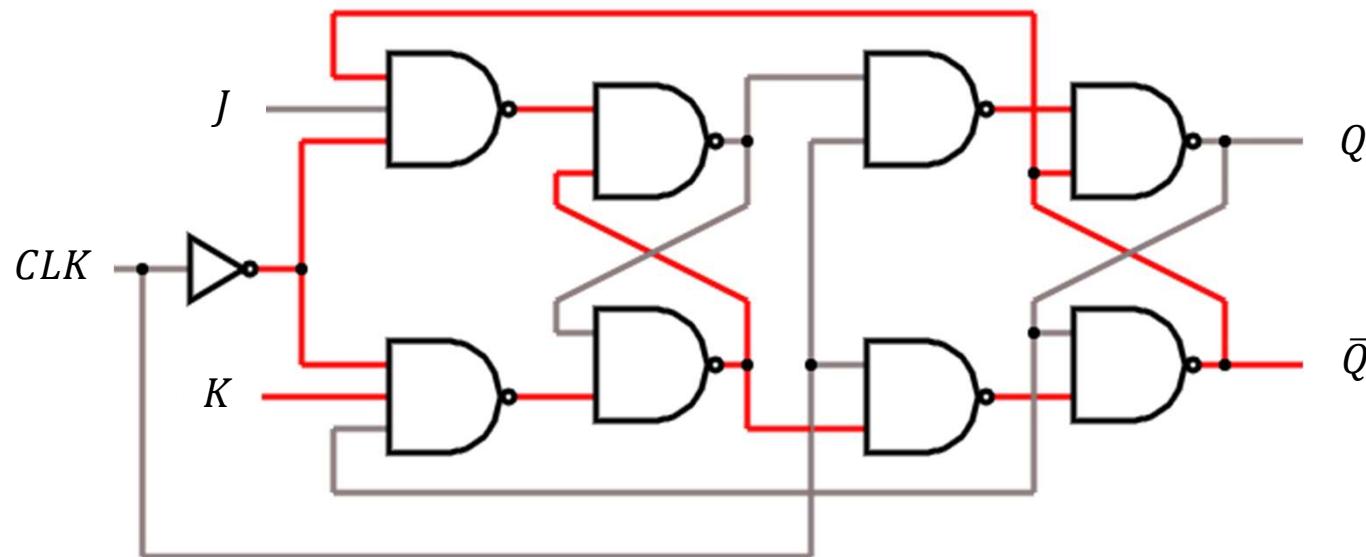
- Diagrama do circuito do *flip-flop J-K*:



Circuitos Sequenciais

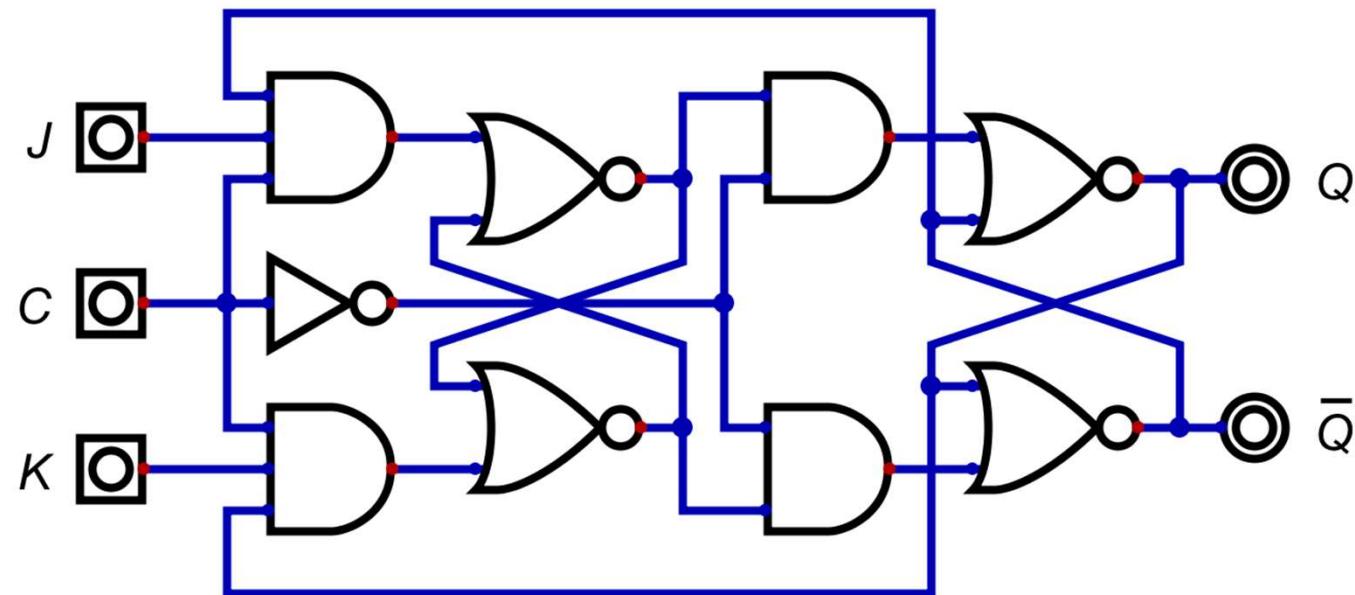
Flip-flop J-K

- Diagrama detalhado do circuito *flip-flop J-K*:



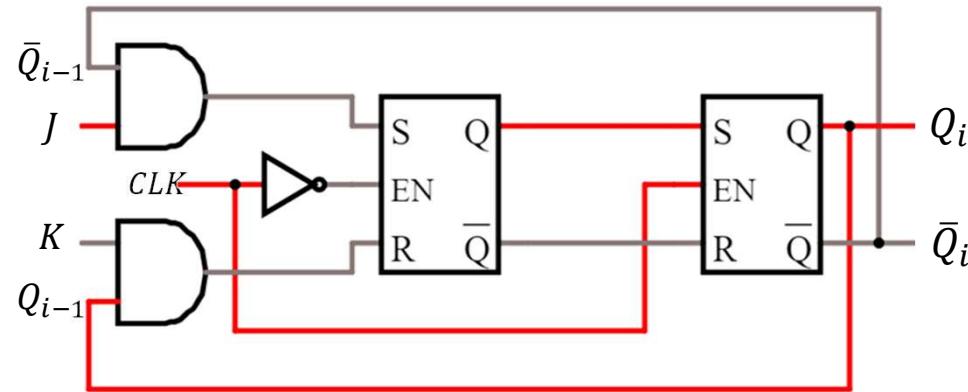
Circuitos Sequenciais *Flip-flop J-K*

- Diagrama detalhado do circuito do *flip-flop J-K*:



Circuitos Sequenciais

Flip-flop J-K



$$Q_i = J\bar{Q}_{i-1} + \bar{K}Q_{i-1}$$

J	K	Q_{i-1}	Q_i
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1 ↑
1	1	1	0 ↑

} Mantém Q
 } Reset Q
 } Set Q
 } Inverte

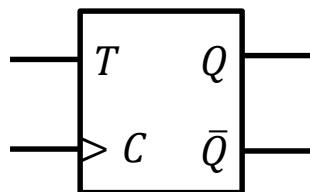
CLK	J	K	Q	\bar{Q}	<i>Função</i>
?	0	0	Q_{i-1}	\bar{Q}_{i-1}	Mantém Q
↑	0	1	0	1	Reset Q
↑	1	0	1	0	Set Q
↑	1	1	\bar{Q}_{i-1}	Q_{i-1}	Inverte

<https://tinyurl.com/yzlot2r3>

Circuitos Sequenciais

Flip-flop T

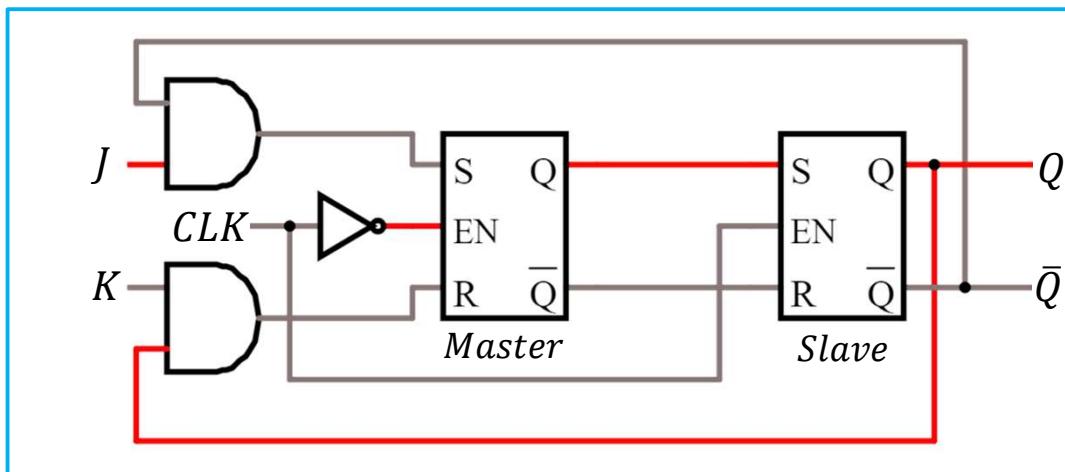
- O *flip-flop T*, também chamado de *toggle flip-flop*, é frequentemente utilizado na construção de contadores;
- O *flip-flop T* tem uma entrada *T* e uma entrada de *clock*;
 - ✓ Quando $T = 1$, o *flip-flop* muda de estado na borda ativa do *clock*;
 - ✓ Quando $T = 0$, o *flip-flop* mantém o estado anterior.



<i>CLK</i>	<i>T</i>	Q_{i-1}	<i>Q</i>	<i>Função</i>
?	0	X	Q_{i-1}	Mantém <i>Q</i>
\uparrow	1	1	0	Reset <i>Q</i>
\uparrow	1	0	1	Set <i>Q</i>

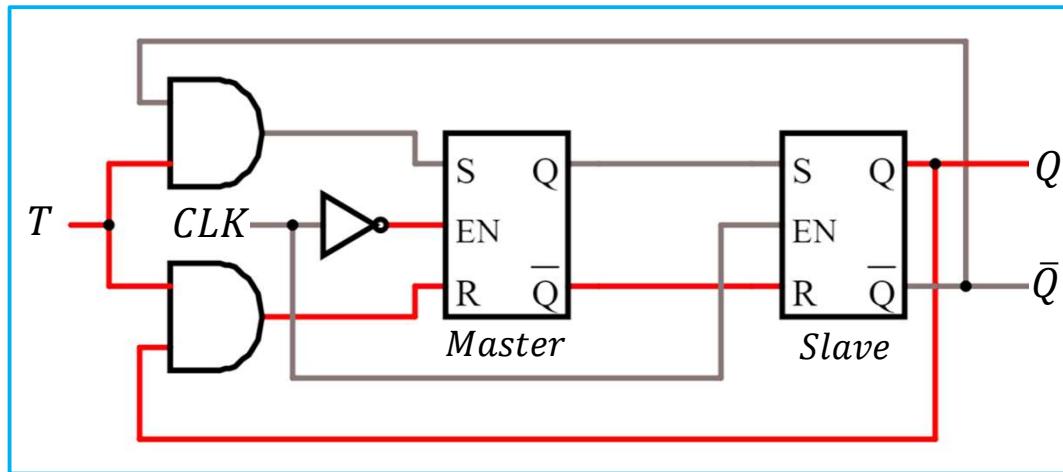
Circuitos Sequenciais *Flip-flop T*

- O *flip-flop T* pode ser obtido a partir do *flip-flop J-K*:



Circuitos Sequenciais *Flip-flop T*

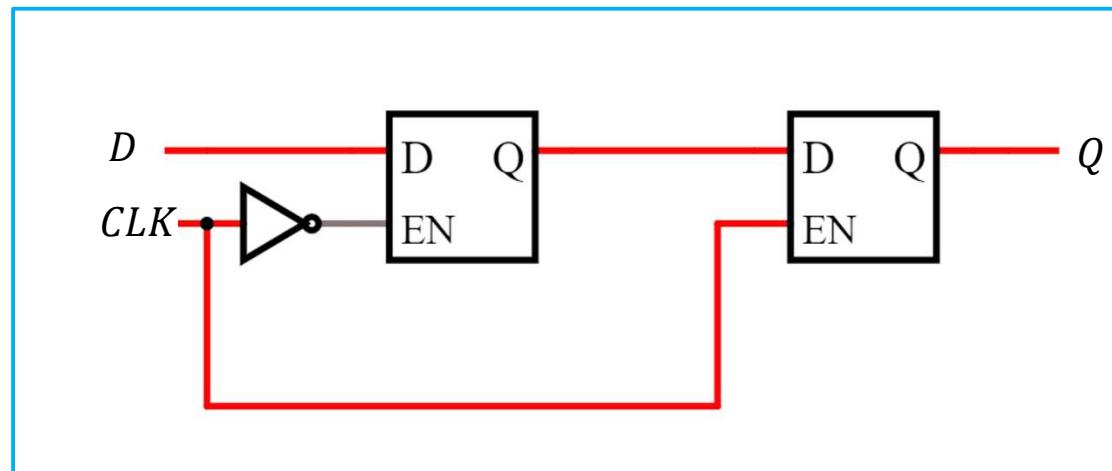
- O *flip-flop T* pode ser obtido a partir do *flip-flop J-K*:



Circuitos Sequenciais

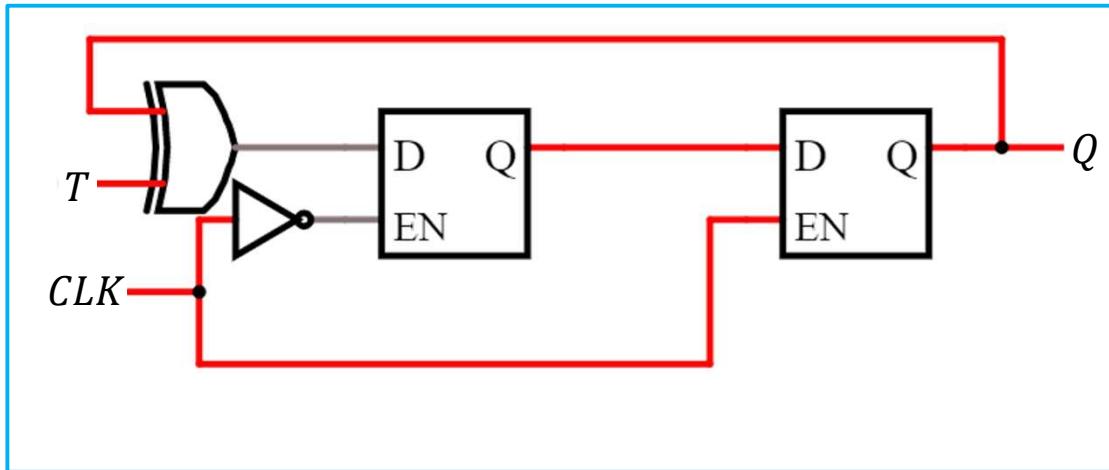
Flip-flop T

- O *flip-flop T* pode ser obtido a partir do *flip-flop D*:



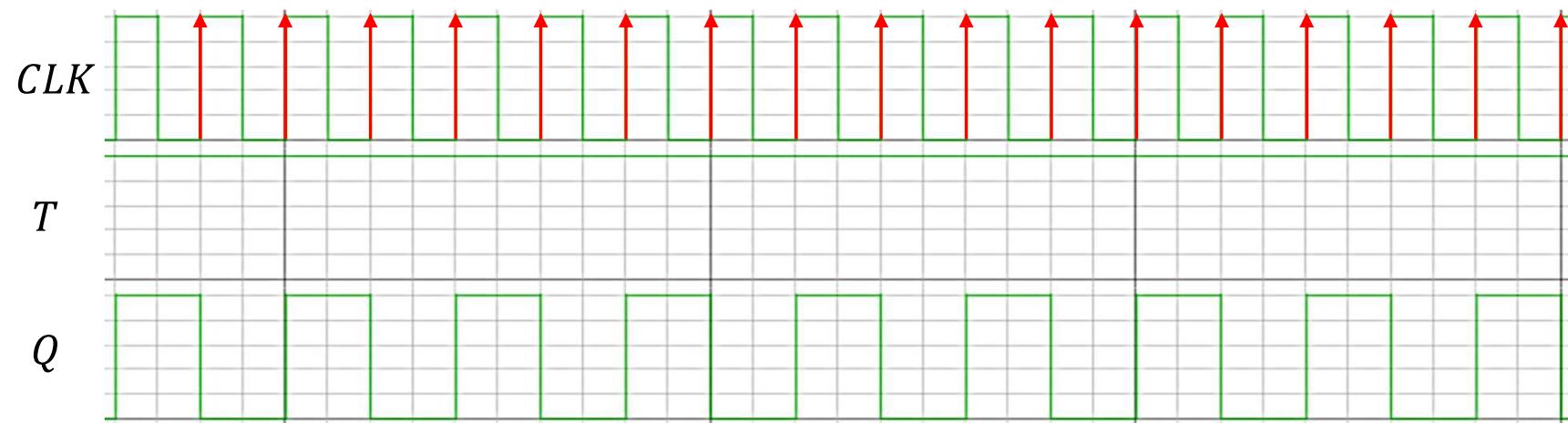
Circuitos Sequenciais *Flip-flop T*

- O *flip-flop T* pode ser obtido a partir do *flip-flop D*:



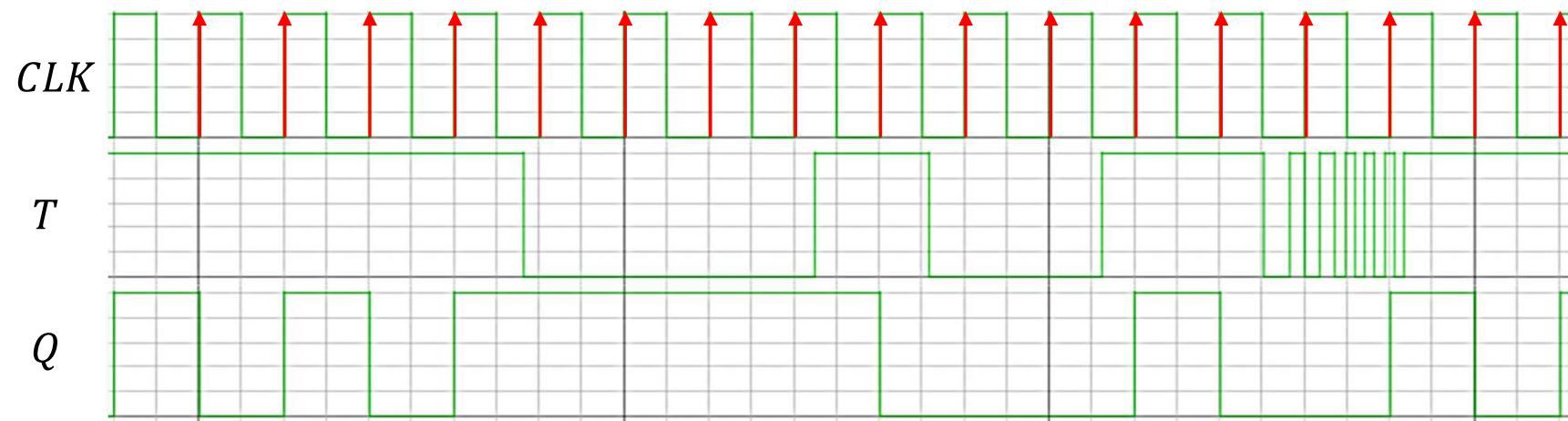
Circuitos Sequenciais *Flip-flop T*

- Diagrama de tempo para o *flip-flop T*:

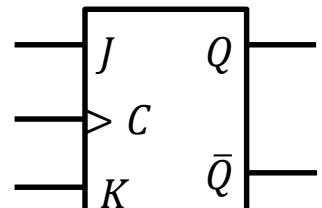


Circuitos Sequenciais *Flip-flop T*

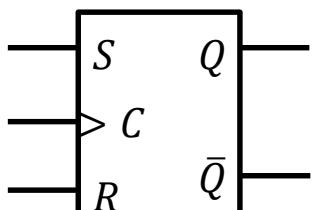
- Diagrama de tempo para o *flip-flop T*:



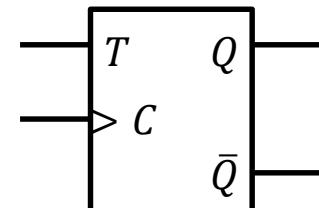
Circuitos Sequenciais *Flip-flops*



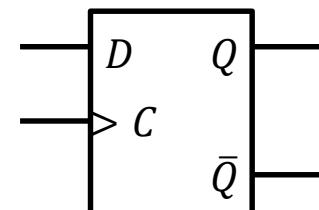
Flip-flop J-K



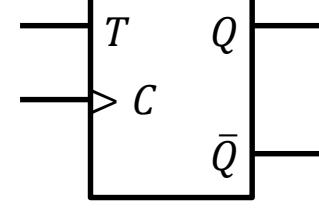
Flip-flop S-R



T Flip-flop

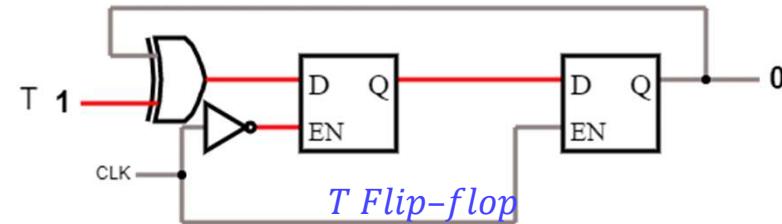
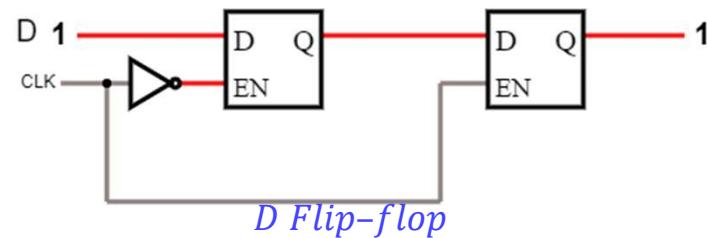
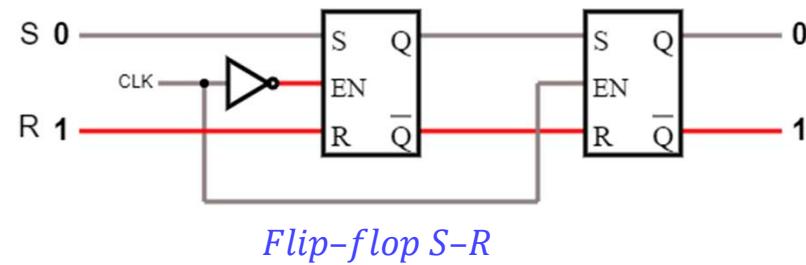
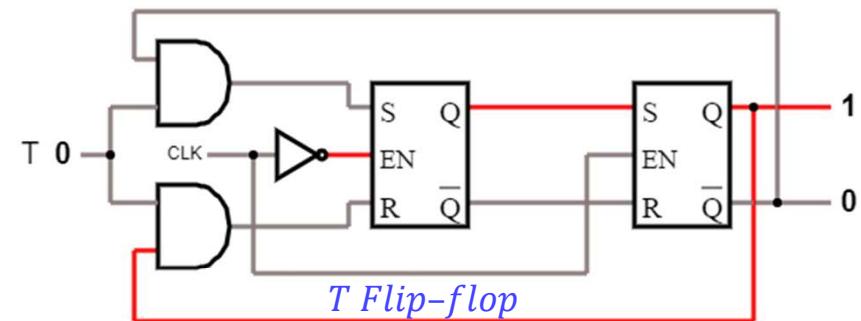
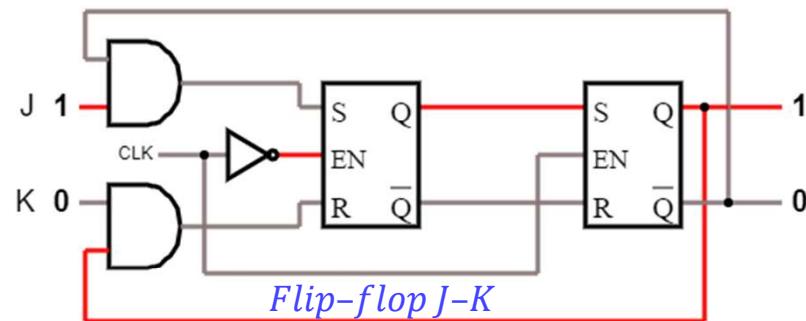


D Flip-flop



T Flip-flop

Circuitos Sequenciais *Flip-flops*



<https://tinyurl.com/ydj6tfxa>

Circuitos Sequenciais

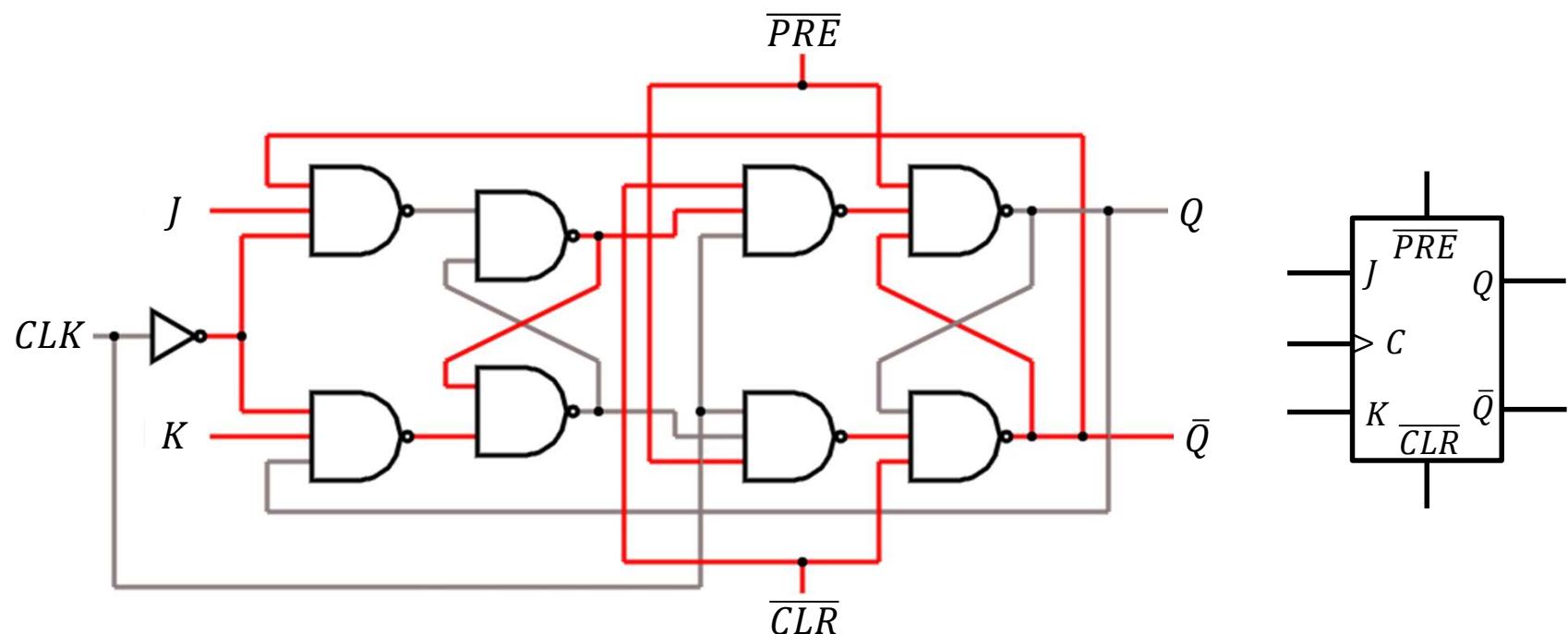
Flip-flop J-K com entradas assíncronas

- Os *flip-flops* apresentados até o momento são também classificados como síncronos, uma vez que as entradas são transferidas para a saída de forma sincronizada com *clock*;
- A maioria dos circuitos de *flip-flops* também disponibilizam entradas independentes que colocam o *flip-flop* em estado 0 ou 1 independentemente do *clock*;
- Estas entradas independem de qualquer outra entrada de controle e são chamadas entradas assíncronas ou diretas;
- São normalmente identificadas como *preset (PRE)* e *clear (CLR)*, ou *direct set (S_D)* e *direct reset (R_D)* por alguns fabricantes.

Circuitos Sequenciais

Flip-flop J-K com entradas assíncronas

- Diagrama detalhado do circuito flip-flop J-K com preset e clear (\uparrow):

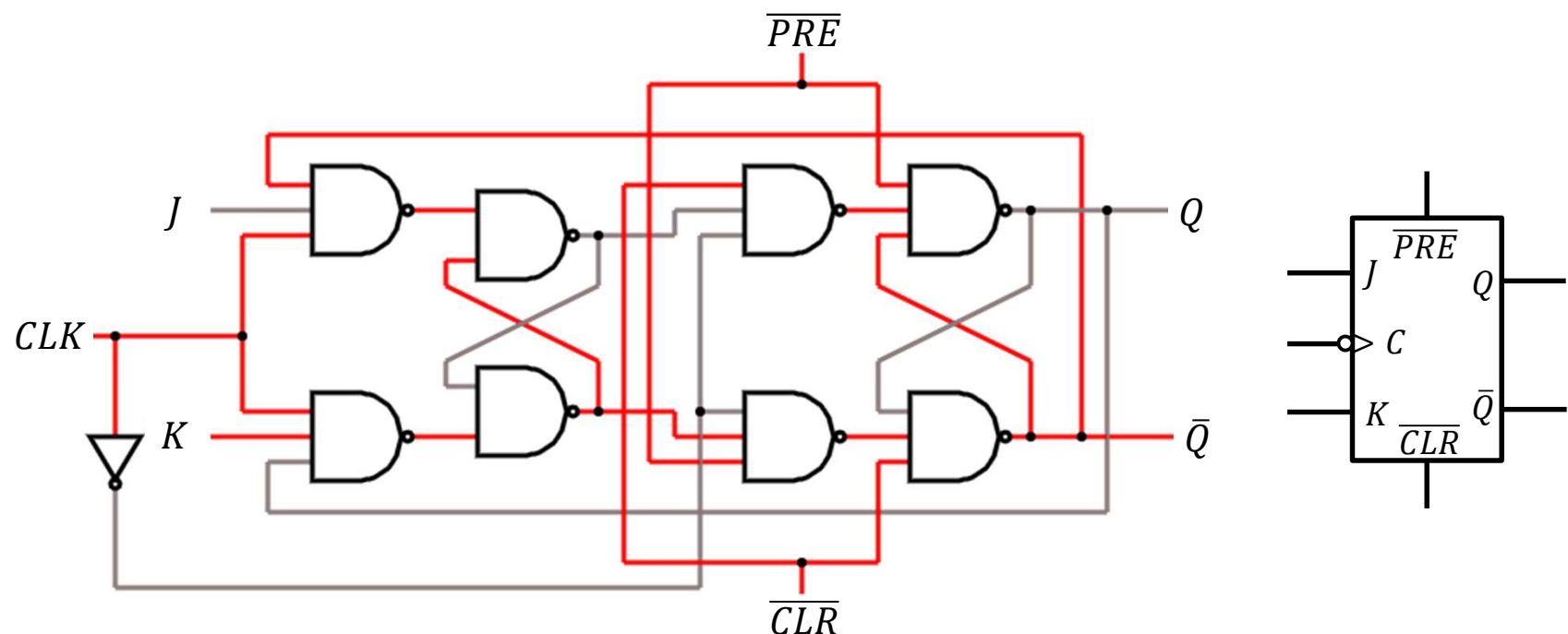


<https://tinyurl.com/y4essg8q>

Circuitos Sequenciais

Flip-flop J-K com entradas assíncronas

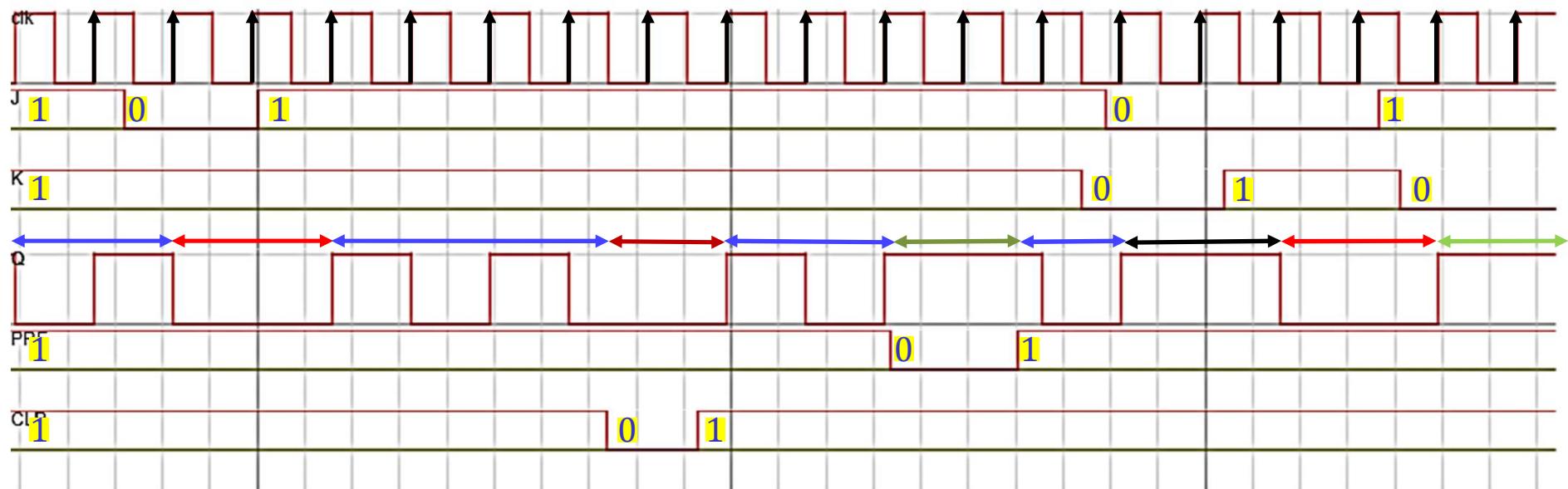
- Diagrama detalhado do circuito flip-flop J-K com preset e clear (\downarrow):



<https://tinyurl.com/yyg7ufwn>

Circuitos Sequenciais *Flip-flop J-K com entradas assíncronas*

- Diagrama de tempo do circuito *flip-flop J-K* com *preset* e *clear* (\uparrow):



Circuitos Sequenciais

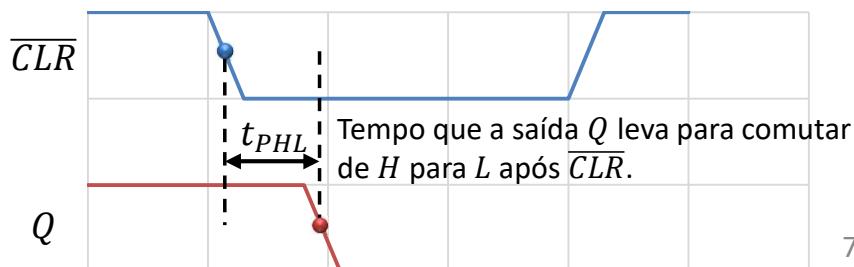
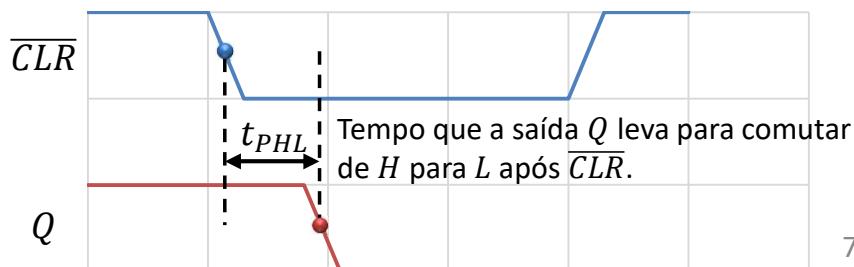
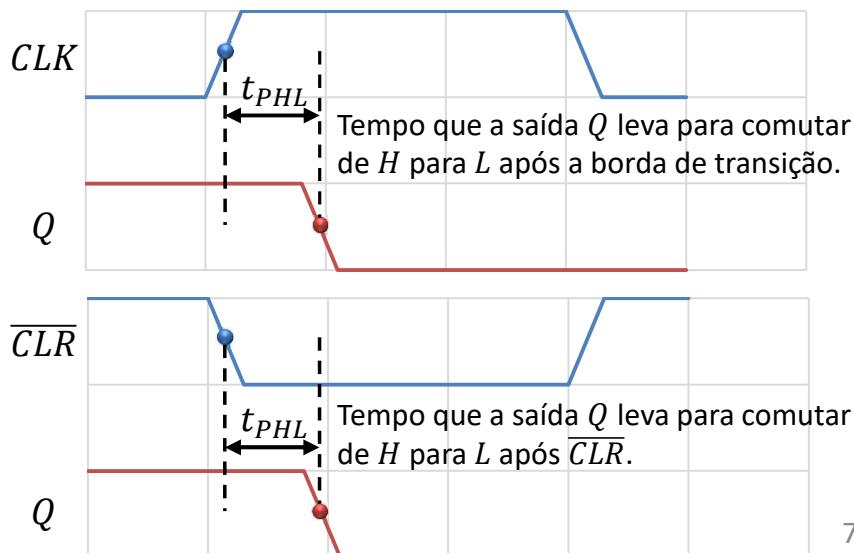
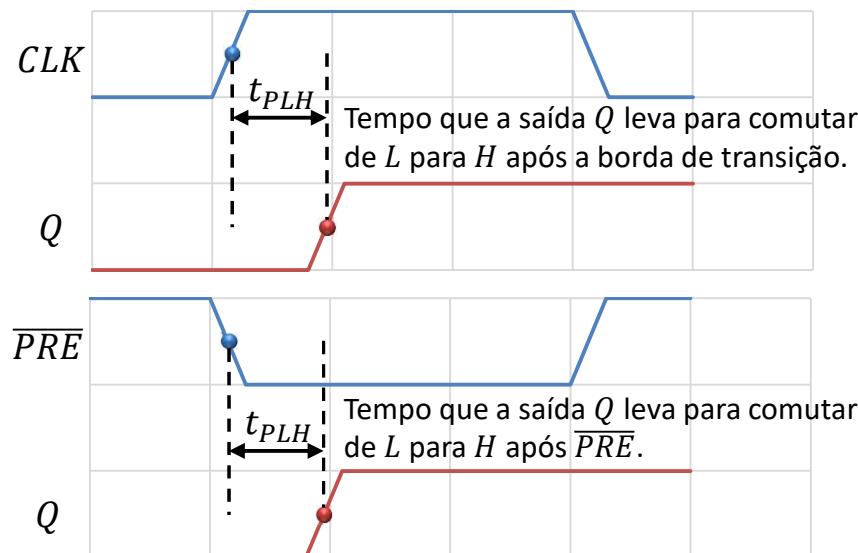
Características operacionais dos *Flip-flops*

- O desempenho, os requisitos operacionais e as limitações dos *flip-flops* são conhecidos a partir das características ou parâmetros operacionais encontrados na *data sheet* do componente, tais como:
 - ✓ *Propagation delay time* - Tempo de atraso de propagação;
 - ✓ *Set-up time* - Tempo de preparação;
 - ✓ *Hold time* - Tempo de espera;
 - ✓ *Maximum clock frequency* - Frequência máxima do *clock*;
 - ✓ *Pulse width* - Largura de pulso;
 - ✓ *Power dissipation* - Dissipação de potência;

Circuitos Sequenciais

Características operacionais dos *Flip-flops*

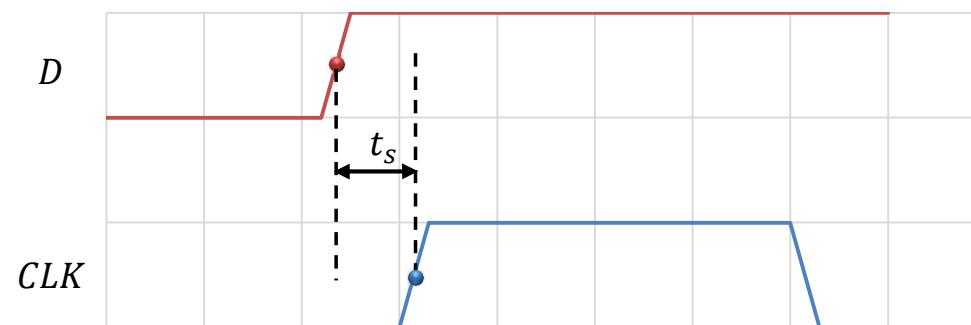
- Propagation delay time* - Como um *flip-flop* muda de estado apenas na transição de borda do *clock*, o atraso de propagação é o intervalo entre a transição de borda e o surgimento do estado resultante na saída. Quatro categorias de tempos de atraso de propagação são importantes na operação de um *flip-flop*:



Circuitos Sequenciais

Características operacionais dos *Flip-flops*

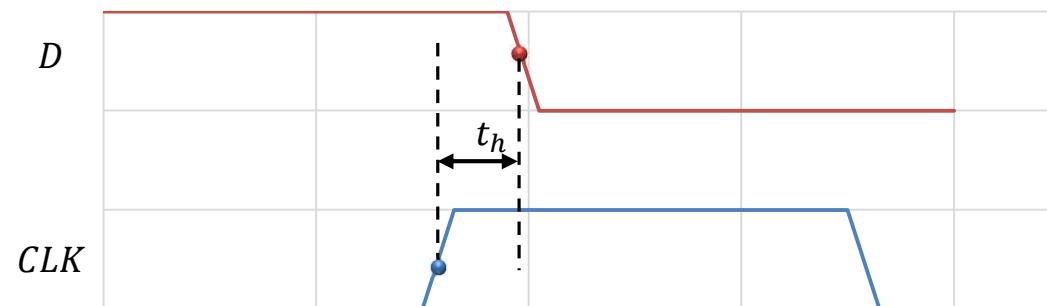
- *Set-up time (t_s)* - é o intervalo mínimo de tempo que os níveis lógicos devem ser mantidos nas entradas (J e K ou D) antes que ocorra a transição de borda que definirá o nível do *flip-flop* de forma confiável:



Circuitos Sequenciais

Características operacionais dos *Flip-flops*

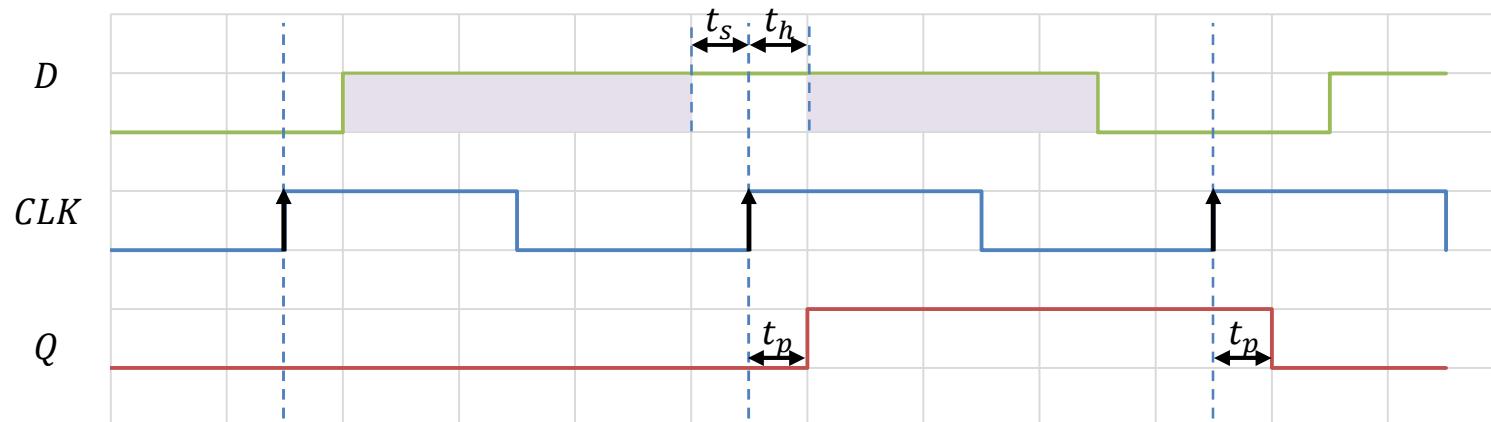
- *Hold time (t_h)* - é o intervalo mínimo de tempo que os níveis lógicos devem permanecer nas entradas após a transição da borda de disparo, de tal forma que o *flip-flop* estabilize em um estado confiável:



Circuitos Sequenciais

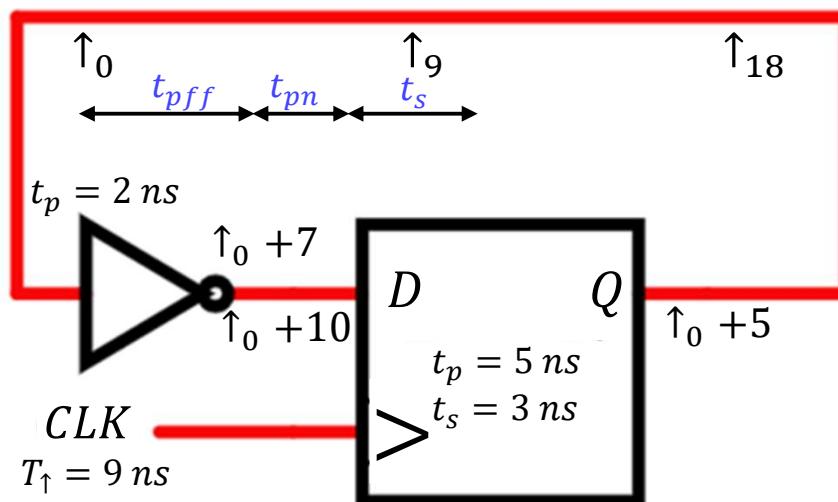
Características operacionais dos *Flip-flops*

- Resumo dos parâmetros de tempos (*setup time*, *hold time* e *propagation time*) típicos de um *flip-flop*:



Circuitos Sequenciais Características operacionais dos *Flip-flops*

- Exemplo - Considere o seguinte circuito:

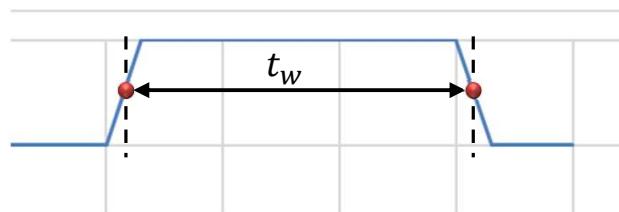


$$T_\uparrow \geq 10\text{ ns}$$
$$f_{\max} = \frac{1}{10\text{ ns}} = 100\text{ MHz}$$

Circuitos Sequenciais

Características operacionais dos *Flip-flops*

- *Maximum clock frequency* (f_{max}) – é a maior frequência de disparo possível em que o *flip-flop* ainda opera de modo confiável. Para frequências superiores a esta referência, o *flip-flop* não comutará com velocidade suficiente, comprometendo assim a sua operação.
- *Pulse width* (t_w) – O fabricante geralmente especifica a duração do pulso para o *clock* e entradas *preset* e *clear*, de forma a assegurar uma operação confiável. Normalmente, o *clock* é especificado pelo tempo mínimo em *HIGH* e tempo mínimo em *LOW*.



Circuitos Sequenciais

Características operacionais dos *Flip-flops*

- *Power dissipation:*
 - ✓ A dissipação de potência de um circuito digital é o consumo total de energia do dispositivo;
 - ✓ Por exemplo, se o *flip-flop* opera com uma fonte de $+5\text{ V}_{CC}$ e consome 5 mA de corrente, então a dissipação de energia é dada por:

$$P = V_{CC} \times I_{CC} = 5V \times 5mA = 25mW$$

- ✓ A dissipação de energia é importante, principalmente nas aplicações onde a capacidade da fonte *CC* é fator limitante.
- ✓ Por exemplo, vamos supor que você tenha um sistema com um total de dez *flip-flops*, e cada *flip-flop* dissipa $25mW$ de potência. A potência total é:

$$P = 10 \times 25mW = 250mW = 0,25W$$

Circuitos Sequenciais

Características operacionais dos *Flip-flops*

- *Power dissipation:*
 - ✓ Este valor ($0,25W$) indica a capacidade de suprimento necessária para a alimentação CC ;
 - ✓ Se os *flip-flops* operam com $+5 V_{CC}$, então a capacidade de corrente da fonte deverá ser:

$$I = \frac{250mW}{5V} = 50mA$$

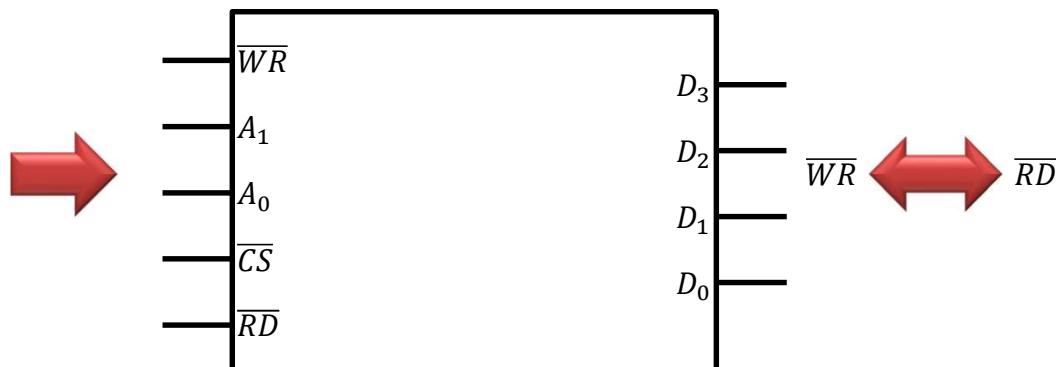
- ✓ Assim, será necessária uma fonte de $+5 V_{CC}$ com capacidade de fornecer pelo menos $50mA$ de corrente.

Circuitos Sequenciais

Exercício

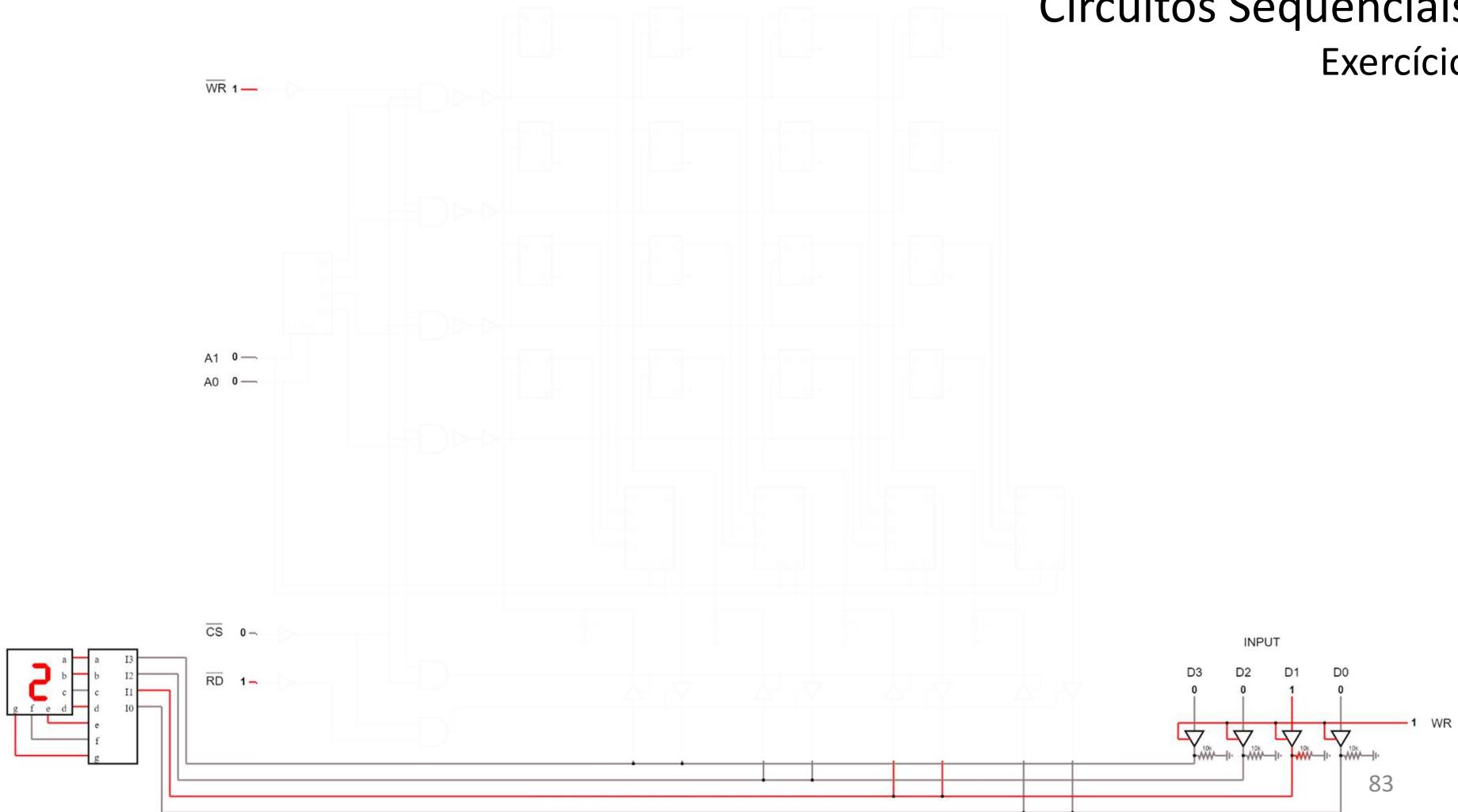
vii. Implementar uma Memória 4×4 bits utilizando *D Flip-Flops*:

- ✓ A memória deverá fazer interface com um barramento;
- ✓ A entrada e saída de dados é feita através do barramento;
- ✓ Uma entrada \overline{RD}/WR (integrada ou separada) definirá se uma informação será transferida de memória para a saída ou da entrada para a memória;
- ✓ Uma entrada \overline{CS} serve para habilitar/desabilitar o *Chip*;



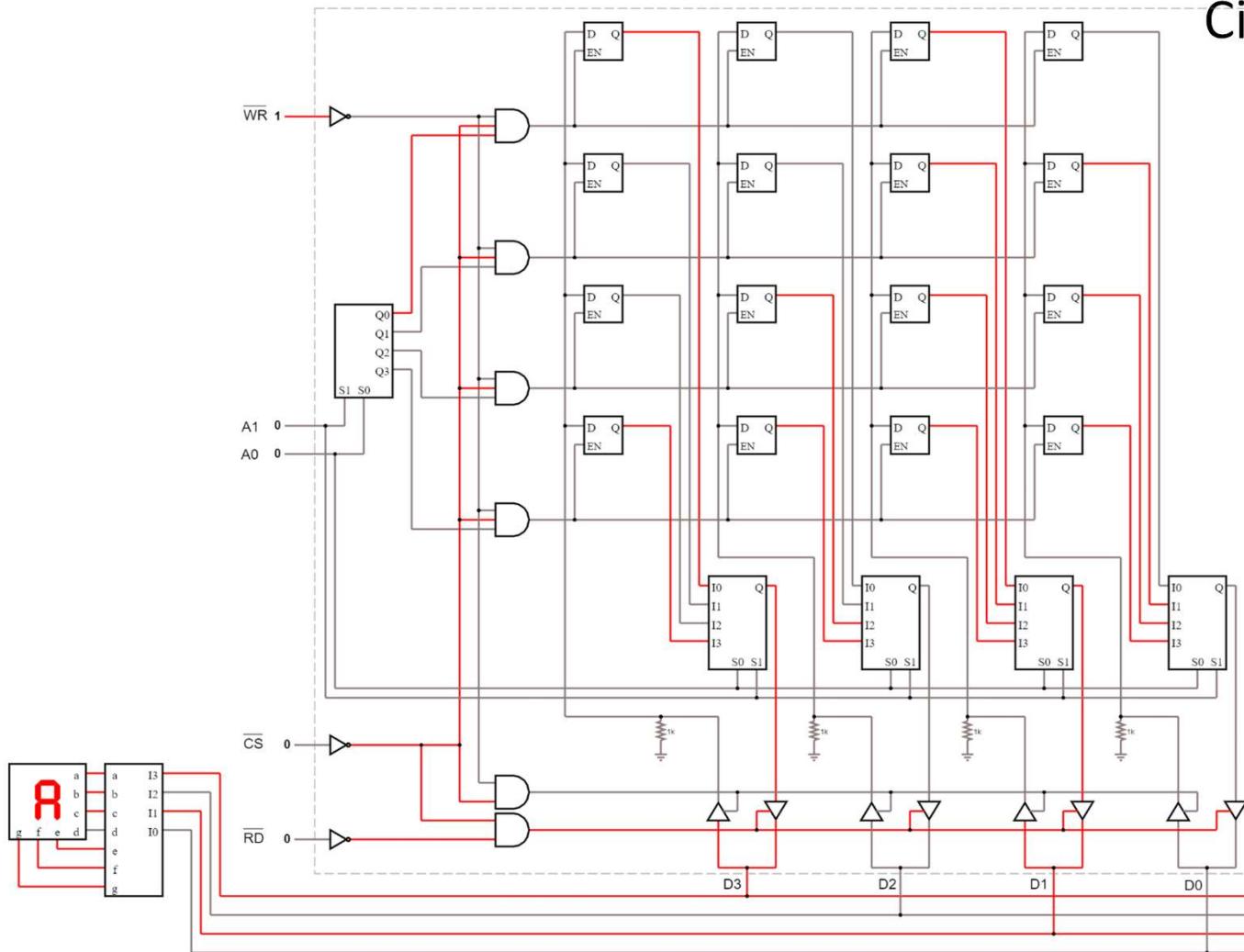
Circuitos Sequenciais

Exercício

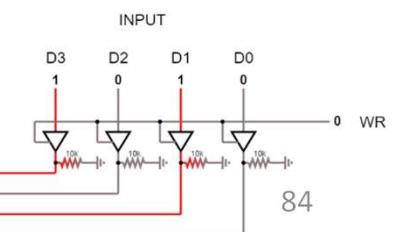


Circuitos Sequenciais

Exercício



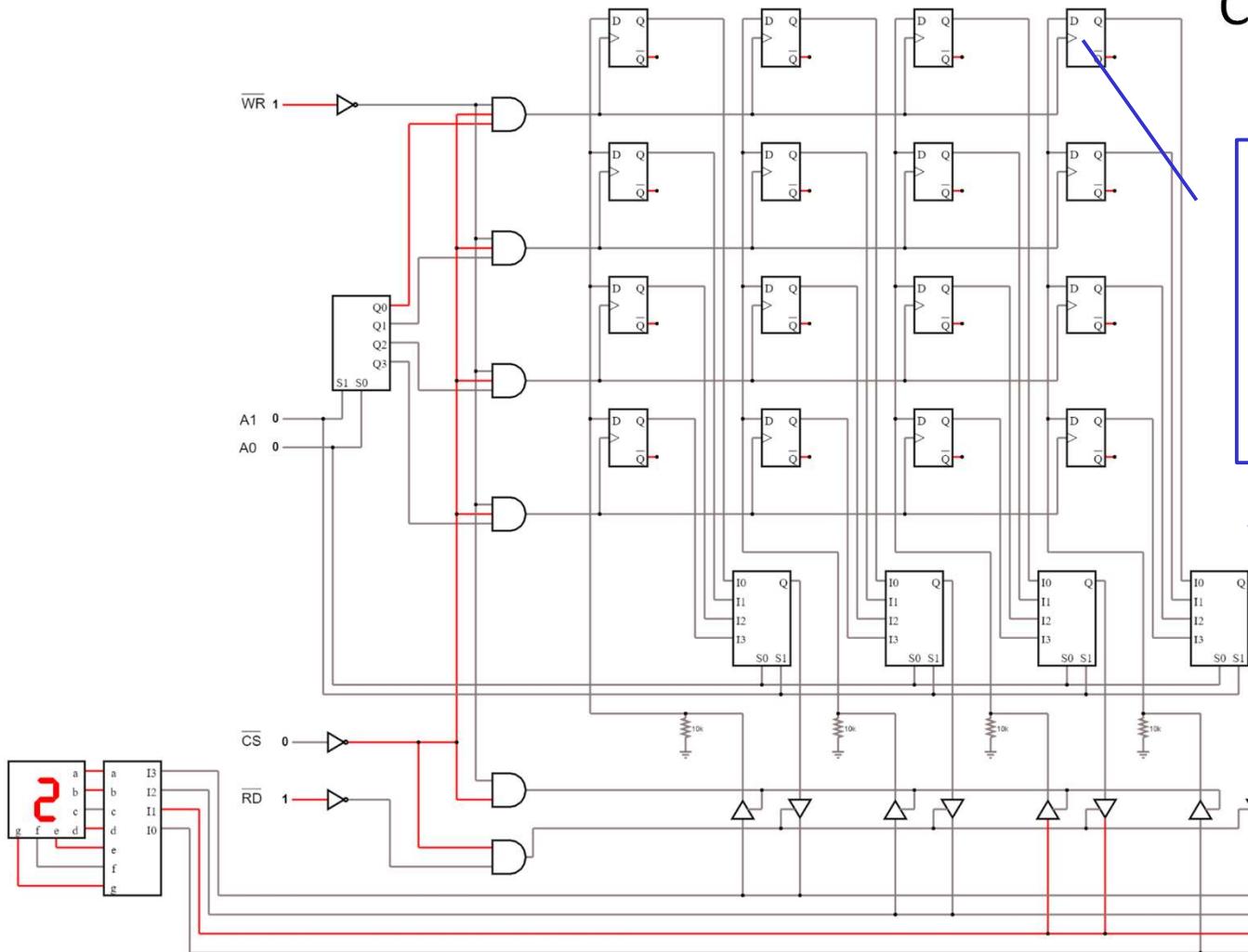
Solução com Latch D



84

Circuitos Sequenciais

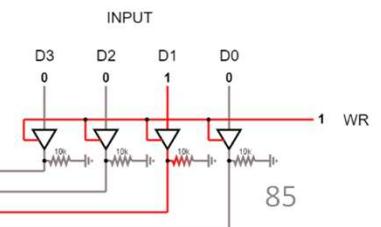
Exercício



- Em condição normal, a entrada D e o pulso do *clock* chegam simultaneamente no *flip-flop*;
- Desta forma, o *flip-flop* não consegue atender a requisição;
- Quando o pulso do *clock* alcançar o *flip-flop*, a informação já deve estar em D ;

Solução com Flip-flop D Funciona?

<https://tinyurl.com/ye2ywwju>



Circuitos Sequenciais

Exercício

