

UNIVERSIDADE ESTADUAL DO OESTE DO PARANÁ
UNIOESTE - CAMPUS DE FOZ DO IGUAÇU
CENTRO DE ENGENHARIAS E CIÊNCIAS EXATAS
CIÊNCIA DA COMPUTAÇÃO
SISTEMA DIGITAIS
JORGE HABIB HANNA EL KHOURI

TIAGO VINICIUS LOPES PEREIRA

3ª PROVA DE SISTEMAS DIGITAIS

FOZ DO IGUAÇU
2021

| | |
|---------------------------------|-----------|
| INTRODUÇÃO | 2 |
| DESENVOLVIMENTO | 3 |
| Exercício 1 | 3 |
| Exercício 2 | 6 |
| Exercício 3 | 7 |
| Exercício 4 | 9 |
| CONCLUSÃO | 11 |
| REFERÊNCIA BIBLIOGRÁFICA | 12 |

INTRODUÇÃO

A prova III da matéria de Sistemas Digitais tem como objetivo avaliar o conhecimento que os alunos obtiveram em sala de aula referente a circuitos sequenciais e flip flops.

Circuitos sequenciais são circuitos que têm seus estados definidos por entradas que ocorreram no passado, e assim possuem a capacidade de armazenar um bit de dado. Portanto são muitas vezes vistos como dispositivos de memória.

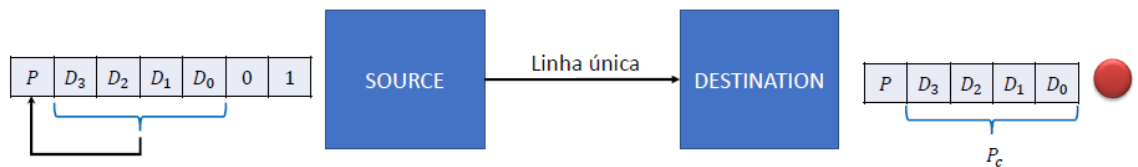
Neste trabalho serão apresentadas as resoluções das quatro questões presentes na prova.

DESENVOLVIMENTO

Exercício 1

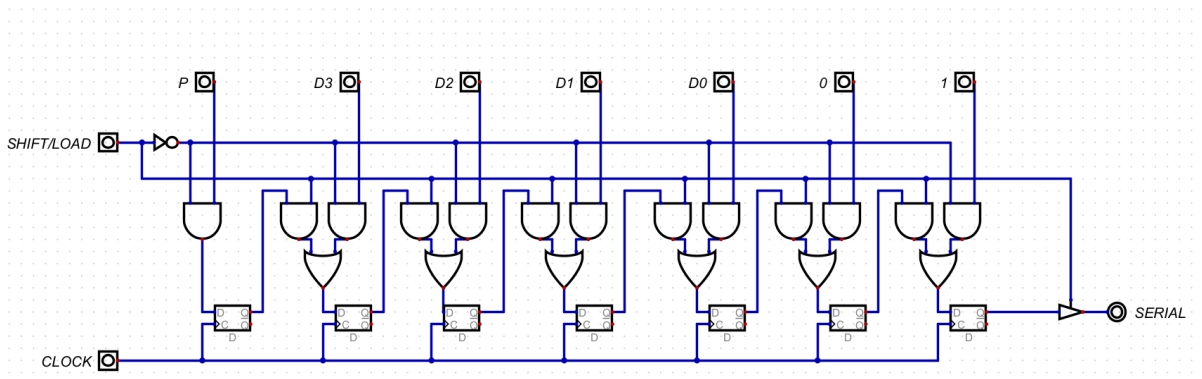
1. Implementar um circuito para transmissão serial:

- ✓ Em uma ponta (*SOURCE*) os dados são armazenados em registrador de 4 bits;
- ✓ Uma vez iniciada a comunicação, os bits são transferidos serialmente por uma única linha para a outra ponta (*DESTINATION*);
- ✓ Está liberado o compartilhamento do sinal de *CLOCK* entre *SOURCE* e *DESTINATION*;
- ✓ O pacote de dados ($D_3D_2D_1D_0$) é envolvido por 2 bits no início e 1 bit de paridade no final, conforme ilustração abaixo;
- ✓ Na recepção, os bits são novamente reagrupados e armazenados em um registrador;
- ✓ Um LED acenderá se *P* não coincidir com a paridade calculada (P_c) dos 4 bits de dados na recepção.

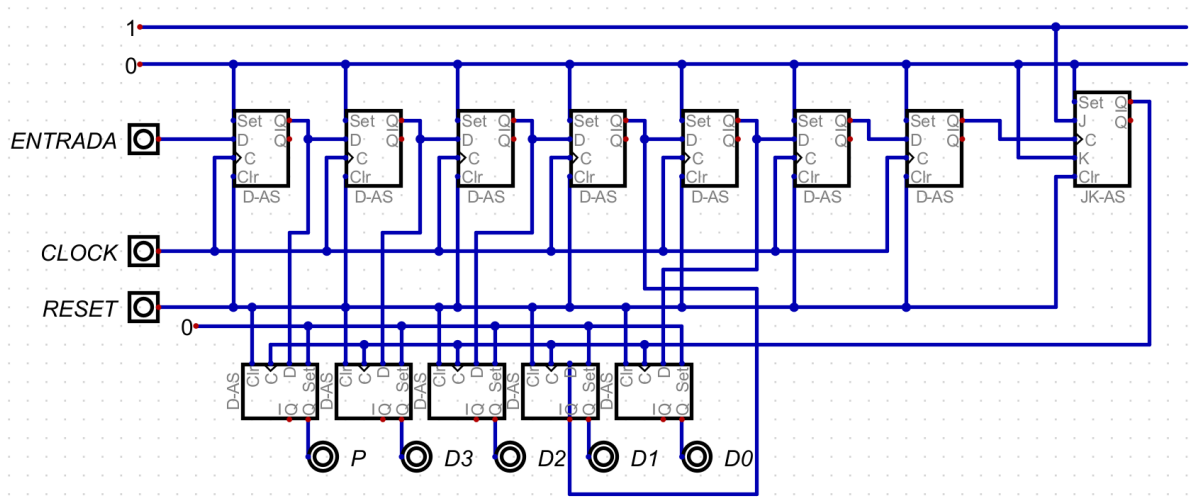


O circuito foi dividido em vários sub circuitos menores para facilitar a visualização e o funcionamento do próprio circuito, a ferramenta utilizada foi o Digital.

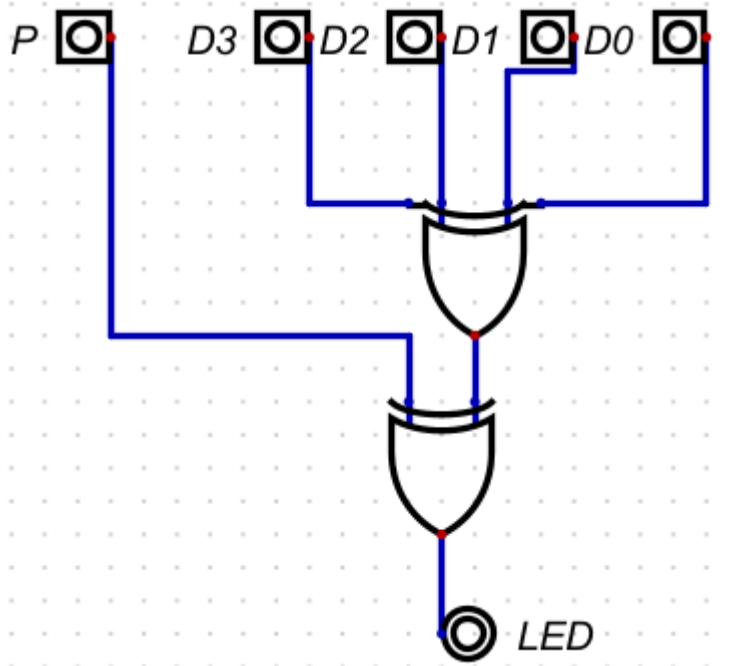
Primeiramente, foi implementado o sub circuito que converte dados paralelos para serial, esse sub circuito utiliza flip flops do tipo D e um bit “SHIFT/LOAD” que controla a gravação dos dados no flip flop.



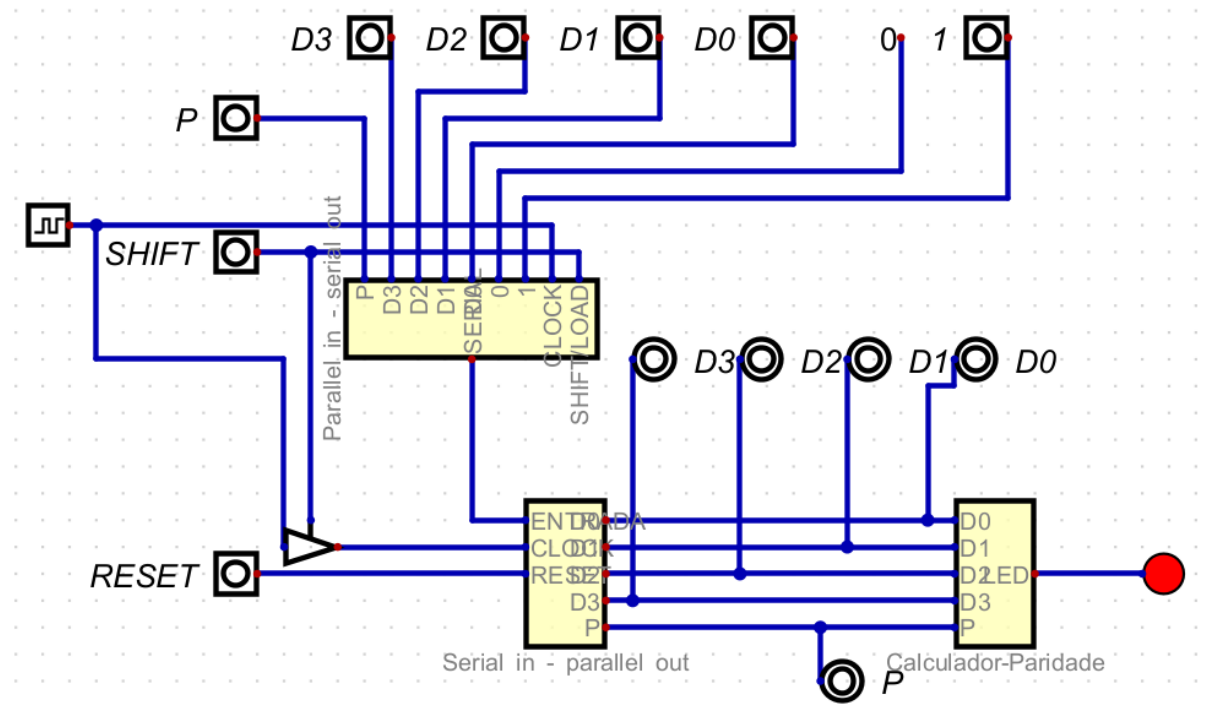
Ademais, foi implementado um sub circuito que recebe os dados em serial e os converte novamente em paralelos, esse circuito só grava os dados após receber um bit ligado em seu último flip flop e possui um mecanismo de reset caso seja necessário repetir a operação.



Além disso, fez-se necessária a implementação de um sub circuito que calcule o bit de paridade de verifique se os dados estão corretos, caso estejam corretos o resultado deve ser 0, caso não estejam corretos o resultado deve ser 1.



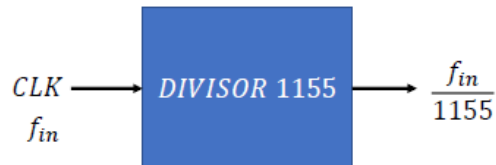
Portanto, com todos os sub circuitos prontos, é possível implementar o circuito completo, para isso foi levado em consideração que um LED deve ser ligado caso o bit de paridade esteja incorreto e um tri buffer que controle o clock do subcircuito “serial in-parallel out”, já que este pode acabar transmitindo lixo para os flip flops.



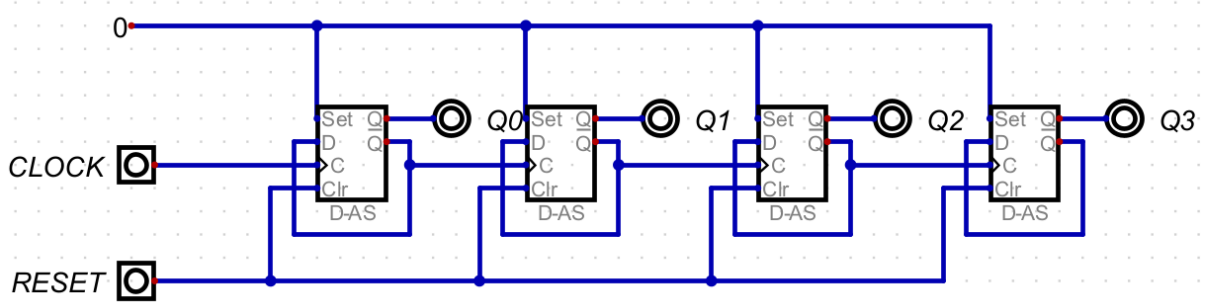
Este é o resultado final do exercício 1.

Exercício 2

2. Projetar e implementar um circuito divisor de frequência: $f_{out} = f_{in}/1155$.
- ✓ O projeto deve considerar a composição de diversos *DIVISORES* de até 4 bits cada um;



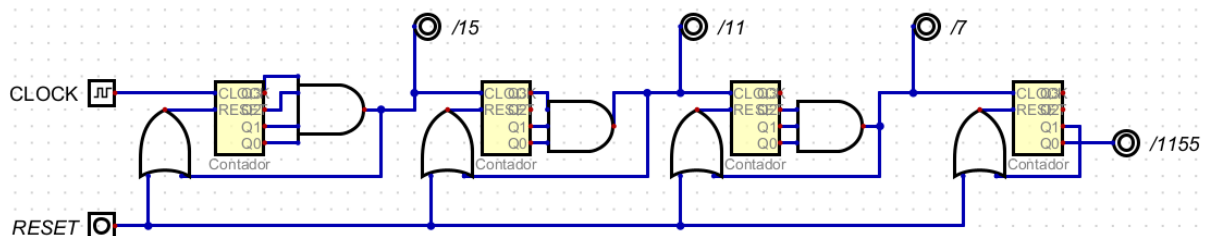
Para o exercício 2, fez-se necessária a implementação de contadores de 4 bits. Os contadores foram implementados utilizando flip flops do tipo D com um mecanismo de reset.



Com o contador pronto, foi necessário dividir o número 1155 em números de 4 bits. Para isso é necessário tentar a divisão pelo maior número de 4 bits possível, nesse caso, o número 15 que nos dá $1155/15=77$, repetimos a operação até chegar no número 1.

- $1155/15=77$
- $77/11=7$
- $7/7=1$

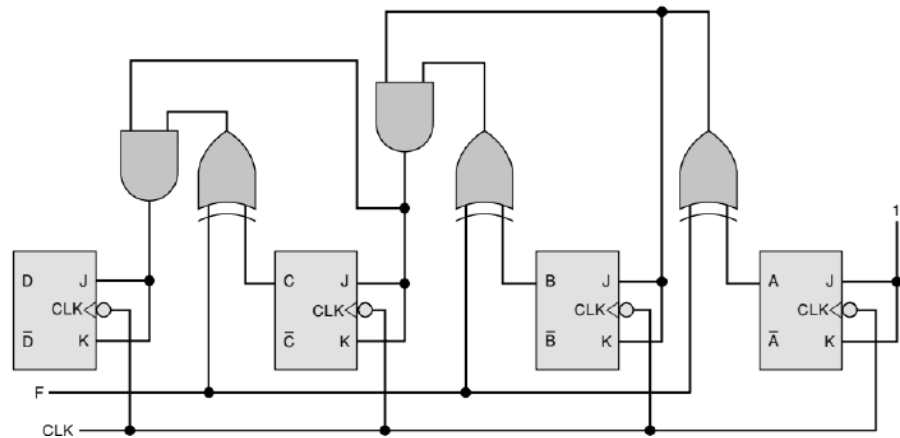
Com isso temos os números 15, 11 e 7, que podem ser alcançados limitando os contadores de quatro bits com ANDs. Dessa forma o exercício foi implementado da seguinte forma.



Este é o resultado final do exercício 2.

Exercício 3

3. Analisar o contador síncrono abaixo. Obter as expressões de controle. Determinar a sequência de estados e o módulo do contador. Desenhar o diagrama de tempo e identificar os estados. [TOCCI 7.41]. Implementar em um simulador.



O exercício 3 foi analisado seguindo os padrões vistos em sala de aula.

Primeiro foram analisados os circuitos de J e K de cada flip flop, e assim foi encontrado o seguinte resultado:

$$JA = KA = 1$$

$$JB = KB = A \oplus F$$

$$JC = KC = (A \oplus F)(B \oplus F)$$

$$JD = KD = [(A \oplus F)(B \oplus F)](C \oplus F)$$

Com as expressões lógicas em mãos é possível calcular todos os possíveis estados do circuito. Dessa forma percebe-se que o circuito é um contador de 4 bits onde F é um bit que controla se a contagem é crescente ou decrescente.

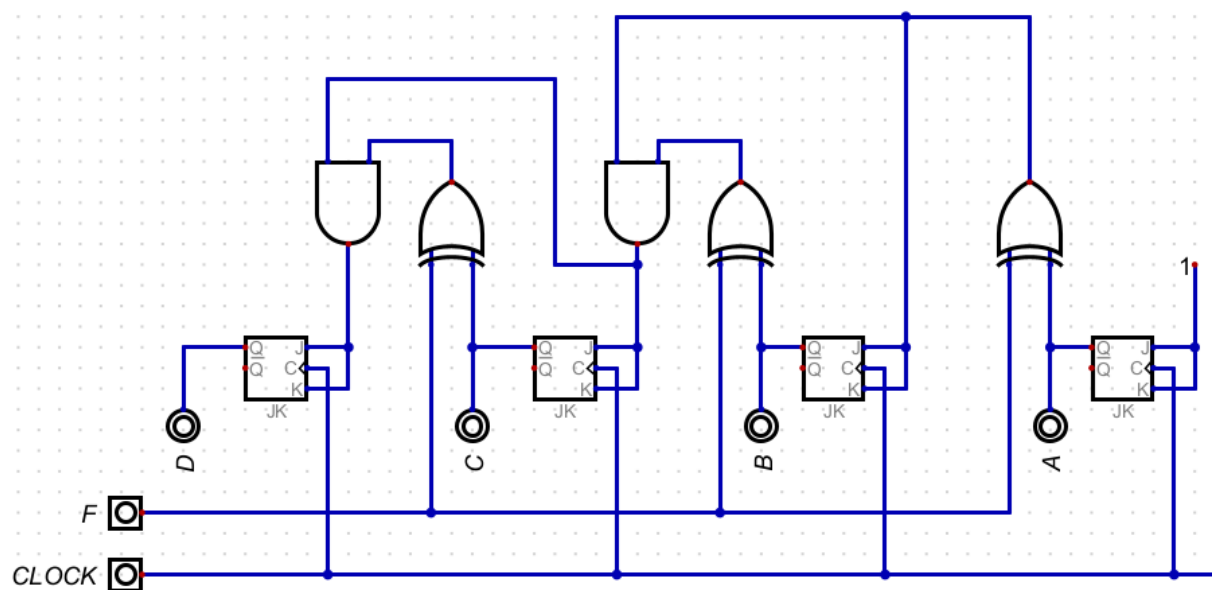
Possíveis estados com o bit F desligado:

| F | D0 | C0 | B0 | A0 | JD/KD | JC/KD | JB/KB | JA/KA | D1 | C1 | B1 | A1 |
|---|----|----|----|----|-------|-------|-------|-------|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

Possíveis estados com o bit F ligado:

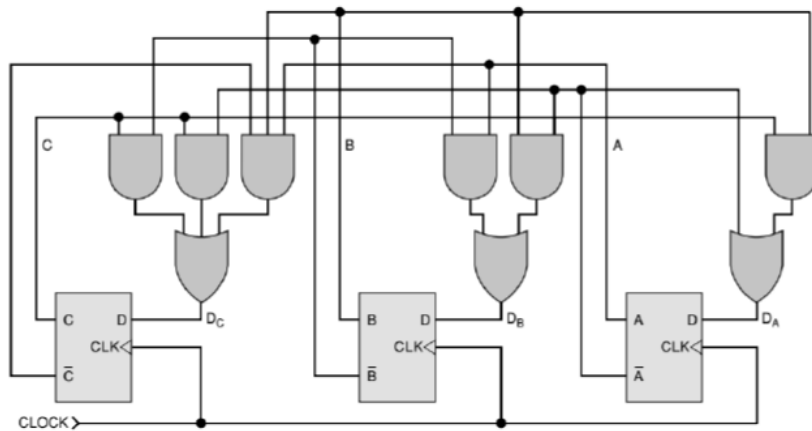
| F | D0 | C0 | B0 | A0 | | JD/KD | JC/KD | JB/KB | JA/KA | | D1 | C1 | B1 | A1 |
|---|----|----|----|----|--|-------|-------|-------|-------|--|----|----|----|----|
| 1 | 0 | 0 | 0 | 0 | | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | | 0 | 0 | 0 | 1 | | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | | 0 | 0 | 1 | 1 | | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | | 0 | 0 | 0 | 1 | | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | | 0 | 1 | 1 | 1 | | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | | 0 | 0 | 0 | 1 | | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | | 0 | 0 | 1 | 1 | | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | | 0 | 0 | 0 | 1 | | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | | 1 | 1 | 1 | 1 | | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | | 0 | 0 | 0 | 1 | | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | | 0 | 0 | 1 | 1 | | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | | 0 | 0 | 0 | 1 | | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | | 0 | 1 | 1 | 1 | | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | | 0 | 0 | 0 | 1 | | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | | 0 | 0 | 1 | 1 | | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | | 0 | 0 | 0 | 1 | | 0 | 0 | 0 | 0 |

Circuito implementado na ferramenta Digital:



Exercício 4

4. Analisar o contador síncrono abaixo. Obter as expressões de controle. Determinar a sequência de estados e o módulo do contador. Desenhar o diagrama de tempo e identificar os estados. [TOCCI 7.42]. Implementar em um simulador.



O exercício 4 foi analisado seguindo os padrões vistos em sala de aula. Primeiro foram analisados os circuitos D de cada flip flop, e assim foi encontrado o seguinte resultado:

$$D_A = \sim A + (CB)$$

$$D_B = (\sim AB) + (A \sim B)$$

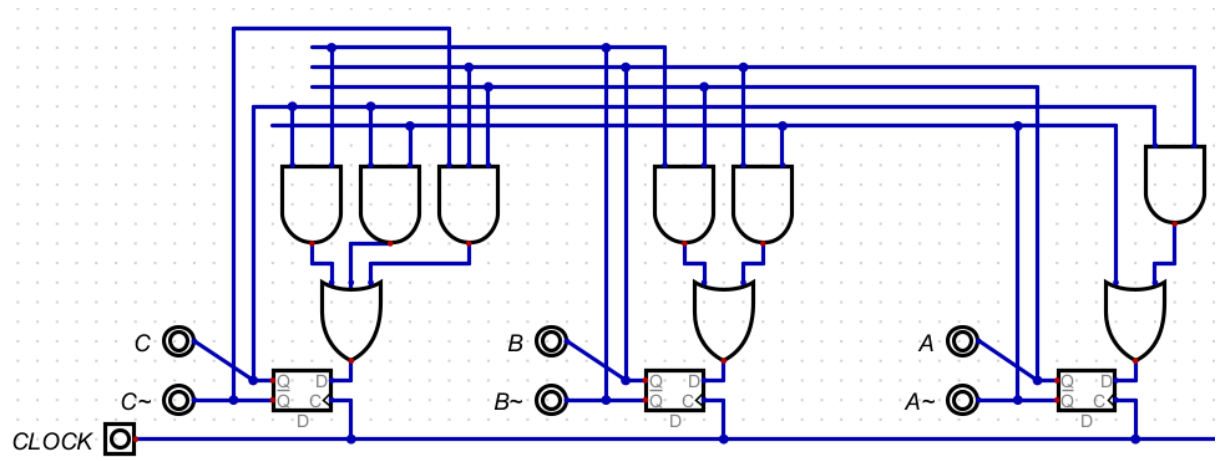
$$D_C = (AB \sim C) + (C \sim A) + (C \sim B)$$

Com as expressões lógicas em mãos é possível calcular todos os possíveis estados do circuito. Dessa forma percebe-se que o circuito é um contador de 3 bits, que conta de 0 até 7 inicialmente, e após isso passa a contar de 1 até 7.

Possíveis estados do circuito:

| C0 | B0 | A0 | DC | DB | DA | C1 | B1 | A1 |
|----|----|----|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |

Circuito implementado na ferramenta Digital:



CONCLUSÃO

Com o desenvolvimento dos exercícios propostos é possível ter uma compreensão muito maior do funcionamento interno de um computador, e de como é importante que o processador siga um passo a passo sincronizado por clock para a execução de cada tarefa e para a transmissão de dados.

Também é possível notar que a implementação de contadores pode ser feita de diversas formas utilizando os diferentes tipos de flip flops, e que cada um pode ser mais útil em determinada situação. Cabe também a reflexão sobre o custo e a performance de cada recurso utilizado quando se faz a implementação fora dos simuladores, o que pode pesar na decisão sobre qual componente será utilizado.

REFERÊNCIA BIBLIOGRÁFICA

- Khouri, Jorge; Hachisuca, Antonio. Sistemas Digitais. Circuitos Sequenciais - Parte I, 2020. 71 slides. Acesso em: 05/08/2021;
- Khouri, Jorge; Hachisuca, Antonio. Sistemas Digitais. Circuitos Sequenciais - Parte II, 2020. 86 slides. Acesso em: 05/08/2021;
- Khouri, Jorge; Hachisuca, Antonio. Sistemas Digitais. Circuitos Sequenciais - Parte III, 2020. 114 slides. Acesso em: 05/08/2021;
- Arroz, Guilherme. Notas adicionais sobre Flip-flops. Universidade Técnica de Lisboa. 1996. Consultado em 07 de agosto de 2021.
- CIRCUITOS BIESTÁVEIS - LATCHES E FLIP-FLOPS. Universidades Lusíada. 95 páginas. Consultado em 07 de agosto de 2021.