



XSSA30-U213-V1 开发板

数据手册

西安智多晶微电子有限公司 XIAN Intelligence Silicon Technology
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075
<http://www.isilicontech.com>



文档修订历史

日期	版本	修订内容
2021.10	1.0	首次发布。



目录

1 开发板简介	3
1.1 概述	4
1.2 特点	4
2 开发板框图	5
3 开发板引脚分配	6
3.1 时钟引脚	6
3.2 以太网接口	7
3.3 HDMI TX 接口	9
3.4 SD 卡接口	11
3.5 EEPROM 存储芯片	11
3.6 摄像头接口	11
3.7 USB 转串口	13
3.8 按键	14
3.9 LED 指示灯	14
3.10 40P 牛角插座	14

1. 开发板简介

1.1 概述:

为了更好地让客户评估智多晶 28nm 30K 逻辑 FPGA 芯片，我们设计了一款可用于前期评估和移植验证的平台，该开发板的核心器件是西安智多晶的 SA5Z-30-D1-8U213，基于低功耗 28nm CMOS 铜工艺，可用于工业控制、视频接口处理等领域客户的前期评估。

开发板具有丰富的硬件资源和外围接口，秉承简洁、实用、可靠的设计原则，旨在引导广大客户快速熟悉智多晶的 28nm 产品，对于有国产化需求的客户和在校大学生需要熟悉国产 FPGA 的，那么此开发板是一个非常合适的验证平台。

1.2 特点:

- * 智多晶 28nm FPGA 芯片： SA5Z-30-D1-8U213C
- * LUT6 结构，等效逻辑单元： 30000
- * BRAM： 1242Kbit
- * DSP 18*18： 46
- * PLL： 2
- * DDR2 硬核控制器： 1
- * MCU 硬核： 1
- * 最大差分 LVDS： 36（对）
- * LVDS 接口速率可达 1.6Gbps
- * Fmax 最高可达 500MHz
- * 片内 AES 加密模块
- * 合封 DDR2-SDRAM，容量 128Mbit，速度可达 800Mbps
- * 硬核 MCU 最高可跑 250MHz
- * FLASH 芯片： 16Mb SPI
- * SD 卡读写接口
- * EEPROM 存储芯片
- * 以太网 PHY： 10/100/1000Mbps
- * 摄像头模组接口，可接 OV5640 等模组
- * HDMI 输出，SiI9134，可支持 1080P 输出
- * 通信接口： USB-UART
- * 用户接口： GPIO、button、LED
- * 标准 40P 2.54 牛角插座
- * JTAG 烧录与调试接口
- * DC-12V 供电
- * 板卡尺寸大小： 127mm * 100mm

2. 开发板框图

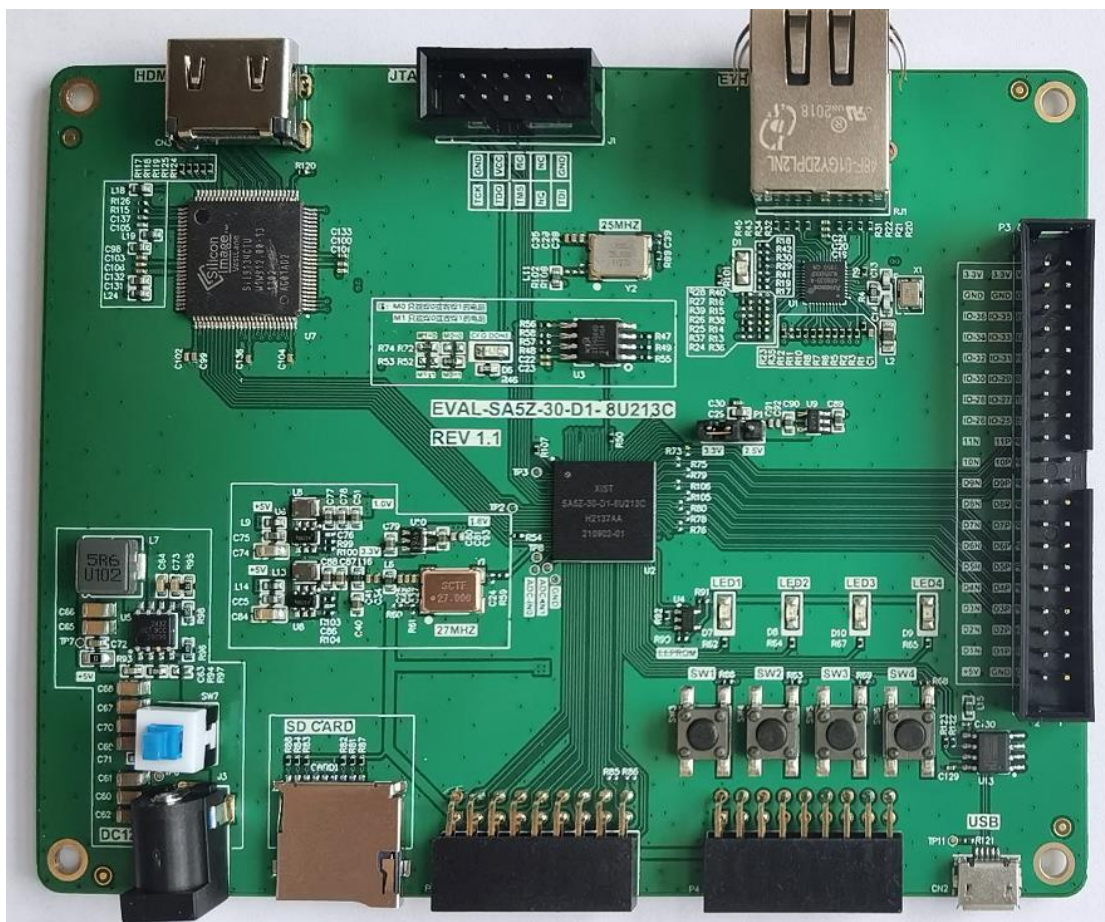


图 2.1 开发板实物图

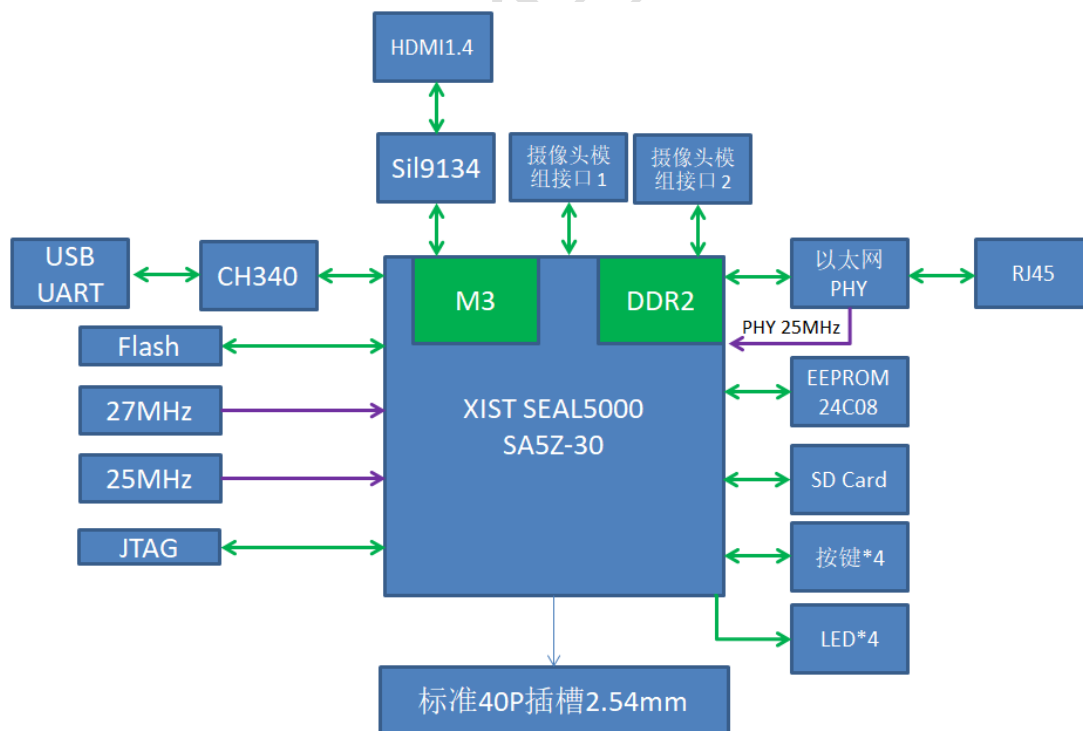


图 2.2 开发板原理框图

注：开发板的时钟输入有 3 路：分别是 TCXO 27MHz、TCXO 25MHz 和以太网 PHY 输出的 25MHz

3. 板卡引脚分配

3.1 时钟引脚

信号名称	FPGA 引脚	描述
FPGA_CLK1	N2	来自 TCXO 晶振 27MHz 时钟
FPGA_CLK2	A4	来自 TCXO 晶振 25MHz 时钟
CLK_25M_PHY	H13	来自以太网 PHY 输出的时钟

表 3.1 时钟引脚描述

注：

- 1) 三路时钟均连接到 FPGA 专用 Clock 属性的引脚，其中 27MHz 可用于视频处理应用时的参考时钟，例如 74.25MHz (720P) 和 148.5MHz (1080P) 都可由 PLL 倍频出来。
- 2) 25MHz 时钟可用于常规的时钟输入应用，也可作为 DDR2 控制器的参考时钟。
- 3) 以太网 PHY 芯片输出的 25MHz 时钟，也拉到 FPGA 上，当需要做相关以太网应用设计时，可以用此时钟做参考源。

3.2 以太网接口

以太网 PHY 芯片采用 AR8035，支持三速以太网，无需配置。与 FPGA 连接的 IO 如下：

信号名称	FPGA 引脚	描述
PHY_RXD3	C9	PHY RGMII RX 接口
PHY_RXD2	E10	PHY RGMII RX 接口
PHY_RXD1	D10	PHY RGMII RX 接口
PHY_RXD0	D11	PHY RGMII RX 接口
PHY_RX_DV	C11	PHY RGMII RX 接口
PHY_RX_CLK	C12	PHY RX 端时钟
PHY_TXD3	C10	PHY RGMII TX 接口
PHY_TXD2	B10	PHY RGMII TX 接口
PHY_TXD1	B9	PHY RGMII TX 接口
PHY_TXD0	A9	PHY RGMII TX 接口
PHY_TXEN	E11	PHY RGMII TX 接口



PHY_GTX_CLK	B13	PHY TX 端时钟
PHY_MDC	A11	PHY 配置接口
PHY_MDIO	B11	PHY 配置接口

表 3.2 以太网 PHY 接口描述

注：PHY 与 FPGA 是 RGMII 接口，数据只有 4 根线，双沿采样

3.3 HDMI TX 端接口

HDMI TX 用 Si9134，并行 TTL 电平接口，支持 1080P@60 输出，与 FPGA 的接口如下：

信号名称	FPGA 引脚	描述
HDMI_D35	L3	TTL 视频数据接口
HDMI_D34	K4	TTL 视频数据接口
HDMI_D33	J3	TTL 视频数据接口
HDMI_D32	J4	TTL 视频数据接口
HDMI_D31	J5	TTL 视频数据接口
HDMI_D30	J6	TTL 视频数据接口
HDMI_D29	G6	TTL 视频数据接口
HDMI_D28	G5	TTL 视频数据接口
HDMI_D27	G3	TTL 视频数据接口
HDMI_D26	F6	TTL 视频数据接口
HDMI_D25	F5	TTL 视频数据接口
HDMI_D24	E4	TTL 视频数据接口
HDMI_D23	E5	TTL 视频数据接口
HDMI_D22	D4	TTL 视频数据接口
HDMI_D21	B2	TTL 视频数据接口
HDMI_D20	D5	TTL 视频数据接口
HDMI_D19	C4	TTL 视频数据接口



HDMI_D18	E6	TTL 视频数据接口
HDMI_D17	N1	TTL 视频数据接口
HDMI_D16	M2	TTL 视频数据接口
HDMI_D15	L2	TTL 视频数据接口
HDMI_D14	K3	TTL 视频数据接口
HDMI_D13	K2	TTL 视频数据接口
HDMI_D12	J2	TTL 视频数据接口
HDMI_D11	J1	TTL 视频数据接口
HDMI_D10	H3	TTL 视频数据接口
HDMI_D9	H2	TTL 视频数据接口
HDMI_D8	D6	TTL 视频数据接口
HDMI_D7	E7	TTL 视频数据接口
HDMI_D6	A2	TTL 视频数据接口
HDMI_D5	B3	TTL 视频数据接口
HDMI_D4	A3	TTL 视频数据接口
HDMI_D3	B4	TTL 视频数据接口
HDMI_D2	G10	TTL 视频数据接口
HDMI_D1	B5	TTL 视频数据接口
HDMI_D0	A5	TTL 视频数据接口
IDCK	C5	像素时钟
DE	B7	数据有效信号
HS	A7	行同步
VS	C8	场同步
HDMI_RST	E9	复位



CSDA	C6	I2C 配置接口
CSCL	B6	I2C 配置接口

表 3.3 HDMI 接口描述

注：SiI9134 的 36 根视频信号线都拉到 FPGA 上，用户可以根据配置来决定采用 RGB 接口或 Ycbr 接口、8/10/12bit 信号位宽等，具体可参考芯片手册。

3.4 SD 卡接口

SD 卡接口采用 TF 卡小尺寸插槽，支持 SPI 模式，其原理图如下所示：

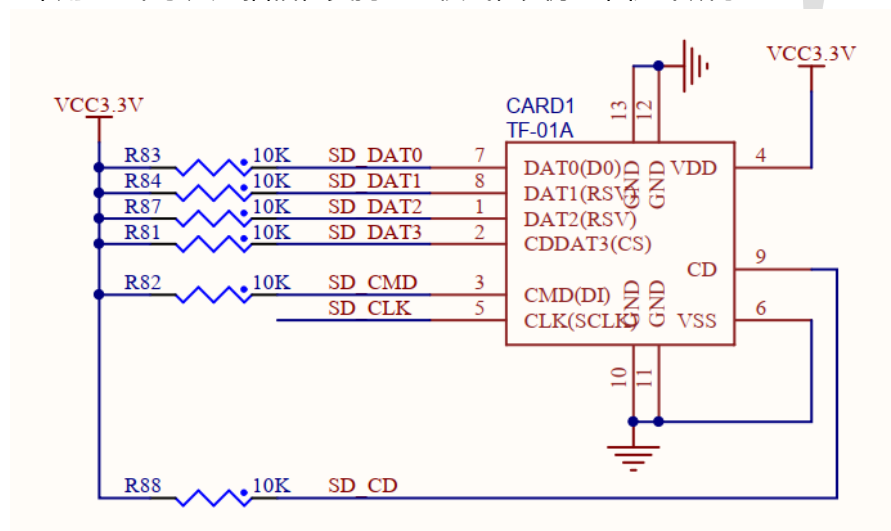


图 3.4 SD 卡槽接口原理图

信号名称	FPGA 引脚
SD_DAT3	K6
SD_DAT2	L6
SD_DAT1	N3
SD_DAT0	K5
SD_CMD	N5
SD_CLK	M4
SD_CD	L5

表 3.4 SD 卡槽引脚描述

3.5 EEPROM 存储芯片

EEPROM 存储芯片是 BL24C08，I2C 接口，8Kbit 存储容量，速率 400KHz 以内。IO 引脚信息如下：

信号名称	FPGA 引脚	描述
------	---------	----

EPR_SCL	P15	I2C 时钟脚
EPR_SDA	R15	I2C 数据脚
EPR_WP	N14	芯片写保护

表 3.5 EEPROM 引脚描述

注：要正常写操作的时候，写保护必须拉低才可以

3.6 摄像头接口

板卡提供 2 个摄像头模组接口，用户可以直接用 OV5640 或其他 OV 模组，若不接摄像头，就可以当做 GPIO 接口来使用，接口如下：

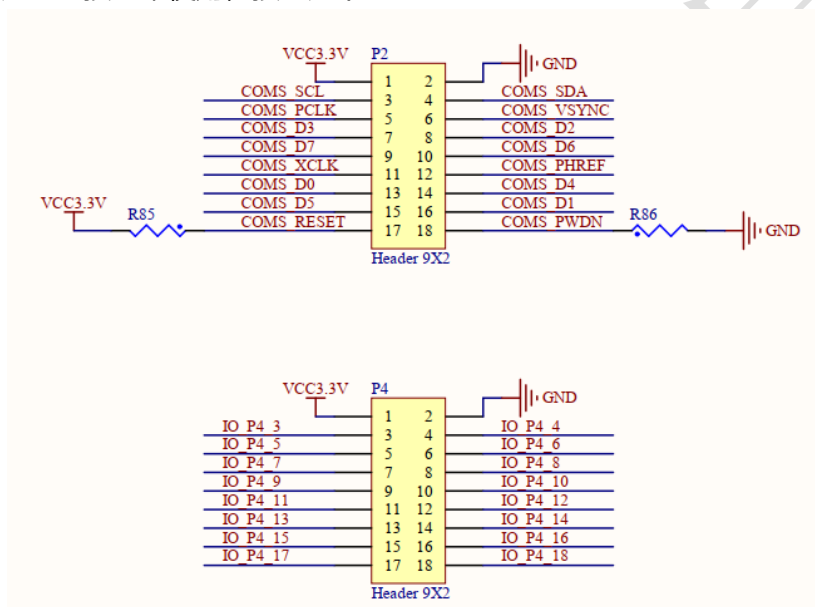


图 3.6 摄像头接口原理图

信号名称	FPGA 引脚	描述
CMOS_SCL	P3	I2C 时钟脚
CMOS_SDA	R2	I2C 数据脚
CMOS_PCLK	N10	像素时钟
CMOS_XCLK	P10	参考时钟
CMOS_VSYNC	R3	同步信号
CMOS_PHREF	P6	同步信号
CMOS_RESET	P9	复位信号
CMOS_PWDN	R9	PWDN 控制



CMOS_D7	R5	像素数据
CMOS_D6	P5	像素数据
CMOS_D5	N8	像素数据
CMOS_D4	R7	像素数据
CMOS_D3	R4	像素数据
CMOS_D2	P4	像素数据
CMOS_D1	R8	像素数据
CMOS_D0	P7	像素数据

表 3.61 摄像头接口 P2 描述

信号名称	FPGA 引脚	描述
IO_P4_3	N7	
IO_P4_4	L7	
IO_P4_5	N9	
IO_P4_6	K9	DIFF_TX_T24P
IO_P4_7	K10	DIFF_TX_C24N
IO_P4_8	L9	DIFF_TX_T16P
IO_P4_9	M10	DIFF_TX_T22P
IO_P4_10	L10	DIFF_TX_C16N
IO_P4_11	N11	
IO_P4_12	M11	DIFF_TX_C22N
IO_P4_13	L11	
IO_P4_14	N12	
IO_P4_15	M12	DIFF_TX_T30P
IO_P4_16	M13	DIFF_TX_C30N
IO_P4_17	L13	DIFF_TX_T32P
IO_P4_18	L14	DIFF_TX_C32N

图 3.62 摄像头接口 P4 描述

注：IO_P4_3~IO_P4_18，既可以当普通 GPIO 使用，且其中有 5 对 True LVDS 差分输出

3.7 USB 转串口

信号名称	FPGA 引脚	描述
USB_RXD	P12	串口输入
USB_TXD	R12	串口输出

3.8 按键

VCC3.3V

R66 4.7K SW1

R63 4.7K SW2

R69 4.7K SW3

R68 4.7K SW4

SW3 TS-1102S-B-C-B

SW4 TS-1102S-B-C-B

SW5 TS-1102S-B-C-B

SW6 TS-1102S-B-C-B

信号名称	FPGA 引脚	描述
------	---------	----



SW1	L15	按键开关 1
SW2	M15	按键开关 2
SW3	R11	按键开关 3
SW4	P11	按键开关 4

表 3.8 按键开关接口描述

3.9 LED 指示灯

板上带有 4 个 LED 灯，可供用户做点灯指示，低电平灯亮

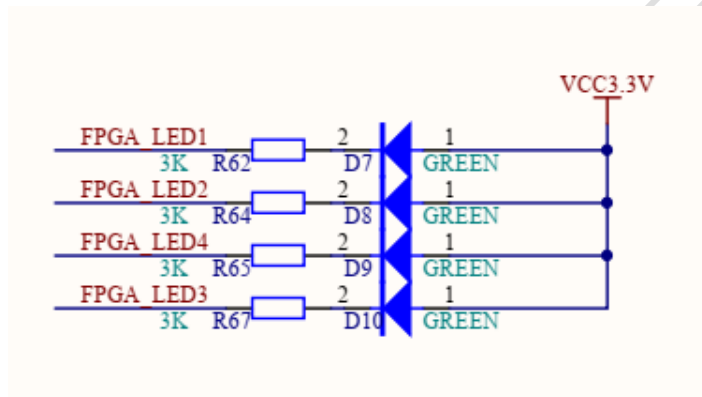


图 3.9 LED 指示灯原理图

信号名称	FPGA 引脚	描述
FPGA_LED1	P14	LED 灯，低电平亮
FPGA_LED2	R14	LED 灯，低电平亮
FPGA_LED3	P13	LED 灯，低电平亮
FPGA_LED4	R13	LED 灯，低电平亮

表 3.9 LED 灯接口描述

3.10 40P 牛角插座

板上带有一个标准的 40P 2.54mm 牛角插座，其连接图如下所示：

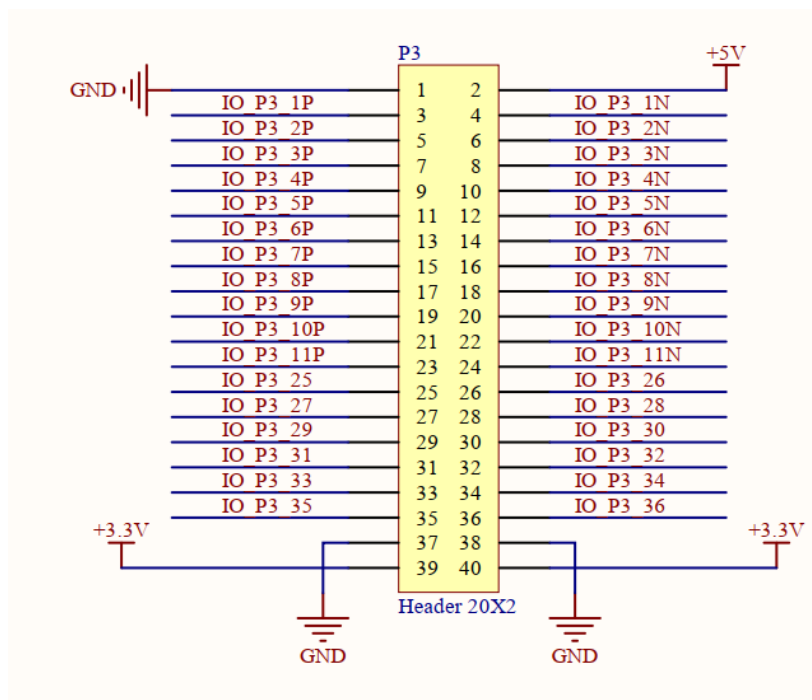


图 3.10 40P 插座原理图

信号名称	FPGA 引脚
IO_P3_1P	H14
IO_P3_1N	J15
IO_P3_2P	G14
IO_P3_2N	H15
IO_P3_3P	F14
IO_P3_3N	G15
IO_P3_4P	J13
IO_P3_4N	K13
IO_P3_5P	E13
IO_P3_5N	E14
IO_P3_6P	E15
IO_P3_6N	D15
IO_P3_7P	G12
IO_P3_7N	F13
IO_P3_8P	D12
IO_P3_8N	C14
IO_P3_9P	C15



IO_P3_9N	D14
IO_P3_10P	B14
IO_P3_10N	B15
IO_P3_11P	A14
IO_P3_11N	A15
IO_P3_25	J14
IO_P3_26	K14
IO_P3_27	H11
IO_P3_28	J11
IO_P3_29	G11
IO_P3_30	G13
IO_P3_31	F12
IO_P3_32	F10
IO_P3_33	E12
IO_P3_34	F11
IO_P3_35	B12
IO_P3_36	A13

表 3.10 40P 插座引脚描述

版权所有©2020 西安智多晶微电子有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除西安智多晶在其产品的销售条款和条件中声明的责任之外，西安智多晶概不承担任何法律或非法律责任。西安智多晶对西安智多晶产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。西安智多晶对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，西安智多晶保留修改文档中任何内容的权利，恕不另行通知。西安智多晶不承诺对这些文档进行适时的更新。