



Seal (海豹) SA5Z-30 FPGA

产品手册

西安智多晶微电子有限公司 XIAN Intelligent Silicon Technology
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075
<http://www.isilicotech.com>



文档修订历史

日期	版本	修订内容
2021.01	1.0	首次发布。
2021.05	1.1	修改 DSP 个数, 加 SA5Z-30-D2 和 SA5Z-30-D0 器件
2021.07	1.2	修正 U213 和 U324 封装管脚定义
2021.08	1.3	1. 修正 1.1 章节 2. 修正表 1.1
2021.09	1.4	1. 节 1.1, 增加上电顺序与 Vccaux 所需电压 2. 收改表 2-2 中的注 7

西安智多晶微电子有限公司



目录

1	器件概述.....	1
1.1	特性	2
1.2	器件资源.....	3
1.3	器件结构概述	4
1.4	合封 DDR2 SDRAM	4
1.5	封装特性.....	6
2	管脚与封装.....	7
2.1	管脚定义.....	7
2.2	器件编号说明	8
2.3	SA5Z-30-D1(2)-uBGA213 管脚列表	9
2.4	SA5Z-30-D0-uBGA324 管脚列表	13
2.5	213-PIN uBGA 封装尺寸	18
2.6	324-PIN uBGA 封装尺寸	19
3	SA5Z-30 交直流特性.....	20



1 器件概述

西安智多晶微电子有限公司的 Seal (海豹) 5000 SA5Z-30 系列 FPGA 器件（下称“本系列 FPGA”），建立在一个优化的低功耗，高性能 28nm 工艺基础之上。通过最低的成本，融合新架构，多个崭新与优化功能的嵌入式模块来实现高速 FPGA，使系统设计师在降低成本的同时又能够满足不断增长的高性能应用要求。对无线和有线通信、工业控制，图像处理，人工智慧，数据处理中心及云信息等行业中的低功耗，高性能的大小型应用，本系列 FPGA 无疑是最理想的选择。





1.1 特性

丰富的逻辑资源:

- 32,666 逻辑单元的器件
- 多达 243 个用户 I / O

高性能可编程逻辑单元

- 采用 6 输入查找表 (6-LUTs)
- 双 5-LUTs 选项
- 最多 128 位分布式存储器
- 最多 64 位分布式移位寄存器

低功耗器件

- 先进 28nm 铜 CMOS 工艺
- 核电压 1.0V, Vccaux 为 3.3V
- 待机模式和其他省电选项

嵌入式和分布式存储

- Fmax = 500 MHz
- 嵌入块存储容量为 18K/36Kbits, 总容量高达 1242 Kbits
- 高达 653 Kbit 的分布式存储

高性能, 灵活的 I / O 单元

- LVDS 接口高达 1.6 Gbps
- 可编程 IO 缓冲区支持多种接口:
- LVCMS3.3 / 2.5 / 1.8 / 1.5
- LVTTL
- PCI
- BLVDS, MLVDS, RSDS, LVPECL
- SSTL/DIFF-SSTL 25/18/15
- HSTL/DIFF-HSTL 18/15
- 施密特触发器输入, 最高 0.5V 迟滞
- I/O 支持热插拔
- 片内可调差分阻抗(OCT)
- 可编程上拉、下拉或总线保持模式
- I/O 块(Bank) 1、 2 和 3 的输入输出支持 3.3/2.5/1.8/1.5/1.2V 电压, I/O 块 4 的输入输出只能支持 1.8V 电压

源同步 I / O 接口

- 支持 7:1 Video 接口, 可高达 1.2 Gbps
- 通用 DDRX1/X2/X4/X5/X8 最高 1.2 Gbps
- 单端/差分 DQS 支持的 DDR1/2/3 LPDDR1/2/3 内存

增强的乘法器块

- Fmax = 500 MHz
- 内置多个 9x9/18x18/25x18 具备预加法的串行乘法器, 算数逻辑单元(ALU), 两层叠加实现 DSP 处理密集型应用

灵活的片内时钟

- 24 个全局时钟与 2 对边沿时钟於每个 I/O 模块(Bank)
- 4 个和延时锁相环 (DLL) 用于高速 I/O 接口
- 2 个内置通用 PLL, 提供倍频、分频、相位转移、展频等系统时钟
- 精度为 +/-6% 的片上振荡器

配置模式

- JTAG, 从模式(PS), 主模式(AS)
- 配置过程支持 SED/SEC 单/多比特流检测及单比特纠正
- 配置过程支持多个比特流加载, 可在第一个程序文件加载失败后, 自动跳到 Golden 区域加载第二个程序文件
- 局部重配置 (Partial Re-configuration)
- 支持 3:1 压缩及 1:3 解压缩

安全

- 支持 AES 比特流加密及解密, 256 比特加密及解密钥匙
- 片上 SPI, I2C, 定时器/计数器功能
- 兼容 IEEE1149.1:如边界扫描(BSCAN)
- 符合 IEEE 1532 的系统内编程

合封 DDR2 SDRAM 存储

- 128Mbits DDR2 SDRAM, 工作频率 Fmax=400MHz

上电顺序

- 先核电压(Vcc)后, 再上 1.8 电位

嵌入式硬核

- Fmax=250MHz MCU
- Fmax=533MHz DDR2 存储控制器
- 2 路 12 bits@125 ~ 200 kbps ADC

低成本封装

- 低成本焊线封装芯片
- 先进的无铅封装



1.2 器件资源

表 1-1 Seal (海豹) SA5Z-30 系列器件资源

Device Name	SA5Z-30-D0	SA5Z-30-D1	SA5Z-30-D2
等效逻辑单元	32666	32666	32666
寄存器 (个)	40832	40832	40832
分布式存储器/移位寄存器(Kbit)	653	653	653
嵌入式存储器个数 (18Kbits)	69	69	69
嵌入式存储器总容量 (Kbits)	1242	1242	1242
嵌入式DSP (9x9/18x18/25x18) ^{注1}	92/46/23	92/46/23	92/46/23
全局时钟网络	24	24	24
通用PLL/DLL	2/4	2/4	2/4
12位比特ADC	1	1	1
GTP I/O (6.6G)通道 ^{注2}	--	--	--
GTH I/O (13.1G)通道 ^{注2}	--	--	--
PCIe Gen3 硬核	--	--	--
DDR2/3控制器硬核	1	1	1
MCU 硬核 (加外设)	1	1	1
IO模块(BANK)	4	4	4
最大用户 HR IO	243	243	243
最大用户 HP IO	--	--	--
最大用户真差分IO (对)	36	36	36
核心工作电压 (V)	1.0	1.0	1.0
芯片等级 ^{注3}	C/I	C/I	C/I
封装规格	IO/True LVDS/(GTP或GTH)		
U213	213 uBGA (12 x 12mm ² , 0.8mm)	--	166/30/(0)
U324	324 uBGA (15 x 15mm ² , 0.8mm)	236/36/(0)	--

【注】

- 一片 DSP 包含 4 个 9x9 或 2 个 18x18 具备预加法的串行乘法器和 1 个 54 位累加器或两片组合为一个 25x18 串行乘法器
- GTP 或 GTH 取决于 wirebond 或 flip-chip
- 等级: C: 商业级, 结温温度 0°C—85°C; I: 工业级, 结温温度 -40°C—100°C
- SA5Z-30-ES 只有 18 对 LVDS TX



1.3 器件结构概述

本系列 FPGA 的核心构架由六输入查找表(LUTs)、逻辑单元存储器模块、加法器、乘法器构成和分布式存储器/移位寄存器。嵌入式存储器模块具有 18 或 36Kbit 的 SRAM 存储器。嵌入式存储器模块配置成单端口、伪双端口、真双端口 RAM 以及 FIFO 缓冲器或者 ROM。嵌入式乘法器模块可以在单一模块中实现一个 18×18 或两个 9×9 乘法器，利用两模块可实现 25×18 乘法器。本系列 FPGA 器件的 I/O 功能是由许多低成本应用中的多样化 I/O 标准所驱动的，大幅度提高了 I/O 的性能要求，可以轻松、灵活地容纳您的主模块设计，并支持可编程总线保持、可编程上或下拉电阻、可编程延迟、可编程驱动能力以、可编程斜率控制、热插拔和片内可调差分阻抗 (OCT)。本系列 FPGA 的器件有多个 PLL 和 DLL，以及全局和边沿时钟网络以提供可靠、有效且低偏斜和高速度的时钟管理与综合。您可以在 HqFpga 软件中对 PLL 进行重配置时钟频率或者相位。另提供 DDR SDRAM 存储器接口解决方案，由一个 PHY 接口和一个存储再加上软或硬核控制器组成。在 Dx-系列的器件，所有 IO Bank4 的 I/O 都连接合封 128Mbits DDR2 SDRAM 存储芯片的管脚，与 DDR2 控制器硬核配合提供更有效、高性能的存储应用。智多晶提供不同 PHY 接口 IP 如 Video7:1，与顾客定制的控制器或智多晶提供的控制器一起使用，得以提升与优化更全面的设计。本系列 FPGA 提供多个硬核 IPs 如 MCU、ADC 和 DDR2 控制器等等，配合不同的设计应用。外部主机通过 JTAG 访问端口，被动串行 (PS) 端口或主动串行 (AS) 端口进行配置本系列 FPGA，或利用额外的硬件来完成远程现场升级。

1.4 合封 DDR2 SDRAM

1.4.1 SA5Z-30-D1¹

SA5Z-30-D1 采用最新的 3D 合封技术与一片 8Mx16 bit 的 DDR2 SDRAM (M14D128168A) 合封而成。其 DDR2 SDRAM 特性如下：

❖ 合封 DDR2 SDRAM 电源

- I/O 块(Bank) 4 的 Vccio(x) 提供合封 DDR2 SDRAM 读/写电源，其电压必须为 1.8V +/-0.1V
- 内置 128Mb DDR2 SDRAM 存储空间，16 数据总线位宽，最高 400MHz 工作频率，最大读写带宽 800MB/s

❖ 结构

- 支持 JEDEC 标准
- SSTL18 接口
- 可分为 4 块 (Bank)，每块区域大小为 2Mx16 bits
- 支持突发读/写 (Burst Read/Write)，突发长度可为 4 和 8
- CAS 延迟时间 (CAS Latency) 可为 3, 4, 5, 6 和 7
- 数据选取脉冲 (DQS) 双沿触数据 (DQ) 转换
- 数据选取脉与读取数据边缘对齐，与写入数据中心对齐
- 支持数据屏蔽 (Data Mask, DM)



- 片内可调差分阻抗(OCT)与终端电阻(ODT)
- 除了数据和数据屏蔽外，所有输入都在系统时钟的上升沿进行采集
- 自动和自刷新

❖ 读/编程/擦除

- 最小时钟周期: 2.5ns
- 最小时钟高脉冲宽: 1.2ns
- 最小时钟低脉冲宽: 1.2ns
- 最小输入数据 (DQ) 与数据屏蔽 (DQM) 设定时间 (相对数据选取脉冲 DQS) : 200ps
- 最小输入数据 (DQ) 与数据屏蔽 (DQM) 保持时间 (相对数据选取脉冲 DQS) : 200ps
- 地址与控制总线设定时间: 125ps
- 地址与控制总线保持时间: 200ps
- 工作电流@突发长度=4: 250mA
- 块 (Bank) 工作电流@突发长度=4: 260mA
- 待机电流: 90mA
- 刷新电流: 6mA@自刷新， 105mA@突发刷新

【注】1: 详细信息可参考 ESMT M14D128168A 数据手册

1.4.2 SA5Z-30-D2²

SA5Z-30-D2 采用最新的3D合封技术与一片32Mx16 bit的DDR2 SDRAM (M14D5121632A) 合封而成。其DDR2 SDRAM特性如下：

❖ 合封 DDR2 SDRAM 电源

- I/O块(Bank) 4 的 Vccio(x) 提供合封 DDR2 SDRAM 读/写电源, 其电压必须为 1.8V +/-0.1V
- 内置 512Mb DDR2 SDRAM 存储空间, 16 数据总线位宽, 最高 400MHz 工作频率, 最大读写带宽 800MB/s

❖ 结构

- 支持 JEDEC 标准
- SSTL18 接口
- 可分为 4 块 (Bank), 每块区域大小为 8Mx16 bits
- 支持突发读/写 (Burst Read/Write), 突发长度可为 4 和 8
- CAS 延迟时间 (CAS Latency) 可为 3, 4, 5, 6, 7, 8 和 9
- 数据选取脉冲 (DQS) 双沿触数据 (DQ) 转换
- 数据选取脉与读取数据边缘对齐, 与写入数据中心对齐
- 支持数据屏蔽 (Data Mask, DM)
- 片内可调差分阻抗(OCT)与终端电阻(ODT)
- 除了数据和数据屏蔽外，所有输入都在系统时钟的上升沿进行采集
- 自动和自刷新



❖ 读/编程/擦除

- 最小时钟周期: 2.5ns
- 最小时钟高脉冲宽: 1.2ns
- 最小时钟低脉冲宽: 1.2ns
- 最小输入数据 (DQ) 与数据屏蔽 (DQM) 设定时间 (相对数据选取脉冲 DQS) : 200ps
- 最小输入数据 (DQ) 与数据屏蔽 (DQM) 保持时间 (相对数据选取脉冲 DQS) : 200ps
- 地址与控制总线设定时间: 125ps
- 地址与控制总线保持时间: 200ps
- 工作电流: 230mA
- 块 (Bank) 工作电流@突发长度=4: 180mA
- 待机电流: 60mA
- 刷新电流: 8mA@自刷新, 120mA@突发刷新

【注】1: 详细信息可参考 ESMT M14D5121632A 数据手册

1.5 封装特性

- 无铅, 小型, 多 IO 封装
- 12mm x 12mm uBGA213, 多达 166 个单端口 IO
- 15mm x 15mm uBGA324, 多达 236 个单端口 IO
- 优化的引脚排布, 使得只需要两层 PCB



2 管脚与封装

2.1 管脚定义

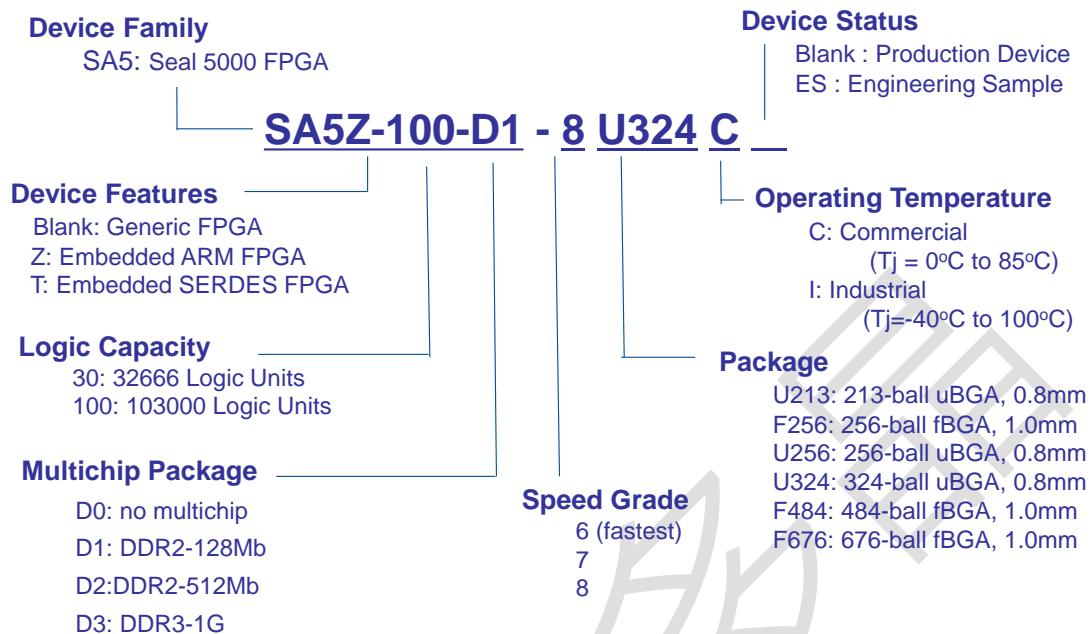
表 2-1 FPGA 编程管脚定义

BANKJ	DONE	inout	配置完成标志信号，配置完成后将会输出高电平信号；使用dai sy_chain时，将所有芯片DONE信号连接在一起可以等待所有芯片配置完成后再同时开始工作。
	TCK	input	JTAG时钟信号
	DCLK	inout	配置接口时钟信号，选择PS模式时，从外界接收时钟信号；选择AS模式时，向外发出时钟信号。
	TDO	output	JTAG数据输出信号
	TDI	input	JTAG数据输入信号
	INITN	inout	配置状态标志信号，配置正常进行或成功完成时为高电平，在配置初始化或配置错误时为低电平；可通过拉低此信号来推迟配置开始的时间
	MSEL0	input	仅Seall 5000系列支持此功能。用于选择配置模式
	MSEL1	input	仅Seall 5000系列支持此功能。用于选择配置模式
	TMS	input	JTAG模式选择信号
	PROGRAMN	input	复位信号/重配置触发信号，低电平时触发一次重配置过程，在JTAG工作时此信号无效。
	MSEL2	input	仅Seall 5000系列支持此功能。用于选择配置模式
BANK2	ASDO(SI/SPISI)	inout	AS模式x2 x4位宽下，向外发出数据，x1 x2 x4位宽下，接收回读数据
	DATA0(SO/SPISO)	inout	AS模式x2 x4位宽下，向外发出数据，x2 x4位宽下，接收回读数据； SCPU 模式x8位宽下，向外发出数据，接收回读数据
	SCL/PI_D2	inout	AS模式 x4位宽下，向外发出数据，接收回读数据； SCPU 模式x8位宽下，向外发出数据，接收回读数据
	SDA/PI_D3	inout	AS模式 x4位宽下，向外发出数据，接收回读数据； SCPU 模式 x8位宽下，向外发出数据，接收回读数据
	INIT_DONE		
	EMCLK	input	AS 模式下，外部时钟输入信号
	PI_D4	input	SCPU 模式 x8位宽下，向外发出数据，接收回读数据
	PI_D5	input	SCPU 模式 x8位宽下，向外发出数据，接收回读数据
	PI_D6	input	SCPU 模式 x8位宽下，向外发出数据，接收回读数据
	PI_D7	input	SCPU 模式 x8位宽下，向外发出数据，接收回读数据
	nCSO(CSSPIN)	output	AS模式下用于向外部SPI FLASH提供的片选信号，低电平有效。
	nCEO/DOCSON_O	output	daisy_chain时向下一级FPGA发出的片选信号
	nCE	input	片选信号，低电平时表示选中当前FPGA进行配置。



2.2 器件编号说明

图 2-1 器件编号说明





2.3 SA5Z-30-D1(2)-uBGA213 管脚列表

表 2-2 SA5Z-30-D1(2)-uBGA213 管脚列表

Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D1-8U213C(4)	SA5Z-30-D2-8U213C(5)
BJ	VREFBJN0	DONE			DONE(7)		D1	D1
BJ	VREFBJN0	PROGRAM_B			PROGRAM_B(7)		E1	E1
B1	VREFB1N0	I/O	DIFFIN_T1p/PLL0_REF	DIFF_RX_T1p	TCK		F3	F3
B1	VREFB1N0	I/O	DIFFIN_T1n	DIFF_RX_C1n	TMS		F2	F2
B1	VREFB1N0	I/O	DIFFIN_T2p/PLL0_FB	DIFF_RX_T2p	TDO		D2	D2
B1	VREFB1N0	I/O	DIFFIN_T2n	DIFF_RX_C2n	TDI		E2	E2
B1	VREFB1N0	I/O	DIFFIN_T3p	DIFF_RX_T3p	D0_DIN_MISO_MISO1		G1	G1
B1	VREFB1N0	I/O	DIFFIN_T3n	DIFF_RX_C3n	MOSI_CSI_B_MISO0		G2	G2
B1	VREFB1N0	I/O	DIFFIN_T4p	DIFF_RX_T4p	JTAGENB(7)		B1	B1
B1	VREFB1N0	I/O	DIFFIN_T4n	DIFF_RX_C4n	NCEO		C1	C1
B1	VREFB1N0	I/O	DIFFIN_T5p	DIFF_RX_T5p			G3	G3
B1	VREFB1N0	I/O	DIFFIN_T5n	DIFF_RX_C5n	DOUT		H1	H1
B1	VREFB1N0	I/O	DIFFIN_T6p	DIFF_RX_T6p	CCLK		A1	A1
B1	VREFB1N0	I/O	DIFFIN_T6n	DIFF_RX_C6n	M0		C2	C2
B1	VREFB1N0	I/O	DIFFIN_T7p	DIFF_RX_T7p			H2	H2
B1	VREFB1N0	I/O	DIFFIN_T7n	DIFF_RX_C7n			J1	J1
B1	VREFB1N0	I/O	DIFFIN_T8p	DIFF_RX_T8p	D1_MISO2		E3	E3
B1	VREFB1N0	I/O	DIFFIN_T8n	DIFF_RX_C8n	D2_MISO3		D3	D3
B1	VREFB1N0	I/O	DIFFIN_T9p	DIFF_RX_T9p			J2	J2
B1	VREFB1N0	I/O	DIFFIN_T9n	DIFF_RX_C9n			H3	H3
B1	VREFB1N0	I/O	DIFFIN_T10p	DIFF_RX_T10p			B2	B2
B1	VREFB1N0	I/O	DIFFIN_T10n	DIFF_RX_C10n	CM3_CLK		C3	C3
B1	VREFB1N0	I/O	DIFFIN_T11p	DIFF_RX_T11p	M1		L1	L1
B1	VREFB1N0	I/O	DIFFIN_T11n	DIFF_RX_C11n			K2	K2
B1	VREFB1N0	I/O	DIFFIN_T12p	DIFF_RX_T12p			C4	A2
B1	VREFB1N0	I/O	DIFFIN_T12n	DIFF_RX_C12n			B3	B3
B1	VREFB1N0	I/O	DIFFIN_T13p	DIFF_RX_T13p	nCE		M1	M1
B1	VREFB1N0	I/O	DIFFIN_T13n	DIFF_RX_C13n			L2	L2
B1	VREFB1N0	I/O	DIFFIN_T14p	DIFF_RX_T14p			A2	B5
B1	VREFB1N0	I/O	DIFFIN_T14n	DIFF_RX_C14n			A3	A3
B1	VREFB1N0	I/O/PCLK10/eclk	DIFFIN_T15p/PLL_IN	DIFF_RX_T15p			N1	N1
B1	VREFB1N0	I/O/PCLK11/eclk	DIFFIN_T15n/PLL_IN	DIFF_RX_C15n			M2	M2
B1	VREFB1N0	I/O/PCLK12/eclk	DIFFIN_T16p/PLL_IN	DIFF_RX_T16p			B4	B4
B1	VREFB1N0	I/O/PCLK13/eclk	DIFFIN_T16n/PLL_IN	DIFF_RX_C16n	USERCCLK		D4	D4
B1	VREFB1N0	I/O/PCLK20	DIFFIN_T17p/PLL_IN	DIFF_RX_T17p			N2	N2
B1	VREFB1N0	I/O/PCLK21	DIFFIN_T17n/PLL_IN	DIFF_RX_C17n			L3	L3
B1	VREFB1N0	I/O/PCLK22	DIFFIN_T18p/PLL_IN	DIFF_RX_T18p			C5	C5
B1	VREFB1N0	I/O/PCLK23	DIFFIN_T18n/PLL_IN	DIFF_RX_C18n			A4	A4
B1	VREFB1N0	I/O	DIFFIN_T19p	DIFF_RX_T19p			J3	J3
B1	VREFB1N0	I/O	DIFFIN_T19n	DIFF_RX_C19n			K3	K3
B1	VREFB1N0	I/O	DIFFIN_T20p	DIFF_RX_T20p			B5	A5
B1	VREFB1N0	I/O	DIFFIN_T20n	DIFF_RX_C20n			A5	C4
B1	VREFB1N0	I/O	DIFFIN_T21p	DIFF_RX_T21p			K4	K4
B1	VREFB1N0	I/O	DIFFIN_T21n	DIFF_RX_C21n			J4	J4
B1	VREFB1N0	I/O	DIFFIN_T22p	DIFF_RX_T22p			E4	D5
B1	VREFB1N0	I/O	DIFFIN_T22n	DIFF_RX_C22n			D5	E6
B1	VREFB1N0	I/O	DIFFIN_T23p	DIFF_RX_T23p			F6	E4
B1	VREFB1N0	I/O	DIFFIN_T23n	DIFF_RX_C23n			G6	E5
B1	VREFB1N0	I/O	DIFFIN_T24p	DIFF_RX_T24p			E5	C6
B1	VREFB1N0	I/O	DIFFIN_T24n	DIFF_RX_C24n			E6	B6
B1	VREFB1N0	I/O	DIFFIN_T25p	DIFF_RX_T25p			D6	G6
B1	VREFB1N0	I/O	DIFFIN_T25n	DIFF_RX_C25n			E7	F6
B1	VREFB1N0	I/O	DIFFIN_T26p	DIFF_RX_T26p			C6	D6
B1	VREFB1N0	I/O	DIFFIN_T26n	DIFF_RX_C26n			B6	E7
B1	VREFB1N0	I/O	DIFFIN_T27p	DIFF_RX_T27p			G5	G5
B1	VREFB1N0	I/O	DIFFIN_T27n	DIFF_RX_C27n			F5	F5
B1	VREFB1N0	I/O	DIFFIN_T28p	DIFF_RX_T28p	D3		C7	C7
B1	VREFB1N0	I/O	DIFFIN_T28n	DIFF_RX_C28n	D4		B7	B7
B1	VREFB1N0	I/O	DIFFIN_T29p	DIFF_RX_T29p	D7		J5	J5
B1	VREFB1N0	I/O	DIFFIN_T29n	DIFF_RX_C29n			J6	J6
B1	VREFB1N0	I/O	DIFFIN_T30p	DIFF_RX_T30p			A7	C8
B1	VREFB1N0	I/O	DIFFIN_T30n	DIFF_RX_C30n			C8	A7
B1	VREFB1N0	I/O	DIFFIN_T31p	DIFF_RX_T31p	D5		E9	E9
B1	VREFB1N0	I/O	DIFFIN_T31n	DIFF_RX_C31n	D6		G10	G10
B1	VREFB1N0	I/O	DIFFIN_T32p	DIFF_RX_T32p	INIT_B		B8	B8
B1	VREFB1N0	I/O	DIFFIN_T32n	DIFF_RX_C32n	CSO_B		A8	A8
B2	VREFB2N0	I/O	DIFFIN_T33p	DIFF_RX_T33p			F10	
B2	VREFB2N0	I/O	DIFFIN_T33n	DIFF_RX_C33n			J11	
B2	VREFB2N0	I/O	DIFFIN_T34p	DIFF_RX_T34p			C9	C9
B2	VREFB2N0	I/O	DIFFIN_T34n	DIFF_RX_C34n			B9	B10
B2	VREFB2N0	I/O	DIFFIN_T35p	DIFF_RX_T35p			E10	
B2	VREFB2N0	I/O	DIFFIN_T35n	DIFF_RX_C35n			H11	
B2	VREFB2N0	I/O	DIFFIN_T36p	DIFF_RX_T36p			A9	B9
B2	VREFB2N0	I/O	DIFFIN_T36n	DIFF_RX_C36n			B10	A9
B2	VREFB2N0	I/O	DIFFIN_T37p	DIFF_RX_T37p			D10	
B2	VREFB2N0	I/O	DIFFIN_T37n	DIFF_RX_C37n			G11	
B2	VREFB2N0	I/O	DIFFIN_T38p	DIFF_RX_T38p			C10	C10
B2	VREFB2N0	I/O	DIFFIN_T38n	DIFF_RX_C38n			A11	C11



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D1-8U213C(4)	SA5Z-30-D2-8U213C(5)
B2	VREFB2N0	I/O	DIFFIN_T39p	DIFF_RX_T39p			E11	
B2	VREFB2N0	I/O	DIFFIN_T39n	DIFF_RX_C39n			F11	
B2	VREFB2N0	I/O	DIFFIN_T40p	DIFF_RX_T40p			B11	A11
B2	VREFB2N0	I/O	DIFFIN_T40n	DIFF_RX_C40n			A12	B11
B2	VREFB2N0	I/O	DIFFIN_T41p	DIFF_RX_T41p			E12	D10
B2	VREFB2N0	I/O	DIFFIN_T41n	DIFF_RX_C41n			F12	D11
B2	VREFB2N0	I/O	DIFFIN_T42p	DIFF_RX_T42p			C11	
B2	VREFB2N0	I/O	DIFFIN_T42n	DIFF_RX_C42n			B12	
B2	VREFB2N0	I/O	DIFFIN_T43p	DIFF_RX_T43p			J13	
B2	VREFB2N0	I/O	DIFFIN_T43n	DIFF_RX_C43n			K13	
B2	VREFB2N0	I/O	DIFFIN_T44p	DIFF_RX_T44p			A13	B12
B2	VREFB2N0	I/O	DIFFIN_T44n	DIFF_RX_C44n			D11	D12
B2	VREFB2N0	I/O/PCLK30	DIFFIN_T45p	DIFF_RX_T45p			G12	G12
B2	VREFB2N0	I/O/PCLK31	DIFFIN_T45n	DIFF_RX_C45n			F13	F13
B2	VREFB2N0	I/O/PCLK32	DIFFIN_T46p	DIFF_RX_T46p			C12	C12
B2	VREFB2N0	I/O/PCLK33	DIFFIN_T46n	DIFF_RX_C46n			B13	B13
B2	VREFB2N0	I/O/PCLK40/eclk	DIFFIN_T47p	DIFF_RX_T47p			H13	G13
B2	VREFB2N0	I/O/PCLK41/eclk	DIFFIN_T47n	DIFF_RX_C47n			K14	G14
B2	VREFB2N0	I/O/PCLK42/eclk	DIFFIN_T48p	DIFF_RX_T48p			A14	A14
B2	VREFB2N0	I/O/PCLK43/eclk	DIFFIN_T48n	DIFF_RX_C48n			A15	A15
B2	VREFB2N0	I/O	DIFFIN_T49p	DIFF_RX_T49p			G13	F10
B2	VREFB2N0	I/O	DIFFIN_T49n	DIFF_RX_C49n			J14	E10
B2	VREFB2N0	I/O	DIFFIN_T50p	DIFF_RX_T50p			B14	
B2	VREFB2N0	I/O	DIFFIN_T50n	DIFF_RX_C50n			B15	
B2	VREFB2N0	I/O	DIFFIN_T51p	DIFF_RX_T51p			H14	
B2	VREFB2N0	I/O	DIFFIN_T51n	DIFF_RX_C51n			J15	
B2	VREFB2N0	I/O	DIFFIN_T52p	DIFF_RX_T52p			D12	A12
B2	VREFB2N0	I/O	DIFFIN_T52n	DIFF_RX_C52n			C14	A13
B2	VREFB2N0	I/O	DIFFIN_T53p	DIFF_RX_T53p			G14	F11
B2	VREFB2N0	I/O	DIFFIN_T53n	DIFF_RX_C53n			H15	E11
B2	VREFB2N0	I/O	DIFFIN_T54p	DIFF_RX_T54p			C15	
B2	VREFB2N0	I/O	DIFFIN_T54n	DIFF_RX_C54n			D14	
B2	VREFB2N0	I/O	DIFFIN_T55p	DIFF_RX_T55p			F14	
B2	VREFB2N0	I/O	DIFFIN_T55n	DIFF_RX_C55n			G15	
B2	VREFB2N0	I/O	DIFFIN_T56p	DIFF_RX_T56p			E13	B14
B2	VREFB2N0	I/O	DIFFIN_T56n	DIFF_RX_C56n			E14	B15
B2	VREFB2N0	I/O	DIFFIN_T57p	DIFF_RX_T57p			E12	
B2	VREFB2N0	I/O	DIFFIN_T57n	DIFF_RX_C57n			E13	
B2	VREFB2N0	I/O	DIFFIN_T58p	DIFF_RX_T58p			E15	
B2	VREFB2N0	I/O	DIFFIN_T58n	DIFF_RX_C58n			D15	
B2	VREFB2N0	I/O	DIFFIN_T59p	DIFF_RX_T59p			F12	
B2	VREFB2N0	I/O	DIFFIN_T59n	DIFF_RX_C59n			F14	
B2	VREFB2N0	I/O	DIFFIN_T60p	DIFF_RX_T60p			C14	
B2	VREFB2N0	I/O	DIFFIN_T60n	DIFF_RX_C60n			D14	
B2	VREFB2N0	I/O	DIFFIN_T61p	DIFF_RX_T61p			E15	
B2	VREFB2N0	I/O	DIFFIN_T61n	DIFF_RX_C61n			E14	
B2	VREFB2N0	I/O	DIFFIN_T62p	DIFF_RX_T62p			D15	
B2	VREFB2N0	I/O	DIFFIN_T62n	DIFF_RX_C62n			C15	
B3	VREFB3N0	I/O	DIFFIN_B60p	DIFF_RX_T36p			G15	
B3	VREFB3N0	I/O	DIFFIN_B60n	DIFF_RX_C36n			H15	
B3	VREFB3N0	I/O	DIFFIN_B59p	DIFF_RX_T35p			J14	
B3	VREFB3N0	I/O	DIFFIN_B59n	DIFF_RX_C35n			J15	
B3	VREFB3N0	I/O	DIFFIN_B58p	DIFF_RX_T34p			H13	
B3	VREFB3N0	I/O	DIFFIN_B58n	DIFF_RX_C34n			H14	
B3	VREFB3N0	I/O	DIFFIN_B57p	DIFF_RX_T33p		M15	L14	
B3	VREFB3N0	I/O	DIFFIN_B57n	DIFF_RX_C33n		L15	K14	
B3	VREFB3N0	I/O	DIFFIN_B56p	DIFF_RX_T32p		L13	K13	
B3	VREFB3N0	I/O	DIFFIN_B56n	DIFF_RX_C32n		L14	J13	
B3	VREFB3N0	I/O	DIFFIN_B55p	DIFF_RX_T31p		M14	M14	
B3	VREFB3N0	I/O	DIFFIN_B55n	DIFF_RX_C31n		N15	L15	
B3	VREFB3N0	I/O	DIFFIN_B54p	DIFF_RX_T30p		M12	L13	
B3	VREFB3N0	I/O	DIFFIN_B54n	DIFF_RX_C30n		M13	K12	
B3	VREFB3N0	I/O	DIFFIN_B53p	DIFF_RX_T29p		N14	M15	
B3	VREFB3N0	I/O	DIFFIN_B53n	DIFF_RX_C29n		P15	N15	
B3	VREFB3N0	I/O	DIFFIN_B52p	DIFF_RX_T28p		K12	L12	
B3	VREFB3N0	I/O	DIFFIN_B52n	DIFF_RX_C28n		L12	M13	
B3	VREFB3N0	I/O	DIFFIN_B51p	DIFF_RX_T27p		R14	N14	
B3	VREFB3N0	I/O	DIFFIN_B51n	DIFF_RX_C27n		R15	P15	
B3	VREFB3N0	I/O	DIFFIN_B50p	DIFF_RX_T26p			L11	
B3	VREFB3N0	I/O	DIFFIN_B50n	DIFF_RX_C26n			M12	
B3	VREFB3N0	I/O	DIFFIN_B49p	DIFF_RX_T25p			L11	R14
B3	VREFB3N0	I/O	DIFFIN_B49n	DIFF_RX_C25n			K11	R15
B3	VREFB3N0	I/O	DIFFIN_B48p	DIFF_RX_T24p			K9	K11
B3	VREFB3N0	I/O	DIFFIN_B48n	DIFF_RX_C24n			K10	J11
B3	VREFB3N0	I/O	DIFFIN_B47p	DIFF_RX_T23p			R13	R13
B3	VREFB3N0	I/O	DIFFIN_B47n	DIFF_RX_C23n			P14	P14
B3	VREFB3N0	I/O	DIFFIN_B46p	DIFF_RX_T22p			M10	H11
B3	VREFB3N0	I/O	DIFFIN_B46n	DIFF_RX_C22n			M11	G11
B3	VREFB3N0	I/O	DIFFIN_B45p	DIFF_RX_T21p			N12	N12
B3	VREFB3N0	I/O	DIFFIN_B45n	DIFF_RX_C21n			P13	P13
B3	VREFB3N0	I/O/PCLK50/eclk	DIFFIN_B44p/PLL_IN	DIFF_RX_T20p			N11	N11
B3	VREFB3N0	I/O/PCLK51/eclk	DIFFIN_B44n/PLL_IN	DIFF_RX_C20n			P12	P12
B3	VREFB3N0	I/O/PCLK52/eclk	DIFFIN_B43p/PLL_IN	DIFF_RX_T19p			P11	P11



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D1-8U213C(4)	SA5Z-30-D2-8U213C(5)
B3	VREFB3N0	I/O/PCLK53/eclk	DIFFIN_B43n/PLL_IN	DIFF_TX_C19n			R12	R12
B3	VREFB3N0	I/O/PCLK60	DIFFIN_B42p/PLL_IN	DIFF_TX_T18p			N9	N9
B3	VREFB3N0	I/O/PCLK61	DIFFIN_B42n/PLL_IN	DIFF_TX_C18n			N10	N10
B3	VREFB3N0	I/O/PCLK62	DIFFIN_B41p/PLL_IN	DIFF_TX_T17p			P10	P10
B3	VREFB3N0	I/O/PCLK63	DIFFIN_B41n/PLL_IN	DIFF_TX_C17n			R11	R11
B3	VREFB3N0	I/O	DIFFIN_B40p	DIFF_TX_T16p			L9	M10
B3	VREFB3N0	I/O	DIFFIN_B40n	DIFF_TX_C16n			L10	M11
B3	VREFB3N0	I/O	DIFFIN_B39p	DIFF_TX_T15p			P9	P9
B3	VREFB3N0	I/O	DIFFIN_B39n	DIFF_TX_C15n			R9	R9
B3	VREFB3N0	I/O	DIFFIN_B38p	DIFF_TX_T14p			N7	L10
B3	VREFB3N0	I/O	DIFFIN_B38n	DIFF_TX_C14n			N8	K10
B3	VREFB3N0	I/O	DIFFIN_B37p	DIFF_TX_T13p			P8	P8
B3	VREFB3N0	I/O	DIFFIN_B37n	DIFF_TX_C13n			R8	R8
B3	VREFB3N0	I/O	DIFFIN_B36p	DIFF_TX_T12p			N6	L9
B3	VREFB3N0	I/O	DIFFIN_B36n	DIFF_TX_C12n			N5	K9
B3	VREFB3N0	I/O	DIFFIN_B35p	DIFF_TX_T11p			P7	N7
B3	VREFB3N0	I/O	DIFFIN_B35n	DIFF_TX_C11n			R7	N8
B3	VREFB3N0	I/O	DIFFIN_B34p	DIFF_TX_T10p			L5	N6
B3	VREFB3N0	I/O	DIFFIN_B34n	DIFF_TX_C10n			N3	N5
B3	VREFB3N0	I/O	DIFFIN_B33p	DIFF_TX_T9p			P6	P7
B3	VREFB3N0	I/O	DIFFIN_B33n	DIFF_TX_C9n			R5	R7
B3	VREFB3N0	I/O	DIFFIN_B32p	DIFF_TX_T8p			M3	L7
B3	VREFB3N0	I/O	DIFFIN_B32n	DIFF_TX_C8n			M4	L6
B3	VREFB3N0	I/O	DIFFIN_B31p	DIFF_TX_T7p			P5	P6
B3	VREFB3N0	I/O	DIFFIN_B31n	DIFF_TX_C7n			R4	R5
B3	VREFB3N0	I/O	DIFFIN_B30p	DIFF_TX_T6p			L7	L5
B3	VREFB3N0	I/O	DIFFIN_B30n	DIFF_TX_C6n			L6	M4
B3	VREFB3N0	I/O	DIFFIN_B29p	DIFF_TX_T5p			P4	P5
B3	VREFB3N0	I/O	DIFFIN_B29n	DIFF_TX_C5n			R3	R4
B3	VREFB3N0	I/O	DIFFIN_B28p	DIFF_TX_T4p			K5	M3
B3	VREFB3N0	I/O	DIFFIN_B28n	DIFF_TX_C4n			K6	N3
B3	VREFB3N0	I/O	DIFFIN_B27p	DIFF_TX_T3p			P3	P4
B3	VREFB3N0	I/O	DIFFIN_B27n	DIFF_TX_C3n			R2	R3
B3	VREFB3N0	I/O	DIFFIN_B26p	DIFF_TX_T2p			K5	
B3	VREFB3N0	I/O	DIFFIN_B26n	DIFF_TX_C2n			K6	
B3	VREFB3N0	I/O	DIFFIN_B25p	DIFF_TX_T1p			P3	
B3	VREFB3N0	I/O	DIFFIN_B25n	DIFF_TX_C1n			R2	
B4	VREFB4N0	I/O	DIFFIN_B24p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B24n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B23p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B23n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B22p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B22n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B21p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B21n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B20p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B20n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B19p				DQS1	
B4	VREFB4N0	I/O	DIFFIN_B19n				/DQS1	
B4	VREFB4N0	I/O	DIFFIN_B18p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B18n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B17p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B17n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B16p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B16n				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B15p				DQ1	
B4	VREFB4N0	I/O	DIFFIN_B15n				DQ1	
B4	VREFB4N0	I/O/PCLK70	DIFFIN_B14p				DQ0	
B4	VREFB4N0	I/O/PCLK71	DIFFIN_B14n				DQ0	
B4	VREFB4N0	I/O/PCLK72	DIFFIN_B13p				DQ0	
B4	VREFB4N0	I/O/PCLK73	DIFFIN_B13n				DQ0	
B4	VREFB4N0	I/O/PCLK80/eclk	DIFFIN_B12p				DQ0	
B4	VREFB4N0	I/O/PCLK81/eclk	DIFFIN_B12n				DQ0	
B4	VREFB4N0	I/O/PCLK82/eclk	DIFFIN_B11p				DQ0	
B4	VREFB4N0	I/O/PCLK83/eclk	DIFFIN_B11n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B10p				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B10n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B9p				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B9n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B8p				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B8n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B7p				DQS0	
B4	VREFB4N0	I/O	DIFFIN_B7n				/DQS0	
B4	VREFB4N0	I/O	DIFFIN_B6p				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B6n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B5p				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B5n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B4p				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B4n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B3p				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B3n				DQ0	
B4	VREFB4N0	I/O	DIFFIN_B2p/PLL1_FB				DQ0	P1(7)
B4	VREFB4N0	I/O	DIFFIN_B2n				DQ0	P1(7)
BADC	VREFBAUXN0	I/O	DIFFIN_B1p/PLL1_REF		ADC IN1		R1	R1
BADC	VREFBAUXN0	I/O	DIFFIN_B1n		ADC IN0		P2	P2



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D1-8U213C(4)	SA5Z-30-D2-8U213C(5)
		VCCEXT					E8	E8
		VCCEXT					F7	F7
		VCCEXT					F8	F8
		VCCEXT					F9	F9
		VCCEXT					G8	G8
		VCCEXT					H8	H8
		VCCEXT					J8	J8
		VCCEXT					K7	K7
		VCCEXT					L8	L8
		VCCAUX					L4	L4
		VCCIO1					G4	G4
		VCCIO1					D7	D7
		VCCIO2					D9	D9
		VCCIO2					D13	D13
		VCCIO3					J12	J12
		VCCIO3					M9	M9
		VCCIO4					M5(3)	M5(3)
		VCCIO4					M6(3)	M6(3)
		VCCIO4					M7(3)	M7(3)
		GND					C13	C13
		GND					F4	F4
		GND					G7	G7
		GND					G9	G9
		GND					H5	H5
		GND					H6	H6
		GND					H7	H7
		GND					H9	H9
		GND					H10	H10
		GND					J7	J7
		GND					J9	J9
		GND					J10	J10
		GND					K8	K8
		GND					N4	N4
		GND					N13	N13

【注】

- (1) 如封装列表没有 p 或 n 端口, 不支持其差分功能
- (2) 在没有 DQS 端口, 其 DQ 组合不支持
- (3) 被标记的 VCCIO 电位为 1.8V
- (4) VCCIOJ/VCCIO1/VCCIO2/VCCAUX/VCCADC 被内部连接和分配到 G4, D7, D9, D13 和 L4
- (5) VCCIOJ 和 VCCIO1 被内部连接, 同时 VCCAUX 和 VCCADC 被内部连接
- (6) VCCIOJ 和 VCCIO1 被内部连接, 同时 VCCIO4 和 VCCADC 被内部连接
- (7) 被标记的端口不能用作用户 IO, 但是作为 DDR 界面的 VREF 输入。於 SA5Z-30-D0, JTAGEND 和 VCCIO1 是连接一齐
- (8) RX 端口的 P/N 并没有 100Ω 差分电阻, 亦即用户需要版上加差分电阻



2.4 SA5Z-30-D0-uBGA324 管脚列表

表 2-3 SA5Z-30-D0-uBGA324 管脚列表

Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D0-8U324C(6)
BJ	VREFBJN0	DONE			DONE(7)		V17
BJ	VREFBJN0	PROGRAM_B			PROGRAM_B(7)		V2
B1	VREFB1N0	I/O	DIFFIN_T1p/PLL0_REF	DIFF_RX_T1p	TCK		A17
B1	VREFB1N0	I/O	DIFFIN_T1n	DIFF_RX_C1n	TMS		B18
B1	VREFB1N0	I/O	DIFFIN_T2p/PLL0_FB	DIFF_RX_T2p	TDO		D16
B1	VREFB1N0	I/O	DIFFIN_T2n	DIFF_RX_C2n	TDI		D15
B1	VREFB1N0	I/O	DIFFIN_T3p	DIFF_RX_T3p	D0_DIN_MISO_MISO1		R13
B1	VREFB1N0	I/O	DIFFIN_T3n	DIFF_RX_C3n	MOSI_CSI_B_MISO0		T13
B1	VREFB1N0	I/O	DIFFIN_T4n	DIFF_RX_C4n	NCEO		V15
B1	VREFB1N0	I/O	DIFFIN_T5p	DIFF_RX_T5p			P15
B1	VREFB1N0	I/O	DIFFIN_T5n	DIFF_RX_C5n	DOUT		P16
B1	VREFB1N0	I/O	DIFFIN_T6p	DIFF_RX_T6p	CCLK		R15
B1	VREFB1N0	I/O	DIFFIN_T6n	DIFF_RX_C6n	M0		T15
B1	VREFB1N0	I/O	DIFFIN_T7p	DIFF_RX_T7p			U16
B1	VREFB1N0	I/O	DIFFIN_T7n	DIFF_RX_C7n			V16
B1	VREFB1N0	I/O	DIFFIN_T8p	DIFF_RX_T8p	D1_MISO2		T14
B1	VREFB1N0	I/O	DIFFIN_T8n	DIFF_RX_C8n	D2_MISO3		V14
B1	VREFB1N0	I/O	DIFFIN_T9p	DIFF_RX_T9p			R11
B1	VREFB1N0	I/O	DIFFIN_T9n	DIFF_RX_C9n			T11
B1	VREFB1N0	I/O	DIFFIN_T10p	DIFF_RX_T10p			U13
B1	VREFB1N0	I/O	DIFFIN_T10n	DIFF_RX_C10n	CM3_CLK		V13
B1	VREFB1N0	I/O	DIFFIN_T11p	DIFF_RX_T11p	M1		N12
B1	VREFB1N0	I/O	DIFFIN_T11n	DIFF_RX_C11n			P12
B1	VREFB1N0	I/O	DIFFIN_T12p	DIFF_RX_T12p			T12
B1	VREFB1N0	I/O	DIFFIN_T12n	DIFF_RX_C12n			V12
B1	VREFB1N0	I/O	DIFFIN_T13p	DIFF_RX_T13p	nCE		M11
B1	VREFB1N0	I/O	DIFFIN_T13n	DIFF_RX_C13n			N11
B1	VREFB1N0	I/O	DIFFIN_T14p	DIFF_RX_T14p			U11
B1	VREFB1N0	I/O	DIFFIN_T14n	DIFF_RX_C14n			V11
B1	VREFB1N0	I/O/PCLK10/eclk	DIFFIN_T15p/PLL_IN	DIFF_RX_T15p			R10
B1	VREFB1N0	I/O/PCLK11/eclk	DIFFIN_T15n/PLL_IN	DIFF_RX_C15n			T10
B1	VREFB1N0	I/O/PCLK12/eclk	DIFFIN_T16p/PLL_IN	DIFF_RX_T16p			U10
B1	VREFB1N0	I/O/PCLK13/eclk	DIFFIN_T16n/PLL_IN	DIFF_RX_C16n	USERCCLK		V10
B1	VREFB1N0	I/O/PCLK20	DIFFIN_T17p/PLL_IN	DIFF_RX_T17p			R8
B1	VREFB1N0	I/O/PCLK21	DIFFIN_T17n/PLL_IN	DIFF_RX_C17n			T8
B1	VREFB1N0	I/O/PCLK22	DIFFIN_T18p/PLL_IN	DIFF_RX_T18p			T9
B1	VREFB1N0	I/O/PCLK23	DIFFIN_T18n/PLL_IN	DIFF_RX_C18n			V9
B1	VREFB1N0	I/O	DIFFIN_T19p	DIFF_RX_T19p			N10
B1	VREFB1N0	I/O	DIFFIN_T19n	DIFF_RX_C19n			P11
B1	VREFB1N0	I/O	DIFFIN_T20p	DIFF_RX_T20p			U8
B1	VREFB1N0	I/O	DIFFIN_T20n	DIFF_RX_C20n			V8
B1	VREFB1N0	I/O	DIFFIN_T21p	DIFF_RX_T21p			M10
B1	VREFB1N0	I/O	DIFFIN_T21n	DIFF_RX_C21n			N9
B1	VREFB1N0	I/O	DIFFIN_T22p	DIFF_RX_T22p			U7
B1	VREFB1N0	I/O	DIFFIN_T22n	DIFF_RX_C22n			V7
B1	VREFB1N0	I/O	DIFFIN_T23p	DIFF_RX_T23p			N7
B1	VREFB1N0	I/O	DIFFIN_T23n	DIFF_RX_C23n			P8
B1	VREFB1N0	I/O	DIFFIN_T24p	DIFF_RX_T24p			R7
B1	VREFB1N0	I/O	DIFFIN_T24n	DIFF_RX_C24n			T7
B1	VREFB1N0	I/O	DIFFIN_T25p	DIFF_RX_T25p			N6
B1	VREFB1N0	I/O	DIFFIN_T25n	DIFF_RX_C25n			P7
B1	VREFB1N0	I/O	DIFFIN_T26p	DIFF_RX_T26p			T6
B1	VREFB1N0	I/O	DIFFIN_T26n	DIFF_RX_C26n			V6
B1	VREFB1N0	I/O	DIFFIN_T27p	DIFF_RX_T27p			N5
B1	VREFB1N0	I/O	DIFFIN_T27n	DIFF_RX_C27n			P6
B1	VREFB1N0	I/O	DIFFIN_T28p	DIFF_RX_T28p	D3		U5
B1	VREFB1N0	I/O	DIFFIN_T28n	DIFF_RX_C28n	D4		V5
B1	VREFB1N0	I/O	DIFFIN_T29p	DIFF_RX_T29p	D7		R5
B1	VREFB1N0	I/O	DIFFIN_T29n	DIFF_RX_C29n			T5
B1	VREFB1N0	I/O	DIFFIN_T30p	DIFF_RX_T30p			T4
B1	VREFB1N0	I/O	DIFFIN_T30n	DIFF_RX_C30n			V4
B1	VREFB1N0	I/O	DIFFIN_T31p	DIFF_RX_T31p	D5		R3
B1	VREFB1N0	I/O	DIFFIN_T31n	DIFF_RX_C31n	D6		T3
B1	VREFB1N0	I/O	DIFFIN_T32p	DIFF_RX_T32p	INIT_B		U3
B1	VREFB1N0	I/O	DIFFIN_T32n	DIFF_RX_C32n	CSO_B		V3
B2	VREFB2N0	I/O	DIFFIN_T33p	DIFF_RX_T33p			H7
B2	VREFB2N0	I/O	DIFFIN_T33n	DIFF_RX_C33n			G6
B2	VREFB2N0	I/O	DIFFIN_T34p	DIFF_RX_T34p			M8
B2	VREFB2N0	I/O	DIFFIN_T34n	DIFF_RX_C34n			N8
B2	VREFB2N0	I/O	DIFFIN_T35p	DIFF_RX_T35p			J7
B2	VREFB2N0	I/O	DIFFIN_T35n	DIFF_RX_C35n			J6
B2	VREFB2N0	I/O	DIFFIN_T36n	DIFF_RX_C36n			U15
B2	VREFB2N0	I/O	DIFFIN_T37p	DIFF_RX_T37p			H6
B2	VREFB2N0	I/O	DIFFIN_T37n	DIFF_RX_C37n			H5
B2	VREFB2N0	I/O	DIFFIN_T38p	DIFF_RX_T38p			U2



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D0-8U324C(6)
B2	VREFB2N0	I/O	DIFFIN_T38n	DIFF_RX_C38n			U1
B2	VREFB2N0	I/O	DIFFIN_T39p	DIFF_RX_T39p			L7
B2	VREFB2N0	I/O	DIFFIN_T39n	DIFF_RX_C39n			K6
B2	VREFB2N0	I/O	DIFFIN_T40p	DIFF_RX_T40p			T2
B2	VREFB2N0	I/O	DIFFIN_T40n	DIFF_RX_C40n			T1
B2	VREFB2N0	I/O	DIFFIN_T41p	DIFF_RX_T41p			F4
B2	VREFB2N0	I/O	DIFFIN_T41n	DIFF_RX_C41n			F3
B2	VREFB2N0	I/O	DIFFIN_T43p	DIFF_RX_T43p			E3
B2	VREFB2N0	I/O	DIFFIN_T43n	DIFF_RX_C43n			E1
B2	VREFB2N0	I/O	DIFFIN_T44p	DIFF_RX_T44p			L6
B2	VREFB2N0	I/O	DIFFIN_T44n	DIFF_RX_C44n			M5
B2	VREFB2N0	I/O/PCLK30	DIFFIN_T45p	DIFF_RX_T45p			L5
B2	VREFB2N0	I/O/PCLK31	DIFFIN_T45n	DIFF_RX_C45n			K5
B2	VREFB2N0	I/O/PCLK32	DIFFIN_T46p	DIFF_RX_T46p			K4
B2	VREFB2N0	I/O/PCLK33	DIFFIN_T46n	DIFF_RX_C46n			K3
B2	VREFB2N0	I/O/PCLK40/eclk	DIFFIN_T47p	DIFF_RX_T47p			H4
B2	VREFB2N0	I/O/PCLK41/eclk	DIFFIN_T47n	DIFF_RX_C47n			H3
B2	VREFB2N0	I/O/PCLK42/eclk	DIFFIN_T48p	DIFF_RX_T48p			H2
B2	VREFB2N0	I/O/PCLK43/eclk	DIFFIN_T48n	DIFF_RX_C48n			H1
B2	VREFB2N0	I/O	DIFFIN_T49p	DIFF_RX_T49p			D2
B2	VREFB2N0	I/O	DIFFIN_T49n	DIFF_RX_C49n			D1
B2	VREFB2N0	I/O	DIFFIN_T51p	DIFF_RX_T51p			F2
B2	VREFB2N0	I/O	DIFFIN_T51n	DIFF_RX_C51n			F1
B2	VREFB2N0	I/O	DIFFIN_T52p	DIFF_RX_T52p			L4
B2	VREFB2N0	I/O	DIFFIN_T52n	DIFF_RX_C52n			L3
B2	VREFB2N0	I/O	DIFFIN_T53p	DIFF_RX_T53p			G3
B2	VREFB2N0	I/O	DIFFIN_T53n	DIFF_RX_C53n			G1
B2	VREFB2N0	I/O	DIFFIN_T54p	DIFF_RX_T54p			L2
B2	VREFB2N0	I/O	DIFFIN_T54n	DIFF_RX_C54n			L1
B2	VREFB2N0	I/O	DIFFIN_T55p	DIFF_RX_T55p			J3
B2	VREFB2N0	I/O	DIFFIN_T55n	DIFF_RX_C55n			J1
B2	VREFB2N0	I/O	DIFFIN_T56p	DIFF_RX_T56p			M3
B2	VREFB2N0	I/O	DIFFIN_T56n	DIFF_RX_C56n			M1
B2	VREFB2N0	I/O	DIFFIN_T58p	DIFF_RX_T58p			P4
B2	VREFB2N0	I/O	DIFFIN_T58n	DIFF_RX_C58n			P3
B2	VREFB2N0	I/O	DIFFIN_T59p	DIFF_RX_T59p			K2
B2	VREFB2N0	I/O	DIFFIN_T59n	DIFF_RX_C59n			K1
B2	VREFB2N0	I/O	DIFFIN_T60p	DIFF_RX_T60p			N2
B2	VREFB2N0	I/O	DIFFIN_T60n	DIFF_RX_C60n			N1
B2	VREFB2N0	I/O	DIFFIN_T61p	DIFF_RX_T61p			N4
B2	VREFB2N0	I/O	DIFFIN_T61n	DIFF_RX_C61n			N3
B2	VREFB2N0	I/O	DIFFIN_T62p	DIFF_RX_T62p			P2
B2	VREFB2N0	I/O	DIFFIN_T62n	DIFF_RX_C62n			P1
B3	VREFB3N0	I/O	DIFFIN_B60p	DIFF_TX_T36p			C2
B3	VREFB3N0	I/O	DIFFIN_B60n	DIFF_TX_C36n			C1
B3	VREFB3N0	I/O	DIFFIN_B59p	DIFF_TX_T35p			B2
B3	VREFB3N0	I/O	DIFFIN_B59n	DIFF_TX_C35n			A2
B3	VREFB3N0	I/O	DIFFIN_B58p	DIFF_TX_T34p			E4
B3	VREFB3N0	I/O	DIFFIN_B58n	DIFF_TX_C34n			D3
B3	VREFB3N0	I/O	DIFFIN_B57p	DIFF_TX_T33p			D4
B3	VREFB3N0	I/O	DIFFIN_B57n	DIFF_TX_C33n			C4
B3	VREFB3N0	I/O	DIFFIN_B56p	DIFF_TX_T32p			F6
B3	VREFB3N0	I/O	DIFFIN_B56n	DIFF_TX_C32n			F5
B3	VREFB3N0	I/O	DIFFIN_B55p	DIFF_TX_T31p			B3
B3	VREFB3N0	I/O	DIFFIN_B55n	DIFF_TX_C31n			A3
B3	VREFB3N0	I/O	DIFFIN_B54p	DIFF_TX_T30p			D6
B3	VREFB3N0	I/O	DIFFIN_B54n	DIFF_TX_C30n			C6
B3	VREFB3N0	I/O	DIFFIN_B53p	DIFF_TX_T29p			B4
B3	VREFB3N0	I/O	DIFFIN_B53n	DIFF_TX_C29n			A4
B3	VREFB3N0	I/O	DIFFIN_B52p	DIFF_TX_T28p			F7
B3	VREFB3N0	I/O	DIFFIN_B52n	DIFF_TX_C28n			E6
B3	VREFB3N0	I/O	DIFFIN_B51p	DIFF_TX_T27p			C5
B3	VREFB3N0	I/O	DIFFIN_B51n	DIFF_TX_C27n			A5
B3	VREFB3N0	I/O	DIFFIN_B50p	DIFF_TX_T26p			E7
B3	VREFB3N0	I/O	DIFFIN_B50n	DIFF_TX_C26n			E8
B3	VREFB3N0	I/O	DIFFIN_B49p	DIFF_TX_T25p			B6
B3	VREFB3N0	I/O	DIFFIN_B49n	DIFF_TX_C25n			A6
B3	VREFB3N0	I/O	DIFFIN_B48p	DIFF_TX_T24p			D8
B3	VREFB3N0	I/O	DIFFIN_B48n	DIFF_TX_C24n			C8
B3	VREFB3N0	I/O	DIFFIN_B47p	DIFF_TX_T23p			C7
B3	VREFB3N0	I/O	DIFFIN_B47n	DIFF_TX_C23n			A7
B3	VREFB3N0	I/O	DIFFIN_B46p	DIFF_TX_T22p			G8
B3	VREFB3N0	I/O	DIFFIN_B46n	DIFF_TX_C22n			F8
B3	VREFB3N0	I/O	DIFFIN_B45p	DIFF_TX_T21p			B8
B3	VREFB3N0	I/O	DIFFIN_B45n	DIFF_TX_C21n			A8
B3	VREFB3N0	I/O/PCLK50/eclk	DIFFIN_B44p/PLL_IN	DIFF_RX_T20p			D9
B3	VREFB3N0	I/O/PCLK51/eclk	DIFFIN_B44n/PLL_IN	DIFF_RX_C20n			C9
B3	VREFB3N0	I/O/PCLK52/eclk	DIFFIN_B43p/PLL_IN	DIFF_RX_T19p			B9
B3	VREFB3N0	I/O/PCLK53/eclk	DIFFIN_B43n/PLL_IN	DIFF_RX_C19n			A9
B3	VREFB3N0	I/O/PCLK60	DIFFIN_B42p/PLL_IN	DIFF_RX_T18p			D11
B3	VREFB3N0	I/O/PCLK61	DIFFIN_B42n/PLL_IN	DIFF_RX_C18n			C11
B3	VREFB3N0	I/O/PCLK62	DIFFIN_B41p/PLL_IN	DIFF_RX_T17p			C10
B3	VREFB3N0	I/O/PCLK63	DIFFIN_B41n/PLL_IN	DIFF_RX_C17n			A10



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D0-8U324C(6)
B3	VREFB3N0	I/O	DIFFIN_B40p	DIFF_TX_T16p			G9
B3	VREFB3N0	I/O	DIFFIN_B40n	DIFF_TX_C16n			F9
B3	VREFB3N0	I/O	DIFFIN_B39p	DIFF_TX_T15p			B11
B3	VREFB3N0	I/O	DIFFIN_B39n	DIFF_TX_C15n			A11
B3	VREFB3N0	I/O	DIFFIN_B38p	DIFF_TX_T14p			D12
B3	VREFB3N0	I/O	DIFFIN_B38n	DIFF_TX_C14n			C12
B3	VREFB3N0	I/O	DIFFIN_B37p	DIFF_TX_T13p			B12
B3	VREFB3N0	I/O	DIFFIN_B37n	DIFF_TX_C13n			A12
B3	VREFB3N0	I/O	DIFFIN_B36p	DIFF_TX_T12p			D14
B3	VREFB3N0	I/O	DIFFIN_B36n	DIFF_TX_C12n			C14
B3	VREFB3N0	I/O	DIFFIN_B35p	DIFF_TX_T11p			C13
B3	VREFB3N0	I/O	DIFFIN_B35n	DIFF_TX_C11n			A13
B3	VREFB3N0	I/O	DIFFIN_B34p	DIFF_TX_T10p			G11
B3	VREFB3N0	I/O	DIFFIN_B34n	DIFF_TX_C10n			F10
B3	VREFB3N0	I/O	DIFFIN_B33p	DIFF_TX_T9p			B14
B3	VREFB3N0	I/O	DIFFIN_B33n	DIFF_TX_C9n			A14
B3	VREFB3N0	I/O	DIFFIN_B32p	DIFF_TX_T8p			F11
B3	VREFB3N0	I/O	DIFFIN_B32n	DIFF_TX_C8n			E11
B3	VREFB3N0	I/O	DIFFIN_B31p	DIFF_TX_T7p			C15
B3	VREFB3N0	I/O	DIFFIN_B31n	DIFF_TX_C7n			A15
B3	VREFB3N0	I/O	DIFFIN_B30p	DIFF_TX_T6p			F12
B3	VREFB3N0	I/O	DIFFIN_B30n	DIFF_TX_C6n			E12
B3	VREFB3N0	I/O	DIFFIN_B29p	DIFF_TX_T5p			B16
B3	VREFB3N0	I/O	DIFFIN_B29n	DIFF_TX_C5n			A16
B3	VREFB3N0	I/O	DIFFIN_B28p	DIFF_TX_T4p			F13
B3	VREFB3N0	I/O	DIFFIN_B28n	DIFF_TX_C4n			E13
B3	VREFB3N0	I/O	DIFFIN_B27p	DIFF_TX_T3p			L14
B3	VREFB3N0	I/O	DIFFIN_B27n	DIFF_TX_C3n			M13
B3	VREFB3N0	I/O	DIFFIN_B26p	DIFF_TX_T2p			M14
B3	VREFB3N0	I/O	DIFFIN_B26n	DIFF_TX_C2n			N14
B3	VREFB3N0	I/O	DIFFIN_B25p	DIFF_TX_T1p			C17
B3	VREFB3N0	I/O	DIFFIN_B25n	DIFF_TX_C1n			C18
B4	VREFB4N0	I/O	DIFFIN_B24p			DQ1	U17
B4	VREFB4N0	I/O	DIFFIN_B24n			DQ1	U18
B4	VREFB4N0	I/O	DIFFIN_B23p			DQ1	K12
B4	VREFB4N0	I/O	DIFFIN_B23n			DQ1	K13
B4	VREFB4N0	I/O	DIFFIN_B22p			DQ1	T17
B4	VREFB4N0	I/O	DIFFIN_B22n			DQ1	T18
B4	VREFB4N0	I/O	DIFFIN_B21p			DQ1	H13
B4	VREFB4N0	I/O	DIFFIN_B21n			DQ1	H14
B4	VREFB4N0	I/O	DIFFIN_B20p			DQ1	P17
B4	VREFB4N0	I/O	DIFFIN_B20n			DQ1	P18
B4	VREFB4N0	I/O	DIFFIN_B19p			DQS1	N15
B4	VREFB4N0	I/O	DIFFIN_B19n			/DQS1	N16
B4	VREFB4N0	I/O	DIFFIN_B18p			DQ1	N17
B4	VREFB4N0	I/O	DIFFIN_B18n			DQ1	N18
B4	VREFB4N0	I/O	DIFFIN_B17p			DQ1	H12
B4	VREFB4N0	I/O	DIFFIN_B17n			DQ1	G13
B4	VREFB4N0	I/O	DIFFIN_B16p			DQ1	J13
B4	VREFB4N0	I/O	DIFFIN_B16n			DQ1	K14
B4	VREFB4N0	I/O	DIFFIN_B15p			DQ1	D17
B4	VREFB4N0	I/O	DIFFIN_B15n			DQ1	D18
B4	VREFB4N0	I/O	PCLK70	DIFFIN_B14p		DQ0	L12
B4	VREFB4N0	I/O	PCLK71	DIFFIN_B14n		DQ0	L13
B4	VREFB4N0	I/O	PCLK72	DIFFIN_B13p		DQ0	L15
B4	VREFB4N0	I/O	PCLK73	DIFFIN_B13n		DQ0	L16
B4	VREFB4N0	I/O	PCLK80/eclk	DIFFIN_B12p		DQ0	K15
B4	VREFB4N0	I/O	PCLK81/eclk	DIFFIN_B12n		DQ0	K16
B4	VREFB4N0	I/O	PCLK82/eclk	DIFFIN_B11p		DQ0	H17
B4	VREFB4N0	I/O	PCLK83/eclk	DIFFIN_B11n		DQ0	H18
B4	VREFB4N0	I/O		DIFFIN_B10p		DQ0	M16
B4	VREFB4N0	I/O		DIFFIN_B10n		DQ0	M18
B4	VREFB4N0	I/O		DIFFIN_B9p		DQ0	F14
B4	VREFB4N0	I/O		DIFFIN_B9n		DQ0	G14
B4	VREFB4N0	I/O		DIFFIN_B8p		DQ0	L17
B4	VREFB4N0	I/O		DIFFIN_B8n		DQ0	L18
B4	VREFB4N0	I/O		DIFFIN_B7p		DQS0	K17
B4	VREFB4N0	I/O		DIFFIN_B7n		/DQS0	K18
B4	VREFB4N0	I/O		DIFFIN_B6p		DQ0	J16
B4	VREFB4N0	I/O		DIFFIN_B6n		DQ0	J18
B4	VREFB4N0	I/O		DIFFIN_B5p		DQ0	E16
B4	VREFB4N0	I/O		DIFFIN_B5n		DQ0	E18
B4	VREFB4N0	I/O		DIFFIN_B4p		DQ0	H15
B4	VREFB4N0	I/O		DIFFIN_B4n		DQ0	H16
B4	VREFB4N0	I/O		DIFFIN_B3p		DQ0	F17
B4	VREFB4N0	I/O		DIFFIN_B3n		DQ0	F18
B4	VREFB4N0	I/O		DIFFIN_B2p/PLL1_FB		DQ0	F15
B4	VREFB4N0	I/O		DIFFIN_B2n		DQ0	F16
BADC	VREFBAUXN0	I/O		DIFFIN_B1p/PLL1_REF	ADC IN1		G18
BADC	VREFBAUXN0	I/O		DIFFIN_B1n	ADC IN0		G16



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	High Speed	Configuration Function	DQS	SA5Z-30-D0-8U324C(6)
		VCCEXT					G7
		VCCEXT					H11
		VCCEXT					H9
		VCCEXT					J10
		VCCEXT					J8
		VCCEXT					K11
		VCCEXT					K9
		VCCEXT					L10
		VCCEXT					L8
		VCCEXT					M12
		VCCEXT					M7
		VCCAUX					B1
		VCCAUX					B17
		VCCAUX					E14
		VCCAUX					E5
		VCCAUX					E9
		VCCAUX					G10
		VCCAUX					J12
		VCCAUX					K7
		VCCAUX					M9
		VCCAUX					P10
		VCCAUX					P14
		VCCAUX					P5
		VCCIO1					P9
		VCCIO1					R12
		VCCIO1					R6
		VCCIO1					U14
		VCCIO1					U4
		VCCIO1					U9
		VCCIO2					E2
		VCCIO2					G4
		VCCIO2					J2
		VCCIO2					J5
		VCCIO2					M4
		VCCIO2					R2
		VCCIO3					B5
		VCCIO3					B10
		VCCIO3					B15
		VCCIO3					D7
		VCCIO3					D13
		VCCIO3					E10
		VCCIO4					E17
		VCCIO4					G15
		VCCIO4					J14
		VCCIO4					J17
		VCCIO4					M15
		VCCIO4					R17
		GND					A1
		GND					A18
		GND					B13
		GND					B7
		GND					C16
		GND					C3
		GND					D10
		GND					D5
		GND					E15
		GND					G12
		GND					G17
		GND					G2
		GND					G5
		GND					H10
		GND					H8
		GND					J11
		GND					J15
		GND					J4
		GND					J9
		GND					K10
		GND					K8
		GND					L11
		GND					L9
		GND					M17
		GND					M2
		GND					M6
		GND					N13
		GND					R1
		GND					R14
		GND					R18
		GND					R4
		GND					R9
		GND					T16
		GND					U12
		GND					U6
		GND					V1
		GND					V18
		NC					R16
		NC					P13



【注】

- (1) 如封装列表没有 p 或 n 端口, 不支持其差分功能
- (2) 在没有 DQS 端口, 其 DQ 组合不支持
- (3) 被标记的 VCCIO 电位为 1.8V
- (4) VCCIOJ/VCCIO1/VCCIO2/VCCAUX/VCCADC 被内部连接和分配到 G4, D7, D9, D13 和 L4, 只能支持 3.3V
- (5) VCCIOJ 和 VCCIO1 被内部连接, 同时 VCCAUX 和 VCCADC 被内部连接
- (6) VCCIOJ 和 VCCIO1 被内部连接, 同时 VCCIO4 和 VCCADC 被内部连接
- (7) 被标记的端口不能用作用户 IO。於 SA5Z-30-D0, JTAGEND 和 VCCIO1 是连接一齐
- (8) RX 端口的 P/N 并没有 100Ω 差分电阻, 亦即用户需要版上加差分电阻

西安智多晶微

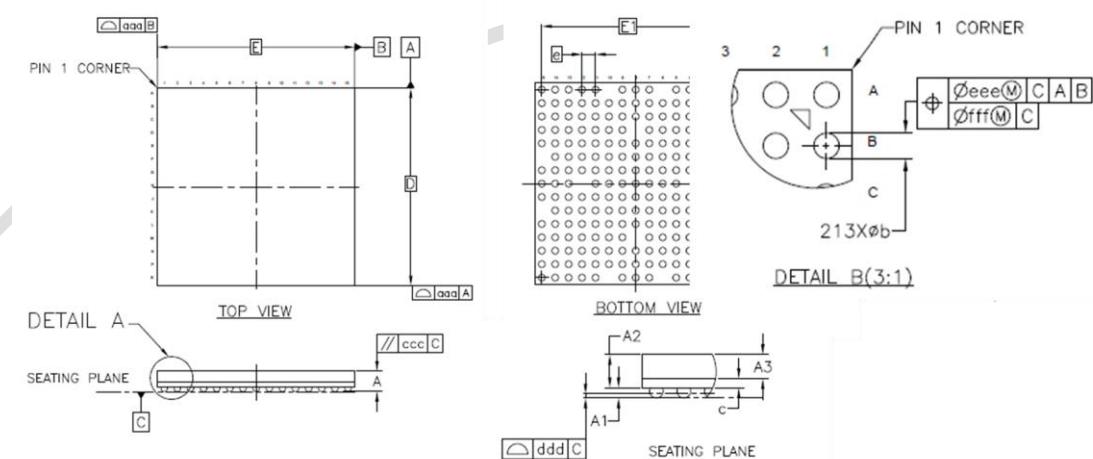


2.5 213-pin uBGA 封装尺寸

Package Outline Dimension Table			
Symbol	Millimeters		
	Min.	Nom.	Max.
A	---	---	1.34
A1	0.25	0.30	0.35
A2	0.91	0.96	1.01
D	11.90	12.00	12.10
E	11.90	12.00	12.10
A3	0.70 BSC		
D1	11.20 BSC		
E1	11.20 BSC		
c	0.22	0.26	0.30
b	0.35	0.40	0.45
e	0.8 BSC		
aaa	0.10		
ccc	0.20		
ddd	0.12		
eee	0.15		
fff	0.08		

表 2-4 213-pin uBGA 封装尺寸表

图 2-2 213-pin uBGA 封装尺寸图



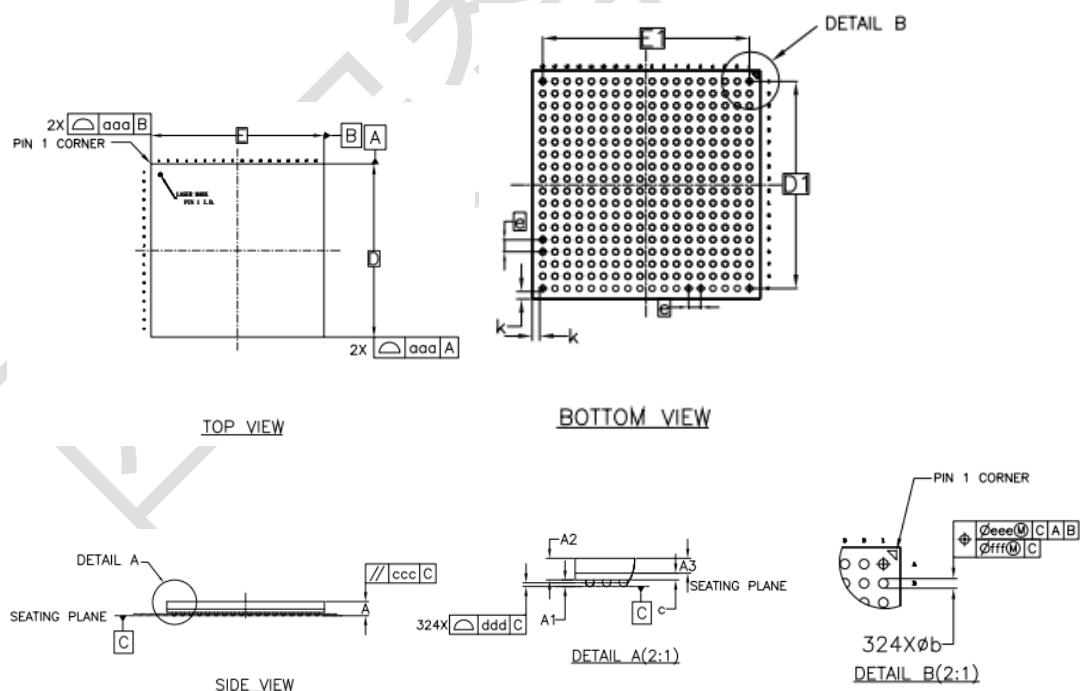


2.6 324-pin uBGA 封装尺寸

Package Outline Dimension Table			
Symbol	Millimeters		
	Min.	Nom.	Max.
A	1.23	1.33	1.41
A1	0.26	0.31	0.36
A2	0.97	1.02	1.07
A3		0.70 BASIC	
C	0.28	0.32	0.36
D	14.90	15.00	15.10
E	14.90	15.00	15.10
D1		13.60 BASIC	
E1		13.60 BASIC	
b	0.35	0.40	0.45
e		0.80 BSC	
k		0.500 REF	

表 2-5 324-pin uBGA 封装尺寸表

图 2-3 324-pin uBGA 封装尺寸图





3 SA5Z-30 交直流特性

往后补充

西安智多晶

版权所有©2020 西安智多晶微电子有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除西安智多晶在其产品的销售条款和条件中声明的责任之外，西安智多晶概不承担任何法律或非法律责任。西安智多晶对西安智多晶产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。西安智多晶对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，西安智多晶保留修改文档中任何内容的权利，恕不另行通知。西安智多晶不承诺对这些文档进行适时的更新。