

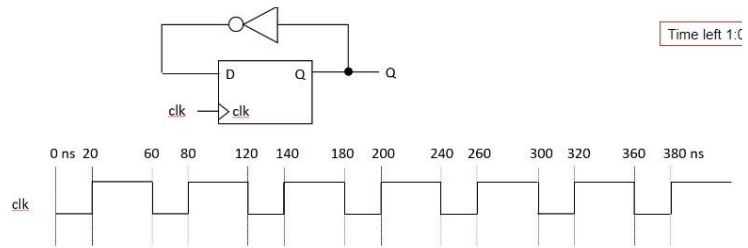
*Analise o circuito da figura e as características do sinal clk

O sinal Q tem o mesmo duty cycle que o sinal clk e a sua frequência é o dobro da frequência do sinal clk.

O sinal Q tem duty cycle = 50% e a sua frequência é a metade da frequência do sinal clk

O sinal Q tem o mesmo duty cycle que o sinal clk e a sua frequência é a metade da frequência do sinal clk

O sinal Q tem duty cycle = 50% e a sua frequência é o dobro da frequência do sinal clk



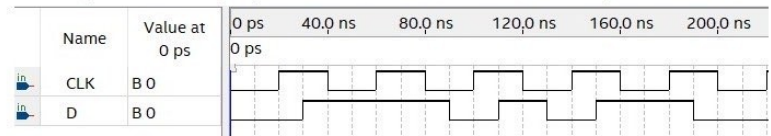
*Considere um negative-edge triggered flip-flop D cujas entradas D e clk evoluem no tempo conforme ilustrado na figura. Assuma que a saída Q do flip-flop é '0' antes do 1º flanco ativo do sinal de clk e que todos os atrasos são nulos.

A saída do flip-flop terá o valor '0' nos intervalos de tempo de 0 a 30 ns, de 100 a 110 ns, de 140 a 150 ns, e de 190 a 200 ns

A saída do flip-flop terá o valor '0' nos intervalos de tempo de 0 a 20 ns, de 100 a 160 ns

A saída do flip-flop terá o valor '0' nos intervalos de tempo de 0 a 40 ns e de 200 a 220 ns

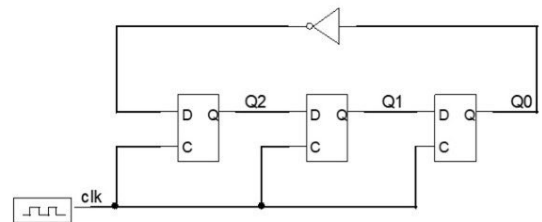
Todas as opções restantes estão erradas.



*Analise o circuito da figura seguinte

Assuma que os flip-flops que compõem o circuito da figura têm as características temporais seguintes: $t_{\text{setup}} = 15$ ns, $t_{\text{hold}} = 5$ ns, $t_{\text{pHL}} = 25$ ns, $t_{\text{pLH}} = 18$ ns. Nestas condições, o período mínimo de funcionamento do circuito, em ns, é:

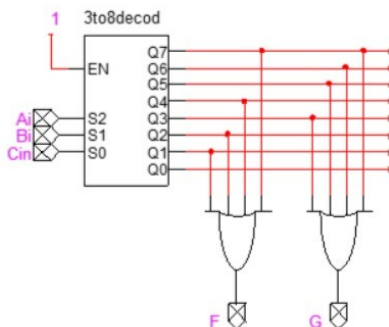
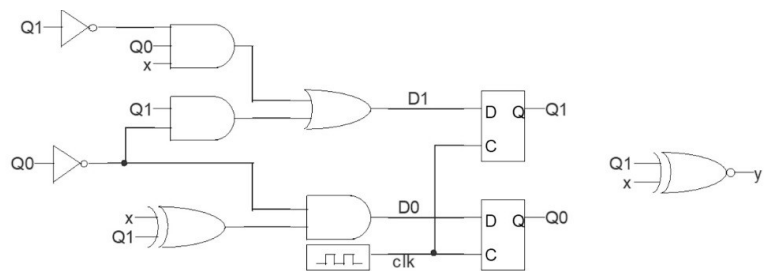
- 40
- 68
- 45**
- 20



*Analise o circuito da figura seguinte.

Assumindo que os flip-flops do circuito têm as seguintes especificações temporais: flip-flops: $t_{\text{setup}} = 15$ ns, $t_{\text{hold}} = 4$ ns, $t_{\text{pHL}} = 20$ ns, $t_{\text{pLH}} = 15$ ns, determine (em ns) o tempo de atraso máximo de uma porta lógica para que o circuito possa funcionar a frequência de 20MHz. Arredonde a resposta para o valor inteiro mais próximo.

5



*Analise o circuito da figura. Trata-se dum somador completo de 1 bit implementado a partir dum decodificador 3 para 8.

Relativamente a este circuito podemos concluir que:

A função F corresponde à saída SOMA dum somador completo de 1 bit

$$F = A_i \cdot B_i + C_{in} \cdot (A_i + B_i)$$

A função F corresponde à saída CARRY_OUT dum somador completo de 1 bit

$$F = A_i \text{ xor } B_i \text{ xor } C_{in}$$

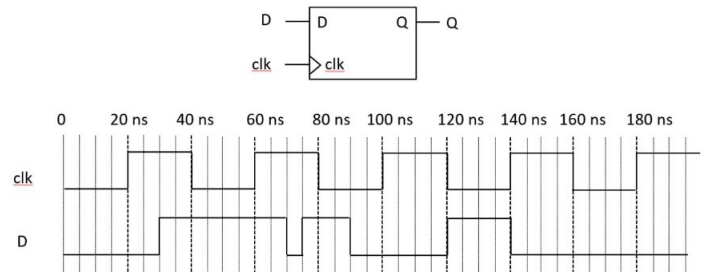
*Considere o flip-flop D da figura com as características temporais seguintes: $t_{\text{setup}} = 5 \text{ ns}$, $t_{\text{hold}} = 3 \text{ ns}$, $t_{\text{pHL}} = 10 \text{ ns}$, $t_{\text{pLH}} = ?$
A análise do diagrama temporal da figura permite concluir que:

Todas as opções restantes estão erradas.

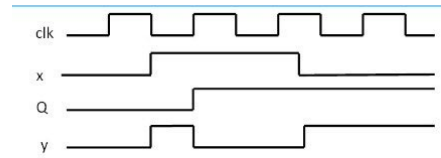
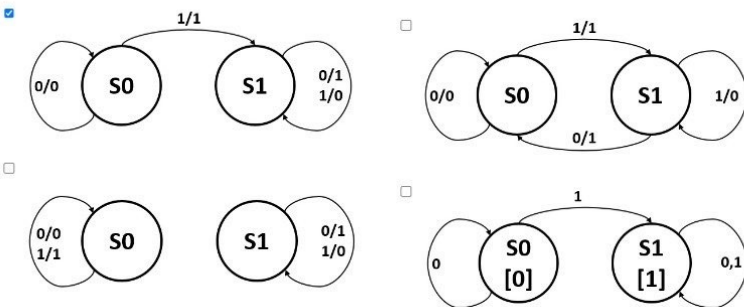
O flip-flop funciona corretamente para todos os valores da entrada D da figura.

O flip-flop pode entrar em meta-estabilidade aos 70 ns e ter o problema de estado resolvido aos 100 ns.

O flip-flop pode entrar em meta-estabilidade aos 140ns e ter o problema de estado resolvido aos 190 ns. ?????



*Considere o diagrama temporal da figura.
O diagrama de estados desta máquina é:



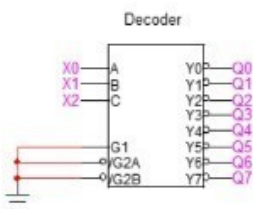
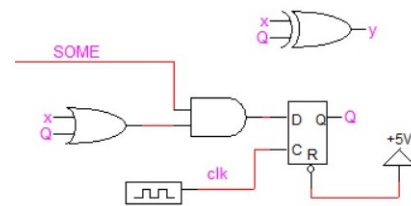
*Considere o circuito da figura:

Neste circuito o sinal SOME, é:
reset síncrono ativo a 0

reset assíncrono ativo a 0

reset assíncrono ativo a 1

reset síncrono ativo a 1



*Considere o bloco combinatório da figura.
Sejam $X=(X_2, X_1, X_0)$ e $Q=(Q_7, \dots, Q_0)$. Se $X=7_{10}$ então
 $Q = 7F_{16}$
 $Q = 7E_{16}$
 $Q = FF_{16}$
 $Q = 80_{16}$

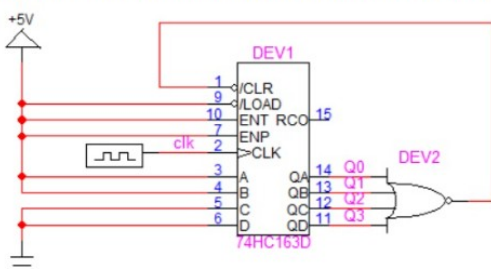
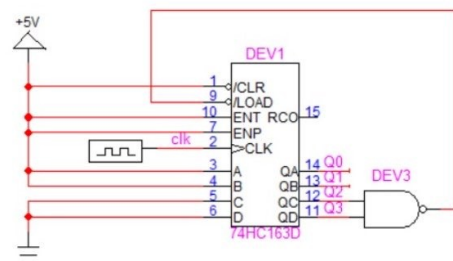
*Considere o circuito da figura que inclui um contador binário de 4 bits com entradas de clear (CLR_L) e load (LD_L) síncronas.
Seja $Q=(Q_3, \dots, Q_0)$. A sequência de contagem (Q) deste circuito, representada em hexadecimal, é:

3, 4, 5, 6

3, 4, 5, 6, 7, 8, 9, A, B, C

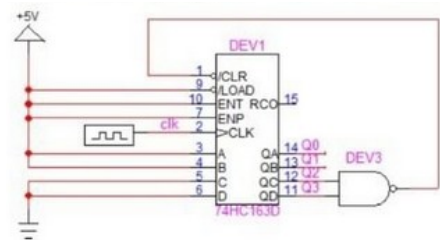
0, 1, 2, 3

C



*Considere o circuito da figura que inclui um contador binário de 4 bits com entradas de clear (CLR_L) e load (LD_L) síncronas.
O módulo deste contador é: ??????????????

*Considere o circuito da figura que inclui um contador binário de 4 bits com entradas de clear (CLR_L) e load (LD_L) síncronas.
O módulo deste contador é: **13**



*Considere o circuito da figura onde FA designa “Full Adder” e HA designa “Half Adder”. O circuito tem entradas de 4 bits $A = (A_3A_2A_1A_0)$ e $B = (B_3B_2B_1B_0)$ e uma saída de 3 bits $(N_2N_1N_0)$.

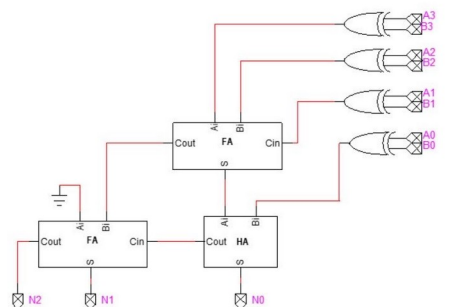
Relativamente a este circuito podemos dizer que:
(Selecione uma opção)

Determina o número de bits iguais entre A e B.

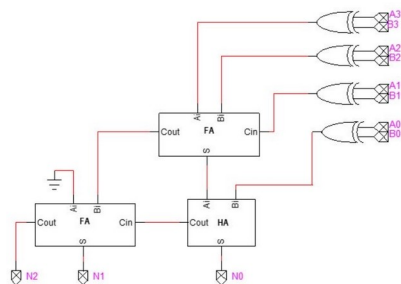
Determina a distância de Hamming entre as palavras A e B

Determina quais os bits diferentes entre A e B.

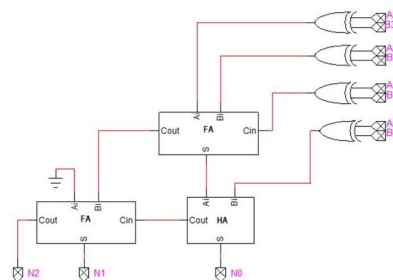
É um contador de “1” em palavras de 4 bits.



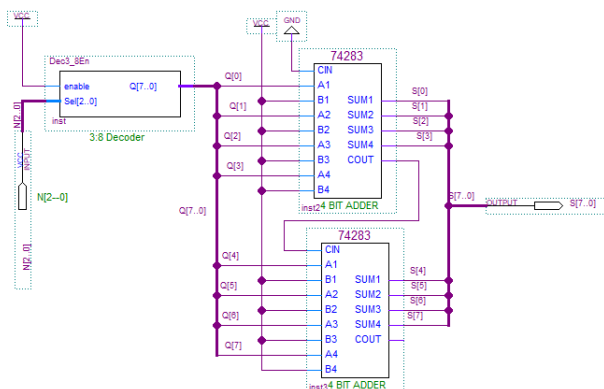
*Considere o circuito da figura. Sejam $(A_3...A_0) = C_{16}$ e $(B_3...B_0) = 3_{16}$.
Neste contexto o valor decimal correspondente a $(N_2N_1N_0)$ é: **4**



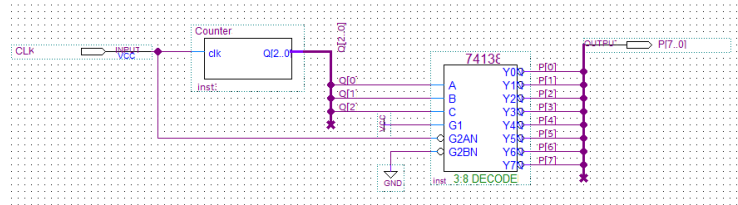
*Considere o circuito da figura. Sejam $(A_3...A_0) = F_{16}$ e $(B_3...B_0) = 0_{16}$.
Neste contexto o valor decimal correspondente a $(N_2N_1N_0)$ é: **4**



*Considere o sistema da figura onde se efetua um determinado cálculo num contexto de representação em complemento para 2. A entrada é $N = (N_2N_1N_0)$ e a saída é $S = (S_7, ..., S_0)$.
Se $N = 4_{10}$, o valor decimal da saída S é: **????????????**



*Considere o diagrama lógico seguinte que usa o bloco Counter (um contador binário crescente de 3 bits) e o componente 74138 (um decodificador binário 3:8). Se $f_{CLK}=100\text{MHz}$, pode-se afirmar que será gerado na saída P[7], um pulso negativo a cada



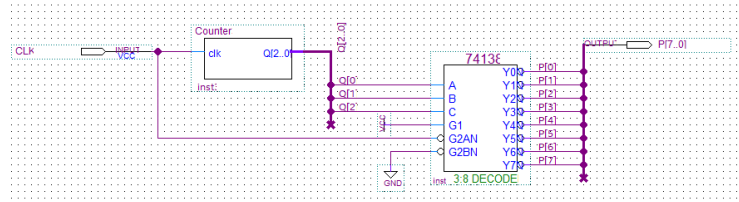
70 ns

80 ns

10 ns

100 ns

*Considere o diagrama lógico seguinte que usa o bloco Counter (um contador binário crescente de 3 bits) e o componente 74138 (um decodificador binário 3:8). Se $f_{CLK}=25\text{MHz}$, pode-se afirmar que será gerado na saída P[5], um pulso negativo a cada



25 ns

200 ns

320 ns

40 ns

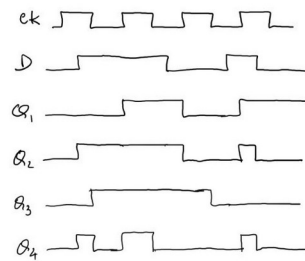
*Considere os sinais da figura. (Selecione um ou mais)

Q4 é uma saída duma Latch D com enable a "1"

Q3 é uma saída dum flip-flop D "positive edge-triggered"

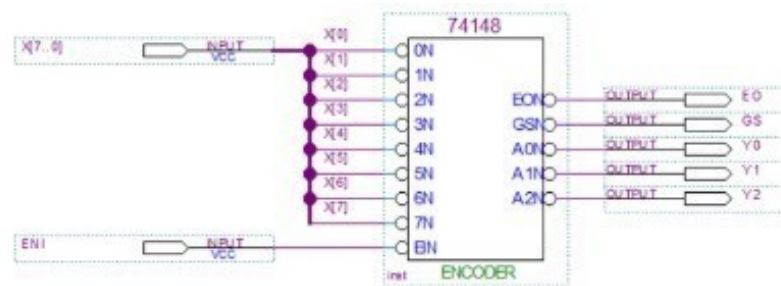
Q1 é uma saída dum flip-flop D "positive edge-triggered"

Q2 é uma saída duma Latch D "positive edge-triggered"



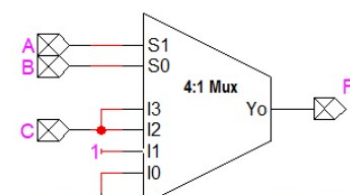
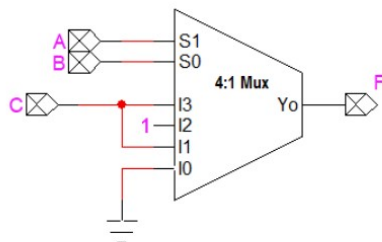
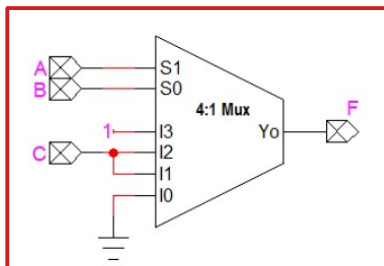
*Considere o codificador de prioridade 74148 tal como se mostra na figura.

Inputs									Outputs				
EI	7	6	5	4	3	2	1	0	A3	A2	A1	GS	EO
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	x	x	x	x	x	x	x	0	0	0	0	1
0	1	0	x	x	x	x	x	x	0	0	1	0	1
0	1	1	0	x	x	x	x	x	0	1	0	0	1
0	1	1	1	0	x	x	x	x	0	1	1	0	1
0	1	1	1	1	0	x	x	x	1	0	0	0	1
0	1	1	1	1	1	0	x	x	1	0	1	0	1
0	1	1	1	1	1	1	0	x	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1



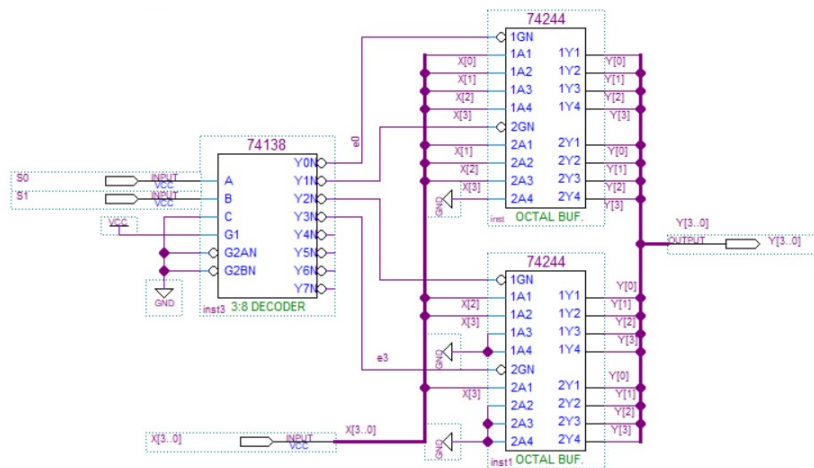
Admita que a entrada ENI = 0. Se tivermos a entrada $(X_7, \dots, X_0) = 9E_{16}$ a representação decimal da saída $(Y_2Y_1Y_0)$ é: 0

*Seja $F(A,B,C) = A.B + A.C + B.C$. Qual das implementações seguintes baseadas em multiplexers está correta?



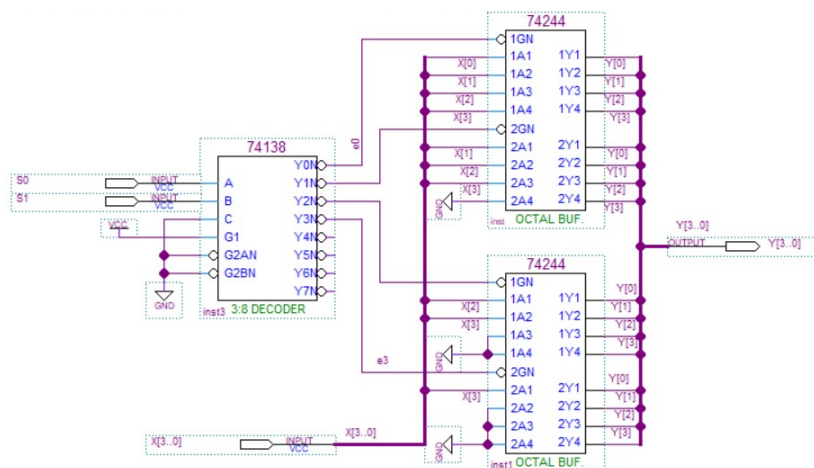
*Considere o esquema lógico da figura baseado no decodificador 74138 e em Buffers 3's 74244.

Se entradas forem $S=(S_1, S_0)=10_2$ e $X=(X_3, \dots, X_0)=12_{10}$, o valor decimal da saída $Y=(Y_3, \dots, Y_0)$ será: **3 ?????**



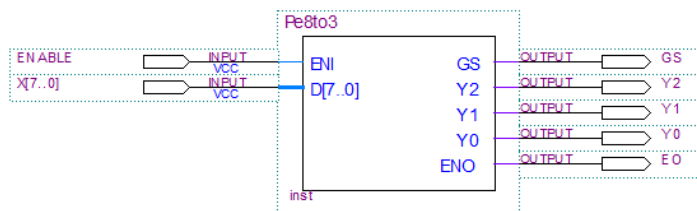
*Considere o esquema lógico da figura baseado no decodificador 74138 e em Buffers 3's 74244.

Se entradas forem $S=(S_1, S_0)=01_2$ e $X=(X_3, \dots, X_0)=5_{10}$, o valor decimal da saída $Y=(Y_3, \dots, Y_0)$ será: **2**



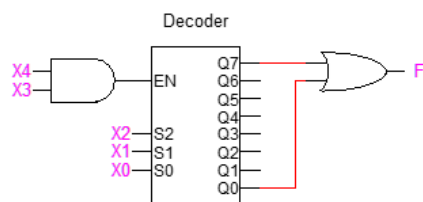
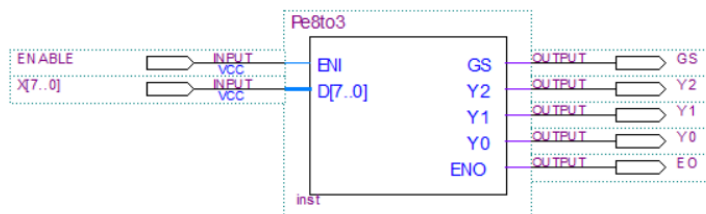
*Considere o codificador de prioridade genérico tal como se mostra na figura.

Admita que a entrada $ENABLE=1$. Se tivermos a entrada $(X_7 \dots X_0)=2F_{16}$ a representação decimal da saída $(Y_2 Y_1 Y_0)$ é: **5**



*Considere o codificador de prioridade genérico tal como se mostra na figura.

Admita que a entrada $ENABLE=1$. Se tivermos a entrada $(X_7 \dots X_0)=8F_{16}$ a representação decimal da saída $(Y_2 Y_1 Y_0)$ é: **7 ?????**



*Tendo em conta o circuito da figura, a função F pode ser descrita pela soma dos seguintes termos mínimos: **24,31**

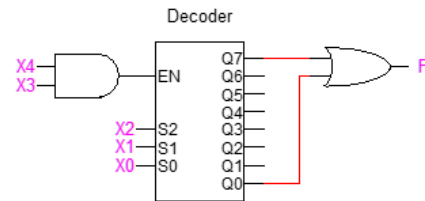
*Considere o circuito lógico da figura.
Neste caso é possível deduzir que:

$$F = X_4 \cdot X_3 \cdot X_2 \cdot (X_1 \text{ xor } X_0)$$

$$F = X_4 \cdot X_3 \cdot (X_2 \cdot X_1 \cdot X_0 + X_2 \cdot X_1' \cdot X_0')$$

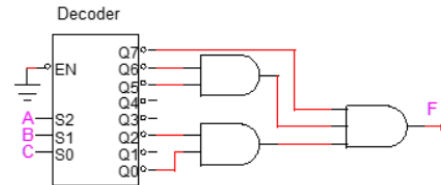
$$F = X_4 \cdot X_3 \cdot X_2 \cdot (X_1 \text{ xor } X_0)'$$

$$F = X_4 \cdot X_3 \cdot (X_2 \cdot X_1 \cdot X_0 + X_2 \cdot X_1' \cdot X_0')$$



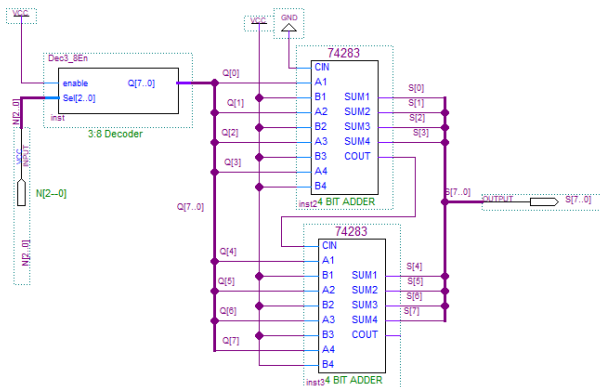
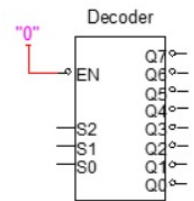
*Considere o circuito lógico da figura.

A função $F(A,B,C)$ pode ter como soma de produtos mínima (Selecione uma opção)
 $F(A,B,C) = A \cdot B' \cdot C + A' \cdot C$
 $F(A,B,C) = A \cdot C' + A' \cdot B \cdot C$
 $F(A,B,C) = A \cdot B' \cdot C' + A' \cdot C$
 $F(A,B,C) = A \cdot C' + A' \cdot B \cdot C'$



*Considere o bloco combinatório da figura.

Considere o bloco combinatório da figura. Seja $S=(S_2,S_1,S_0)$ e $Q=(Q_7,...,Q_0)$, ambas as quantidades especificadas sem sinal (unsigned) Se a representação decimal da entrada S for 4 então a representação decimal da saída Q será: **239**



*Considere o sistema da figura onde se efetua um determinado cálculo num contexto de representação em complemento para 2. A entrada é $N = (N_2N_1N_0)$ e a saída é $S = (S_7,...,S_0)$.
Se $N = 4_{10}$, o valor decimal da saída S é: **?????**

*Considere o circuito lógico da figura.

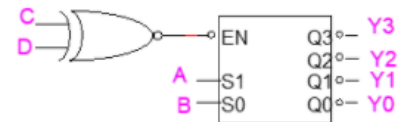
Escolha a tabela funcional adequada para o subconjunto de combinações das entradas A,B,C,D

A	B	C	D	Y3	Y2	Y1	Y0
0	1	0	0	0	0	1	0
0	1	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	0	1	0	0

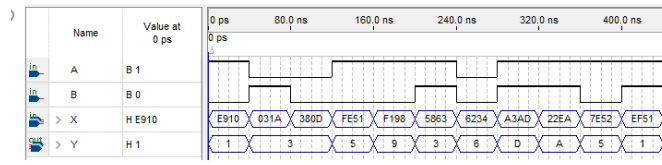
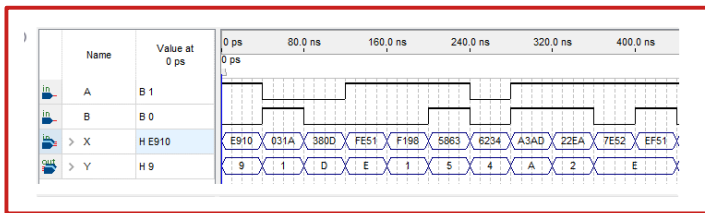
A	B	C	D	Y3	Y2	Y1	Y0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	0	0	0

A	B	C	D	Y3	Y2	Y1	Y0
0	1	0	0	1	1	1	1
0	1	0	1	1	1	0	1
1	0	1	0	1	0	1	1
1	0	1	1	1	1	1	1

A	B	C	D	Y3	Y2	Y1	Y0
0	1	0	0	1	1	0	1
0	1	0	1	1	1	1	1
1	0	1	0	1	1	1	1
1	0	1	1	0	1	1	1



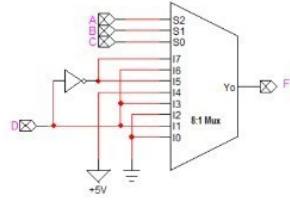
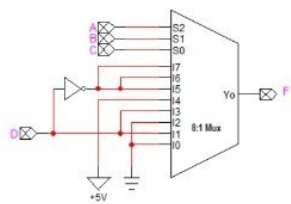
*Considere o circuito lógico da figura.
Escolha o diagrama temporal correto



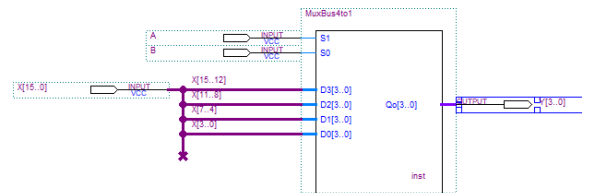
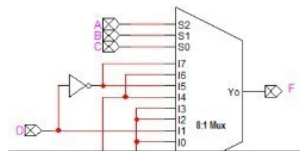
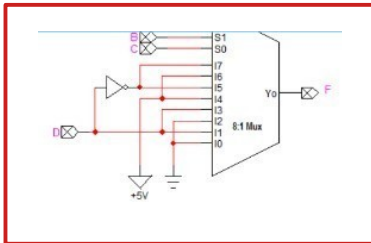
?

?

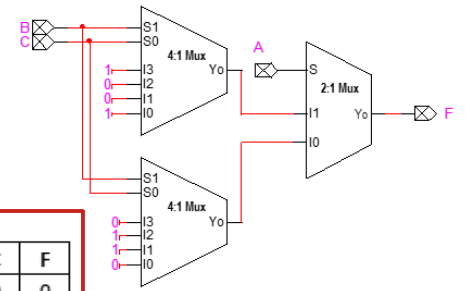
*A função $F(A,B,C,D)$ tem o seguinte mapa de Karnaugh
Escolha a implementação correta baseada num multiplexador 8:1 ??????



	00	01	11	10	AB
00	0	0	1	1	
01	0	0	1	1	
11	1	1	0	0	
10	0	0	1	1	
CD					



*Dado o circuito lógico da figura
escolha a tabela de verdade correta para F(A,B,C)



A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

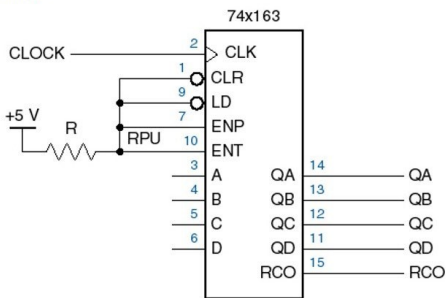
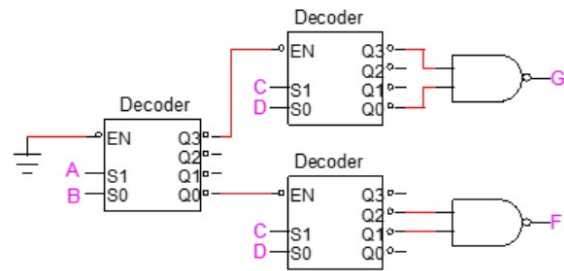
*Considere o circuito lógico da figura.
Neste caso podemos deduzir que
(Selecione uma opção)

$$F = A' \cdot B' \cdot (C + D)'$$

$$F = A' \cdot B' \cdot (C \text{ xor } D)'$$

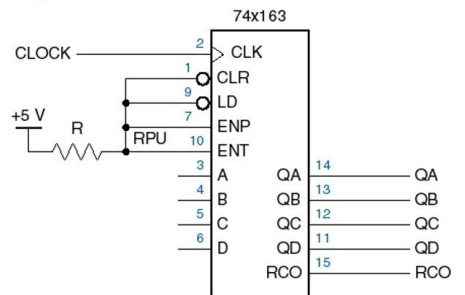
$$F = A \cdot B \cdot (C \text{ xor } D)$$

$$F = A' \cdot B' \cdot (C \text{ xor } D)$$



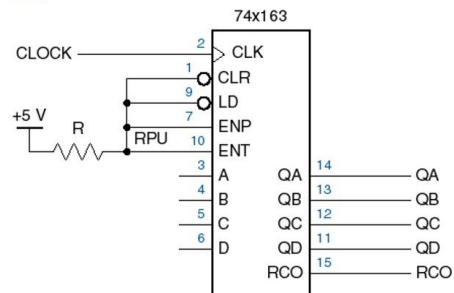
*Considere o circuito da figura que inclui um contador binário de 4 bits com entradas de clear (CLR_L) e load (LD_L) síncronas.
Se o sinal CLOCK tem frequência de 118 MHz a frequência da saída QD, expressa em MHz, é (arredonde a sua resposta para o valor inteiro mais próximo): **15 Mhz**

*Considere o circuito da figura que inclui um contador binário de 4 bits com entradas de clear (CLR_L) e load (LD_L) síncronas.
Se o sinal CLOCK tem frequência de 69 MHz a frequência da saída QD, expressa em MHz, é (arredonde a sua resposta para o valor inteiro mais próximo): **4 Mhz**



*O duty cycle do sinal QB:

É idêntico ao duty cycle do sinal CLOCK.
É igual a um quarto do duty cycle do sinal CLOCK.
É igual a 25%.
É igual a 50%.



*Analise a máquina de estados da figura seguinte

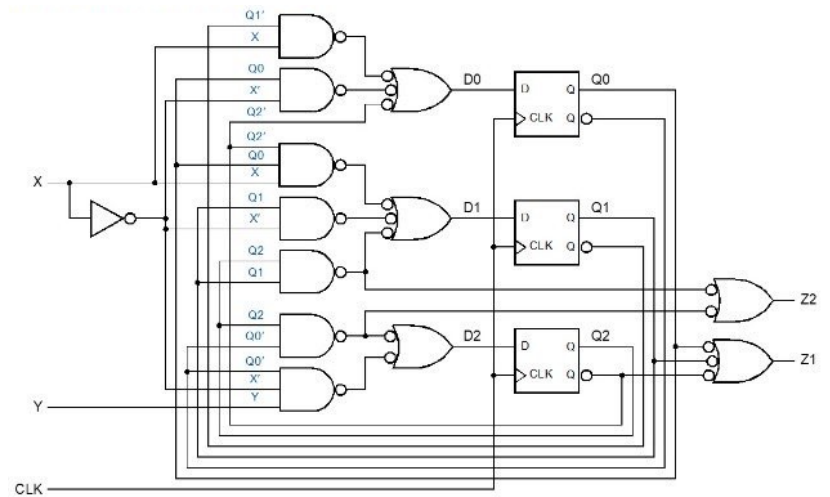
Pode-se afirmar que:

É uma máquina de Moore porque as saídas não dependem diretamente das entradas.

É uma máquina de Mealy porque as saídas não dependem diretamente das entradas.

É uma máquina de Mealy porque os estados não dependem diretamente das entradas.

É uma máquina de Moore porque os estados não dependem diretamente das entradas.



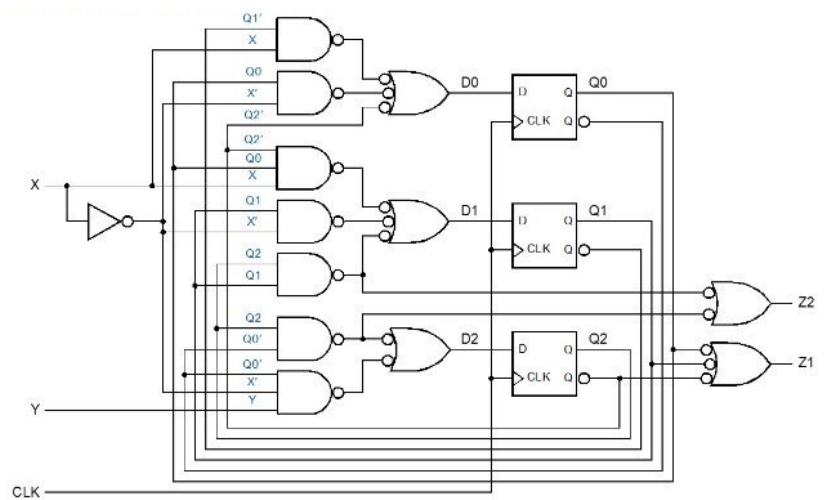
*Analise a máquina de estados da figura seguinte.
O caminho crítico deste circuito envolve o atraso de:

duas portas lógicas

três portas lógicas

treze portas lógicas

quatro portas lógicas



*Analise o circuito da figura seguinte, que inclui um registo de deslocamento de 4 bits, que faz deslocamento no sentido $Q0 \rightarrow Q3$.

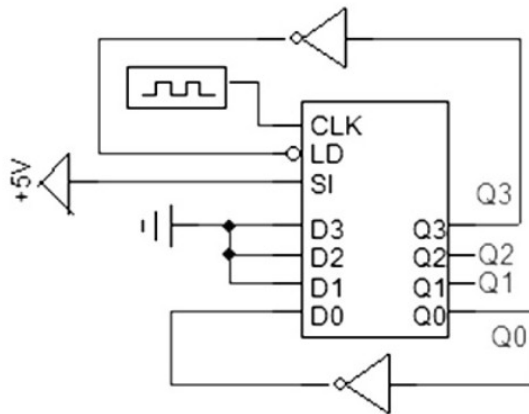
Assumindo que o estado atual é $Q3Q2Q1Q0 = 0011$, o estado seguinte do circuito será:

0111

0000

1001

0011



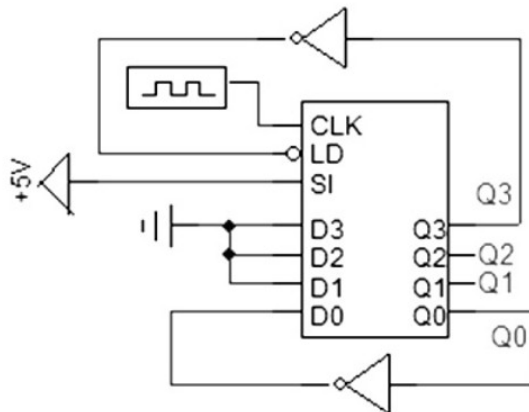
*Analise o circuito da figura seguinte, que inclui um registo de deslocamento de 4 bits, que faz deslocamento no sentido $Q0 \rightarrow Q3$.
Assumindo que o estado atual é $Q3Q2Q1Q0 = 0101$, o estado seguinte do circuito será:

0001

1011

0000

1010



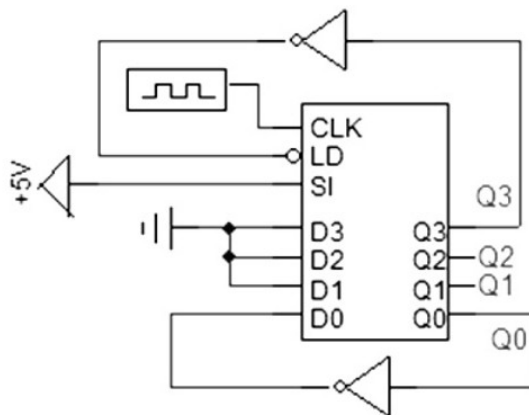
*Analise o circuito da figura seguinte, que inclui um registo de deslocamento de 4 bits, que faz deslocamento no sentido $Q0 \rightarrow Q3$.
Assumindo que o estado atual é $Q3Q2Q1Q0 = 1000$, o estado seguinte do circuito será:

0001

1011

0000

1010



*Consider the circuit in the following figure that includes 4:1 multiplexers and serial-in parallel-out shift registers that do shift data in the direction $Q0 \rightarrow Q3$. The circuit has a data input, X, four control inputs A3, A2, A1, A0, and a data output, Y.

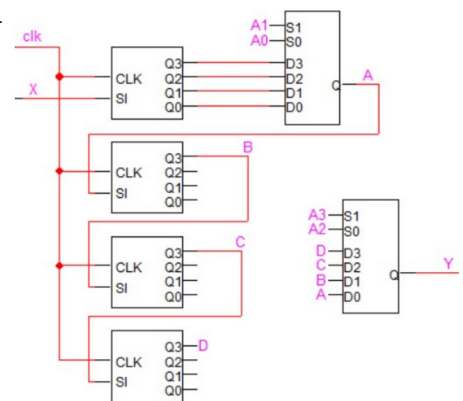
If $A3A2A1A0 = 0101$, the value of input X will appear at the output Y after

5 clk cycles

6 clk cycles

10 clk cycles

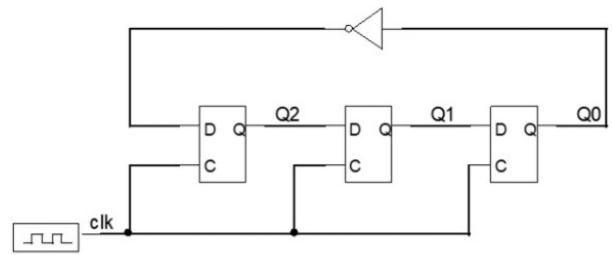
4 clk cycles



*Analise o circuito da figura seguinte.

Assumindo que os flip-flops do circuito têm as seguintes especificações temporais: flip-flops: $t_{\text{setup}} = 15 \text{ ns}$, $t_{\text{hold}} = 5 \text{ ns}$, $t_{\text{pHL}} = 25 \text{ ns}$, $t_{\text{pLH}} = 20 \text{ ns}$; o tempo de atraso de uma porta lógica elementar é $t_{\text{porta}} = 10 \text{ ns}$. Nestas condições, a frequência máxima de funcionamento do circuito, em Mhz, é:

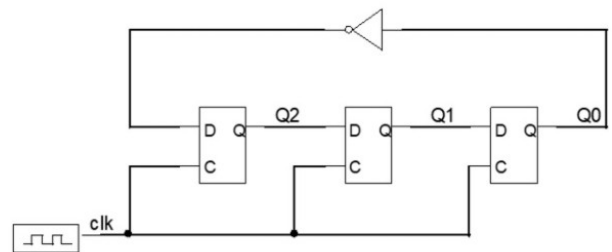
- 13
- 7
- 60
- 20



*Analise o circuito da figura seguinte.

Assumindo que os flip-flops do circuito têm as seguintes especificações temporais: flip-flops: $t_{\text{setup}} = 15 \text{ ns}$, $t_{\text{hold}} = 5 \text{ ns}$, $t_{\text{pHL}} = 25 \text{ ns}$, $t_{\text{pLH}} = 18 \text{ ns}$; o tempo de atraso de uma porta lógica elementar é $t_{\text{porta}} = 5 \text{ ns}$. Nestas condições, a frequência máxima de funcionamento do circuito, em Mhz, é:

- 45
- 40
- 20
- 68



*Qual o módulo de um contador de Johnson construído com 47 flip-flops?

94

*Qual o módulo de um contador de Johnson construído com 77 flip-flops?

154

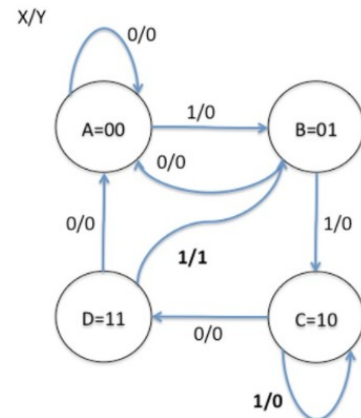
*Dois contadores binários de 5 bits conetados em cascata têm um módulo total de:

1024

*O diagrama de estados seguinte ilustra o comportamento de uma máquina de estados finitos com uma entrada, X, e uma saída, Y. Os estados da máquina são codificados com sinais Q1Q0.

Para implementação com flip-flops D, qual deve ser a função de excitação Q1+?

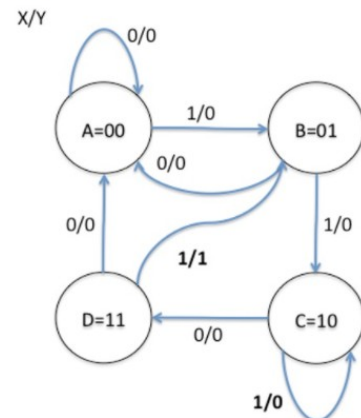
$Q1 += Q1.Q0$
 $Q1 += Q1.Q0' + Q1'.Q0.X$
 $Q1 += Q1.Q0 + X.Q0$
 $Q1 += X.Q1' + Q1'.Q0$

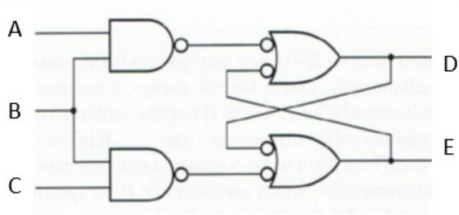


*O diagrama de estados seguinte ilustra o comportamento de uma máquina de estados finitos com uma entrada, X, e uma saída, Y. Os estados da máquina são codificados com sinais Q1Q0.

Para implementação com flip-flops D, qual deve ser a função de excitação Q1+?

$Q0 += X.Q1.Q0 + Q1.Q0'.X'$
 $Q0 += X.(Q1 \text{ XNOR } Q0) + Q1.Q0'.X'$
 $Q0 += X.Q1'.Q0' + Q1.Q0'.X'$
 $Q0 += X.(Q1 \text{ XOR } Q0) + Q1.Q0'.X'$





*Considere o circuito da figura com entradas A,B e C e saídas D e E. Se $A=1$, $B=1$ e $C=0$, pode-se afirmar que:

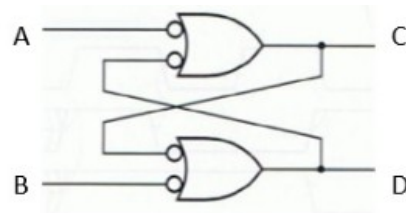
É impossível determinar inequivocamente o valor de D e de E

$D=0$ e $E=0$

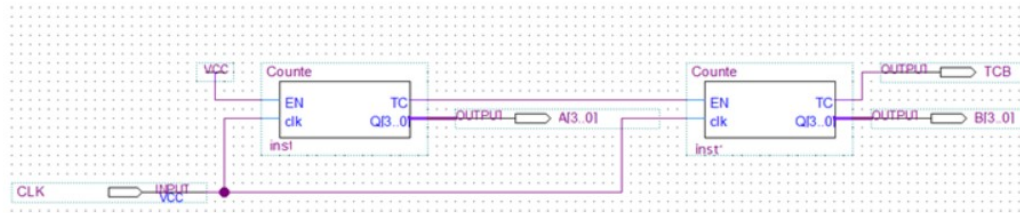
$D=1$ e $E=0$

$D=0$ e $E=1$

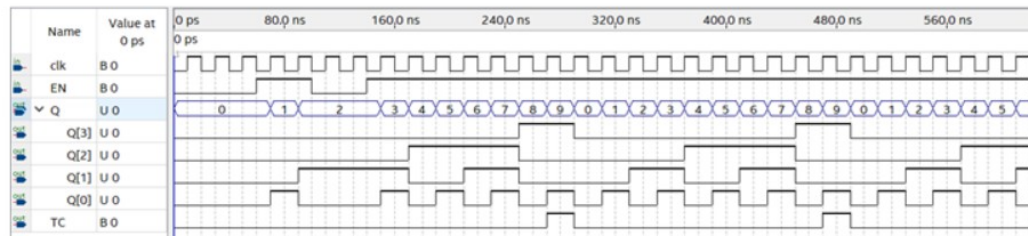
*Considere o circuito da figura com entradas A,B e saídas C e D. Se $A=1$, $B=0$, pode-se afirmar que:
 $C=0$ e $D=0$
 $C=0$ e $D=1$
 $C=1$ e $D=0$
 $C=1$ e $D=1$



*Consider the following logic diagram using Counter blocks.



This time diagram that illustrates the operation of the Counter block is as follows:



Which of the following outputs can be used to generate a 50 kHz waveform from a 1MHz clock (CLK)?

A(3)

B(2)

TCB

B(0)

*Consider the circuit in the following figure that includes 4:1 multiplexers and serial-in parallel-out shift registers that do shift data in the direction Q0→Q3. The circuit has a data input, X, four control inputs A3,A2,A1,A0, and a data output, Y.

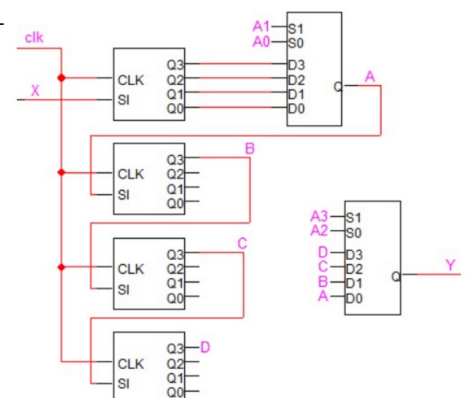
If A3A2A1A0= 1011, the value of input X will appear at the output Y after

4 clk cycles

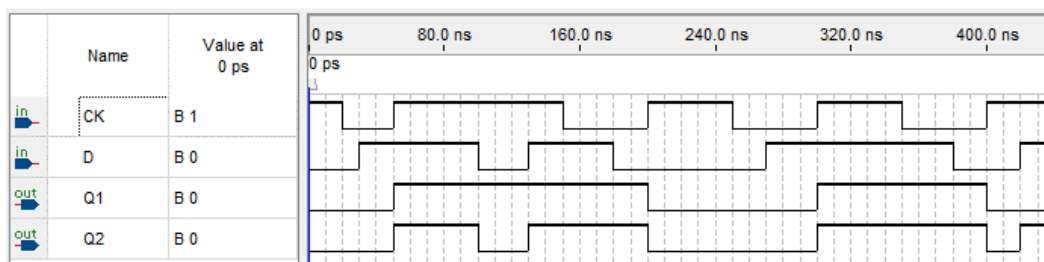
11 clk cycles

12 clk cycles

None of the remaining answers is correct



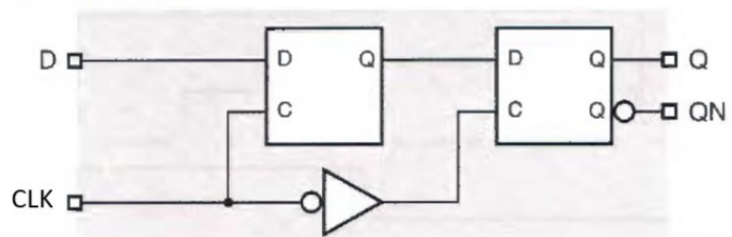
*Considere o diagrama temporal da figura.



O comportamento de Q1 corresponde à saída de **um FlipFlop D positive edge-triggered**

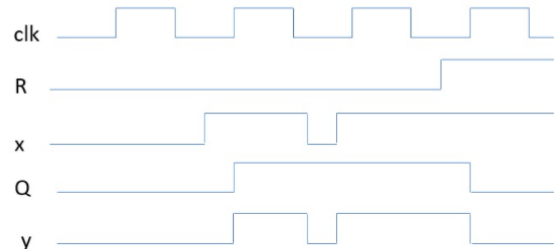
O comportamento de Q2 corresponde à saída de **uma Latch D com entrada de enable**

*Analise o circuito da figura.
 É um contador binário de 2 bits
 É um positive edge-triggered flip-flop D
 É um **negative edge-triggered flip-flop D**
 É uma latch D

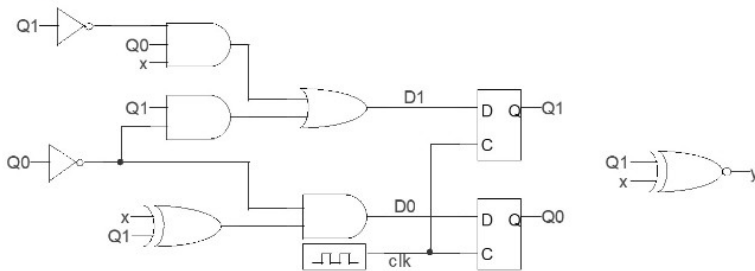


*Analise o diagrama temporal seguinte que ilustra o comportamento no tempo de uma máquina sequencial síncrona com uma entrada de dados x, uma saída, y, e um sinal de reset, R. O estado da máquina é representado pelo sinal Q.

O tipo desta máquina é
 Máquina de Mealy com reset assíncrono
 Máquina de Mealy com reset síncrono
 Máquina de Moore com reset síncrono
Máquina de Moore com reset assíncrono



*Analise o circuito da figura seguinte.
 A tabela de transições deste circuito é:

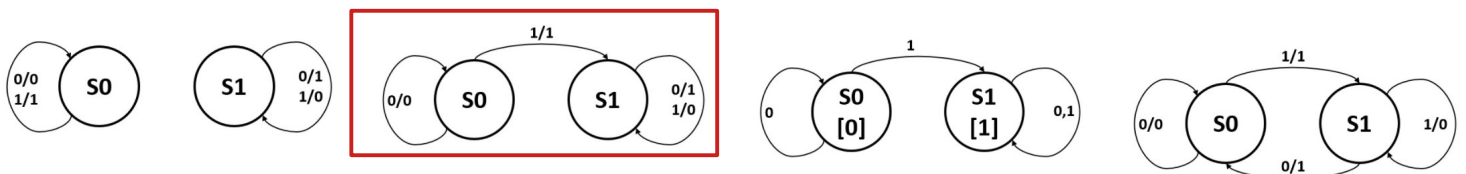
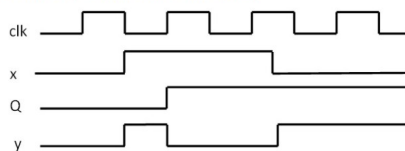


Q1	Q0	x	Q1*	Q0*
0	0	0	0	1
0	0	1	0	0
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	0	0
1	1	1	0	0

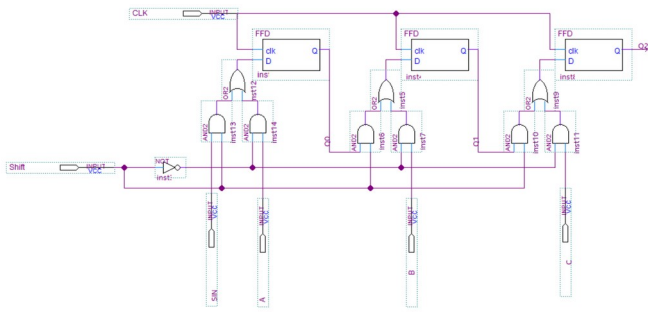
Q1*	Q0*	x	Q1	Q0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0

Q1	Q0	x	Q1*	Q0*
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0

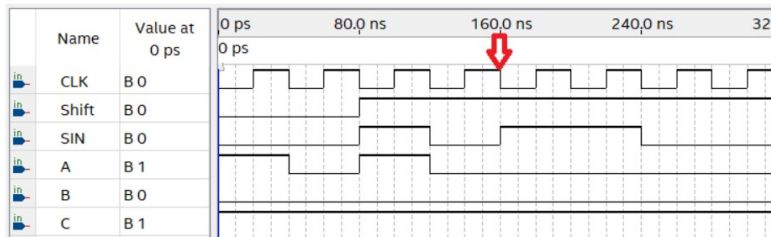
*Analise o diagrama temporal seguinte que ilustra o comportamento de uma máquina sequencial síncrona com uma entrada de dados x, e uma saída, y. O estado da máquina é representado pelo sinal Q.
 O diagrama de estados desta máquina é:



*Consider the following logic diagram using D flip-flops.



What is the state Q2Q1Q0 at the time moment marked on the next time diagram with the red arrow?



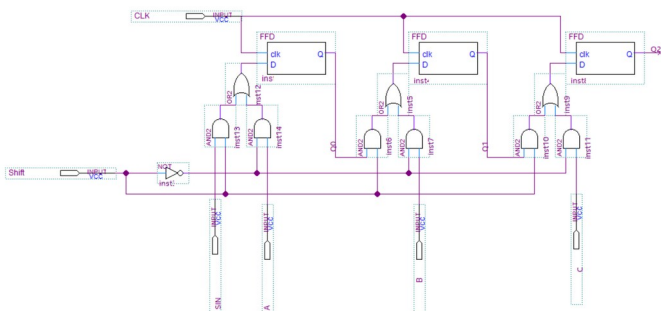
Q2Q1Q0=111

Q2Q1Q0=001

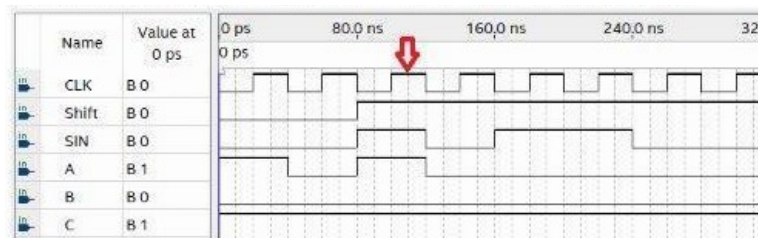
Q2Q1Q0=010

Q2Q1Q0=000

*Consider the following logic diagram using D flip-flops.



What is the state Q2Q1Q0 at the time moment marked on the next time diagram with the red arrow?



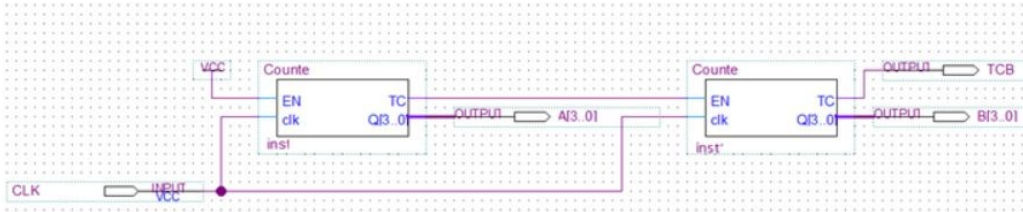
Q2Q1Q0=100

Q2Q1Q0=101

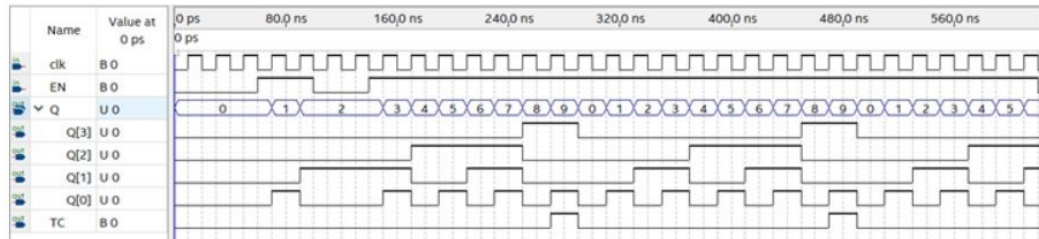
Q2Q1Q0=001

Q2Q1Q0=000

*Considere o diagrama lógico seguinte que usa blocos Counter.



O diagrama temporal que ilustre o funcionamento do bloco Counter é o seguinte:



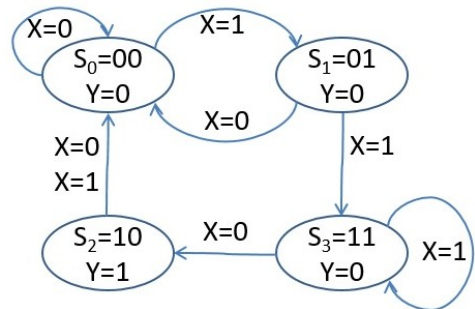
Qual das seguintes saídas pode ser utilizada para gerar uma forma de onda de 10 kHz a partir de um clock (CLK) de 1 MHz?

- A(3)
- B(0)
- TCB
- B(1)

*O diagrama de estados ao lado ilustra o comportamento de uma máquina de estados finitos com uma entrada, X, e uma saída, Y. Os estados da máquina são codificados com sinais Q_1Q_0 .

Para a implementação com flip-flops D, qual deve ser a função de excitação Q_1 ?

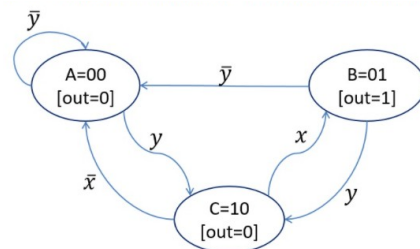
- $Q_1 = x.Q_1' + x.Q_0$
- $Q_1 = Q_1.Q_0'$
- $Q_1 = Q_1.Q_0$
- $Q_1 = Q_1Q_0 + x.Q_0$



*Considere o diagrama de estados/saídas referente a uma máquina sequencial síncrona com duas entradas, x e y, e uma saída, out.

Aplicando a estratégia de projeto de risco mínimo, qual seria a expressão lógica para a saída out?

- $out = Q_1'.Q_0$
- $out = y'$
- $out = y.Q_1'.Q_0$
- $out = Q_0$



*Considere o diagrama de estados/saídas referente a uma máquina sequencial síncrona com uma entrada e uma saída.

É possível implementar a saída com:

- Um decodificador binário 3:8
- Um decodificador binário 2:4
- Um multiplexer 4:1 e constantes 0 e 1
- Um multiplexer 8:1 e constantes 0 e 1

