

Testes de tempo de reacção: competição por pontos

1. Introdução

O tema central deste projecto, a realizar com o *kit* de desenvolvimento *Altera DE2-115*, é a avaliação da rapidez (normalmente medida em milissegundos) com que um utilizador reage fisicamente (pressionando uma tecla) a estímulos visuais. Pode experimentar testes deste tipo em <https://cps-check.com/pt/reaction-test>, por exemplo.

Um **ciclo de teste elementar** típico compreende os seguintes passos:

1 – Arranque:

Premindo um botão, o utilizador faz com que um temporizador de atraso à activação seja configurado com um valor aleatório (d_{on}) em ms numa gama adequada e arranque nesse mesmo instante.

2 – Activação do estímulo:

Decorrido o atraso d_{on} , o estímulo visual é activado, arrancando nesse instante o cronómetro que irá medir o tempo de reacção (t_{reac}) em ms.

3 – Reacção ao estímulo:

O utilizador deve premir um botão (pode ser de novo o de arranque) logo que observe a activação do estímulo. Nesse momento, t_{reac} é registado, o cronómetro reiniciado e o estímulo desactivado.

Nota 1: É indispensável que o atraso d_{on} tenha duração aleatória, para evitar previsibilidade do estímulo e consequente viciação (ainda que involuntária) dos resultados. Impõe-se, porém, um limite mínimo, para garantir prontidão do utilizador em testes consecutivos. Cumpridos estes requisitos, d_{on} deve ser breve, para evitar enviesamento dos resultados por cansaço do utilizador e desperdício de tempo.

Sugestão: é possível satisfazer estas condições com base num simples bloco de contagem 'free-run': se o instante de leitura for determinado por acção manual, o valor lido será aleatório na gama de contagem, com distribuição tanto mais uniforme quanto mais elevada for a frequência de relógio.

Nota 2: Em ciclos de teste consecutivos, o passo 3 de cada ciclo pode constituir o passo 1 do seguinte.

2. Especificações

Pretende-se gerir uma competição constituída por uma sequência de ciclos de teste elementares (vide estrutura descrita na Introdução) aplicada simultaneamente a dois jogadores. Ambos respondem ao mesmo estímulo em cada ciclo (acendimento de LEDG[7..0]), sendo atribuído um ponto ao que conseguir menor tempo de reacção (independentemente da diferença entre tempos).

O vencedor será o que primeiro atingir um dado número de pontos, estipulado numa **etapa inicial de configuração**, em que os *displays* HEX3-HEX0 devem exibir a indicação 'ConF'. Esse número será ajustável entre 1 e 50 (10 por omissão) e afixado nos *displays* HEX7-HEX6 (que, nesta etapa, devem piscar a 1Hz). O ajuste deve ser eficiente e confortável para o utilizador, recorrendo a um único botão de pressão [*Sugestão: combine incremento unitário a cada toque breve com a capacidade de detectar toque longo (e.g. de duração superior a 1s) e nesse caso aplicar pulsos de incremento rápido (e.g. a 10Hz)*]. A conclusão desta etapa será indicada premindo um outro botão de pressão.

Seguir-se-á a **etapa de competição**, em que HEX7-HEX6 devem continuar a exibir (agora sem piscar) a pontuação-alvo escolhida. Os *displays* HEX3-HEX0 devem começar por indicar 'tEST' e, a partir do primeiro ciclo de teste elementar, exibir as pontuações (do jogador A em HEX3-HEX2 e do jogador B em HEX1-HEX0), sendo o número do ciclo de teste em curso apresentado em HEX5-HEX4.

Nos ciclos de teste, o jogador A usa a tecla KEY3 e comanda a desactivação da metade esquerda do estímulo, LEDG[7..4] enquanto o jogador B usa a tecla KEY0 e comanda a desactivação da metade direita do estímulo, LEDG[3..0]. Note que, para acomodar este formato de competição simultânea, o arranque dos ciclos tem que ser determinado pelo jogador que premir a sua tecla em último lugar. Em caso de empate nos tempos de reacção, nenhum jogador pontua (e o ciclo de teste não é contabilizado). Assegure-se de que o sistema contempla devidamente esta situação improvável (recorra a simulação para o demonstrar).

Se um jogador reagir de forma prematura ao estímulo sofrerá uma penalização de 2 pontos, com derrota por desqualificação se ela resultar em pontuação negativa (salvo se o adversário estiver em situação idêntica – nesse caso, a etapa de competição deve ser imediatamente reiniciada). Os grupos LEDR[7..4] ou LEDR[3..0] devem acender de forma breve (e.g. durante 1s) para assinalar reacções prematuras por parte do jogador A ou do jogador B, respectivamente.

A competição termina quando um dos jogadores atingir o número de pontos estipulado, passando-se então à **etapa de conclusão**, que consistirá num festejo de vitória através de um efeito luminoso com a duração de 5s na metade de LEDG[7..0] correspondente ao vencedor. Findo este tempo, o sistema deve regressar à etapa inicial de configuração.

3. Faseamento do trabalho

Recomenda-se uma abordagem de desenvolvimento faseada, planeando, construindo e testando sucessivamente os vários blocos/conjuntos e integrando de forma gradual os requisitos de funcionamento, a começar pelos mais simples. Segue-se uma sugestão nesse sentido, com cotações apresentadas a título orientativo:

- 1 - **[2]** Ciclo único com 1 utilizador e afixação de tempo de reacção (para verificar o funcionamento).
- 2 - **[4]** Ciclo único com 2 jogadores e indicação do resultado (vitória de A, vitória de B ou empate) ignorando reacções prematuras – deve ser aplicado controlo por MEF (sendo crucial começar pelo desenho cuidadoso do diagrama de estados).
- 3 - **[3]** Competição com limite de pontuação fixo (e.g. 6), incluindo afixação das contagens de ciclos de teste e pontos (ignorando penalizações) e indicação do vencedor (A ou B).
- 4 - **[2]** Ajuste da pontuação-alvo (para a etapa inicial de configuração).
- 5 - **[2+1+1]** MEF de controlo geral do sistema (etapas de configuração, competição e conclusão): integração das funcionalidades de ajuste inicial da pontuação-alvo e de festejo da vitória.
- 6 - **[3]** Aperfeiçoamento das fases 2 e 3 para detectar reacções prematuras (fase 2) e aplicar as correspondentes penalizações (fase 3).
- 7 - **[2]** Adição de outras funcionalidades e/ou opções pertinentes para melhorar o sistema.

4. Recomendações gerais

- Deve ser aplicado um único sinal de 'clock' (50MHz) a todos os componentes sequenciais.
- Deve ser prevista uma entrada de 'reset' geral (protegida contra accionamento acidental) que fará o sistema regressar à etapa inicial de configuração.