



Departamento de Eletrónica, Telecomunicações e Informática

Laboratório de Sistemas Digitais

1º ano, 2º semestre

Dossiê Pedagógico

Ano letivo 2023/2024
(janeiro/2024)

1. Enquadramento

Laboratório de Sistemas Digitais (LSD) é uma Unidade Curricular (UC) da área científica da Arquitetura dos Sistemas Computacionais das Licenciaturas em Engenharia de Computadores e Informática (LECI) e em Engenharia Eletrotécnica e de Computadores (LEEC). Em termos curriculares surge no segundo semestre do primeiro ano, após a UC Introdução aos Sistemas Digitais (ISD). LSD incide sobre os conceitos fundamentais, as metodologias, as linguagens e as ferramentas atualmente empregues no projeto de sistemas digitais de diferentes níveis de complexidade, quer na indústria, quer em meios académicos de investigação e desenvolvimento.

As competências adquiridas no âmbito desta UC permitirão aos futuros engenheiros de computadores o projeto (desde a especificação até à prototipagem e teste) de qualquer sistema digital, com base em linguagens de descrição de hardware, captura de diagramas esquemáticos (esquemas lógicos), dispositivos lógicos programáveis de elevada capacidade (*Field-Programmable Gate Arrays* - FPGAs) e respetivas ferramentas de projeto.

Os conceitos abordados e as competências adquiridas em LSD são fundamentais para outras UCs da mesma ou de outras áreas científicas, onde são abordados temas nos domínios da arquitetura de computadores, sistemas embutidos, sistemas de controlo, computação reconfigurável, microeletrónica digital, sistemas integrados (*Systems-on-Chip* - SoCs), co-projeto de hardware/software, processamento digital de sinal e sistemas de comunicação.

2. Objetivos de aprendizagem

LSD é uma UC que visa:

- A aplicação em ambiente laboratorial e perante problemas concretos dos conhecimentos adquiridos na UC ISD.
- A familiarização com a modelação, linguagens, ferramentas e fluxos de projeto de sistemas digitais atualmente empregues.

Na UC LSD pretende-se que os alunos adquiram competências de projeto de sistemas digitais, desenvolvendo para tal capacidades de:

- Modelação de sistemas digitais baseada em captura de esquemas lógicos, linguagens de descrição de hardware e utilização eficaz de estilos de codificação orientados para a síntese.
- Desenvolvimento de sistemas digitais com base em dispositivos lógicos programáveis de elevada capacidade (FPGAs).
- Utilização de ferramentas de projeto assistido por computador para efeitos de modelação, simulação, síntese, implementação, depuração, teste e otimização.

3. Conteúdos programáticos

Os tópicos abordados na UC LSD são:

- A utilização de linguagens de descrição de hardware para modelação de sistemas digitais com especial ênfase para os estilos de codificação orientados para a síntese e aspetos de portabilidade.

- O uso de ferramentas de captura de esquemas lógicos e de formalismos para especificação gráfica de máquinas de estados finitos.
- A familiarização com as técnicas e ferramentas de simulação de sistemas digitais e metodologias de automação do processo de verificação do sistema.
- A síntese, implementação e prototipagem de sistemas digitais em dispositivos lógicos programáveis de elevada capacidade (FPGAs), incluindo configuração e aspetos normalmente específicos da arquitetura dos dispositivos.
- A depuração e teste baseado em placas de desenvolvimento com diversos tipos de periféricos e interfaces.
- As ferramentas de suporte às diversas etapas do fluxo de projeto.

4. Calendário previsto das aulas

O calendário previsto das aulas teórico-práticas e práticas e respetivos tópicos abordados são apresentados de seguida. Sempre que necessário podem sofrer alterações sem aviso prévio.

4.1 Aulas teórico-práticas

Semana			4ª feira (14)		6ª feira (14)	Sumário
1			14/ fev		16/ fev	Apresentação da UC. Introdução às FPGAs, ferramentas de projeto e <i>kit</i> de desenvolvimento.
2			21/ fev		23/ fev	Introdução à linguagem VHDL. Modelação de componentes combinatórios (multiplexadores, decodificadores e codificadores).
3			28/ fev		01/ mar	Modelação em VHDL de circuitos aritméticos e comparadores. Introdução à parametrização de componentes.
4			06/ mar		08/ mar	Modelação em VHDL de circuitos sequenciais elementares (<i>latches</i> , <i>flip-flops</i> e registos), contadores. Parametrização de componentes sequenciais.
5			13/ mar		15/ mar	Divisores de frequência e temporizadores.
6			20/ mar		22/ mar	Modelação em VHDL de registos e módulos combinatórios de deslocamento.
7			03/ apr		05/ apr	Teste 1

8			10/ apr		12/ apr	Construção e utilização de <i>testbenches</i> em VHDL. Princípios básicos de simulação. Simulação comportamental e temporal.
9			17/ apr		19/ apr	Modelação, simulação e síntese de máquinas de estados finitos - aspetos gerais e modelo de Moore.
10			24/ apr		26/ apr	Modelação de máquinas de estados finitos - modelo de Mealy. Máquinas de estados finitos comunicantes.
11			08/ mai		10/ mai	Modelação em VHDL de memórias ROM e RAM de um porto e multi-porto.
12			15/ mai		17/ mai	Parametrização de memórias Recomendações e boas práticas no projeto de sistemas digitais.
13			22/ mai		24/ mai	Resumo dos tipos de dados em VHDL. Macros/funções de conversão entre tipos. Atributos pré-definidos em VHDL. A construção “for...generate”.
14			29/ mai		31/ mai	Revisão de matéria, resolução de exercícios e esclarecimento de dúvidas.
15			05/ jun		---	Revisão de matéria, resolução de exercícios e esclarecimento de dúvidas.

4.2 Aulas práticas

Guião	2ª feira (13)	3ª feira (14)	4ª feira (14)	5ª feira (14)	6ª feira (13)	Sumário
---	19/ fev	20/ fev	21/ fev	15/ fev	16/ fev	Explicação das regras. Formação de grupos e de macro-grupos. Instalação do <i>device driver</i> do kit DE2-115.
1	26/ fev	27/ fev	28/ fev	22/ fev	23/ fev	Introdução às FPGAs, VHDL, ferramentas de projeto e kit de desenvolvimento.
2	04/ mar	05/ mar	06/ mar	29/ fev	01/ mar	Modelação em VHDL, simulação e implementação de componentes combinatórios (multiplexadores, decodificadores e codificadores).
3	11/ mar	12/ mar	13/ mar	07/ mar	08/ mar	Modelação em VHDL e implementação de circuitos aritméticos.

4	18/ mar	19/ mar	20/ mar	14/ mar	15/ mar	Modelação em VHDL, simulação e implementação de circuitos sequenciais elementares (<i>latches</i> , <i>flip-flops</i> e registos), contadores e divisores de frequência.
5	08/ apr	02/ apr	03/ apr	21/ mar	22/ mar	Parametrização de componentes combinatórios e sequenciais. Modelação em VHDL, simulação e implementação de temporizadores.
6	15/ apr	09/ apr	10/ apr	04/ apr	05/ apr	Modelação em VHDL e implementação de registos e módulos combinatórios de deslocamento.
---	22/ apr	16/ apr	17/ apr	11/ apr	12/ apr	Desafio de mini-projeto
7	06/ mai	23/ apr	24/ apr	18/ apr	19/ apr	Construção e utilização de <i>testbenches</i> em VHDL. Simulação comportamental e temporal. Depuração de circuitos em FPGA.
8	13/ mai	07/ mai	08/ mai	09/m ai	26/ apr	Modelação, simulação e síntese de máquinas de estados finitos - aspetos gerais e modelo de Moore.
9	20/ mai	14/ mai	15/ mai	16/ mai	10/ mai	Modelação, simulação e síntese de máquinas de estados finitos – modelo de Mealy. Máquinas de estados finitos comunicantes.
10	27/ mai	21/ mai	22/ mai	23/ mai	17/ mai	Modelação em VHDL de memórias ROM e RAM de um porto e multi-porto.
-	---	28/ mai	29/ mai	---	24/ mai	Apoio aos projetos finais e esclarecimento de dúvidas.
-	03/ jun	04/ jun	05/ jun	data extra	31/ mai	Apresentação e defesa dos projetos finais.

5. Metodologias de ensino

LSD é uma UC com uma forte componente prática. As aulas teórico-práticas visam essencialmente a apresentação de conceitos, exemplos e ferramentas que servirão de base ao trabalho a realizar na componente laboratorial.

As aulas práticas decorrem em laboratório de computadores com ferramentas de projeto e placas de desenvolvimento baseadas em FPGA. Os alunos devem, dentro de cada turma, agrupar-se aos pares, para efeitos da partilha da placa de desenvolvimento durante as aulas e para a realização do projeto final.

6. Bibliografia

6.1 Bibliografia principal

- B. C. Readler, "VHDL by Example - A Concise Introduction for FPGA Design", Full Arc Press, 2014.

6.2 Bibliografia on-line

- B. Mealy, F. Tappero, "Free Range VHDL", www.freerangefactory.org, 2018.

6.3 Bibliografia adicional

- J.F. Wakerly, Digital design: Principles and practices, 5ª ed., Pearson, 2018.
- V.A. Pedroni, "Circuit Design with VHDL", MIT Press, 2020.
- R. Jasinski, "Effective Coding with VHDL: Principles and Best Practice", MIT Press, 2016.
- V. Sklyarov, I. Skliarova, A. Barkalov, L. Titarenko, "Synthesis and Optimization of FPGA-Based Systems", Springer, Switzerland, 2014.

7. Avaliação

NOTE QUE: Nos exames e testes de LSD não é permitido o uso de calculadoras nem autorizada a presença, na sala, de telemóveis ou outros dispositivos eletrónicos de qualquer espécie (excluem-se naturalmente os utilizados por expressa prescrição médica, devidamente comprovada). Os alunos deverão ser portadores apenas do documento de identificação e de material de escrita. Alunos que transportem consigo qualquer tipo de dispositivos eletrónicos serão convidados a deixá-los junto do docente responsável até ao fim do teste ou exame. **A deteção, durante a realização do teste ou exame, de qualquer tipo de dispositivo junto de um aluno, mesmo que desligado, determina a automática anulação da prova do mesmo e, dependendo da gravidade da situação detetada, poderá dar origem ao estabelecimento do competente procedimento disciplinar.**

7.1 Regras gerais

1. A avaliação da UC é do tipo "discreta com avaliação final". A classificação final obtém-se da média ponderada de duas componentes:
 - a componente teórico-prática, com um peso de 40%
 - a componente prática, com um peso de 60%
2. Para efeitos de cálculo da nota final e de comparação com as notas mínimas às duas componentes (ver ponto seguinte), as notas são arredondadas às décimas. A nota final será, obviamente, arredondada às unidades.
3. Para obter aprovação à UC, a média ponderada entre as duas componentes (teórico-prática e prática) deve ser igual ou superior a 9,5 valores, sendo a nota mínima de cada componente 7,5 valores.
4. Os alunos repetentes que tenham obtido classificação positiva na componente prática da UC LSD no ano letivo de 2022/2023 **na época normal** mantêm este ano e caso assim o pretendam a sua nota nessa componente de avaliação. Os alunos que se encontrem nesta situação e que se

tenham inscrito, através do PACO, numa das turmas práticas, perdem automaticamente a nota prática obtida anteriormente. Os alunos eventualmente inscritos nestas condições devem contactar a coordenadora da disciplina para regularizar a respetiva situação.

7.2 Componente teórico-prática

A nota da componente teórico-prática resulta dos seguintes elementos de avaliação:

- teste intercalar a realizar nas aulas teórico-práticas: 35%
- participação em aulas teórico-práticas: 15%
- exame final a realizar na época de exames: 50%

7.3 Componente prática

A nota da componente prática resulta dos seguintes elementos de avaliação:

- desafio de mini-projeto em grupo, com um peso de 30%
- participação em aulas práticas: 20%
- projeto final em grupo: 50%

NOTE QUE:

- A falta a um teste ou a não submissão dentro do prazo definido de um elemento de avaliação implica a atribuição de nota 0 (zero) ao mesmo.

7.4 Trabalhadores estudantes

Os alunos com o estatuto de Trabalhador-Estudante (TE) deverão, obrigatoriamente, estar inscritos numa turma prática. Os alunos TE realizam a defesa do projeto final nas datas definidas. Os alunos TE que pretendam usufruir do mesmo modelo de avaliação dos estudantes em regime ordinário deverão assistir e participar em, pelo menos, 80% das aulas práticas e entregar ao docente da respetiva turma, até 29 de fevereiro de 2024, uma declaração (disponível no site da UC em elearning.ua.pt) em que declaram pretender ser avaliados dessa forma, prescindindo do regime especial a que têm direito para esse efeito. Caso não entreguem a declaração, a nota final da componente prática será obtida 100% da realização individual do projeto final.

7.5 Projetos finais

A lista de projetos finais, incluindo a especificação e as regras de avaliação será disponibilizada atempadamente pela equipa docente da UC. Poderão ser disponibilizados projetos com diversas etapas de complexidade (objetivos mínimos e funcionalidades a incluir para alcançar classificações mais elevadas). O mesmo projeto não pode ser escolhido por mais do que um grupo da mesma turma. O projeto final será apresentado e defendido por cada grupo na última aula prática do semestre. As regras de submissão serão divulgadas em simultâneo com a publicação da lista dos projetos. Os alunos podem propor e realizar projetos desde que validados pelo docente da

respetiva turma prática. A prova de defesa terá o peso predominante na avaliação do projeto final.

7.6 Desafio de mini-projeto

De forma a preparar e a facilitar o desenvolvimento do projeto final, os alunos deverão realizar em grupo, durante uma aula prática, um mini-projeto.

7.7 Avaliação na época de recurso para alunos que não obtiveram aproveitamento na época normal e que não estão reprovados por faltas

A época de recurso substitui a avaliação realizada durante o semestre. Os exames dessa época incidem sobre toda a matéria lecionada no âmbito da UC e as classificações neles obtidas constituem a nota final da respetiva UC.

7.7.1 Regras gerais

A época de recurso rege-se pelo seguinte conjunto de regras gerais:

1. A realização do exame à componente teórico-prática é obrigatório. Assim, a nota obtida à componente teórico-prática na época normal não é mantida, em caso algum, para a época de recurso.
2. O valor da nota mínima das componentes teórico-prática e prática para aprovação à UC é o definido para a época normal.
3. O cálculo da nota final da época de recurso faz-se aplicando os pesos relativos das componentes teórico-prática e prática definidos para a época normal.
4. Se for realizado o exame à componente prática:
 - a. a nota obtida anteriormente por avaliação discreta é definitivamente anulada;
 - b. a nota obtida nesse exame não é, em caso algum, mantida para o ano letivo subsequente;
 - c. o exame prático será realizado em ambiente laboratorial e terá uma duração e profundidade adequadas à substituição das diversas componentes da avaliação discreta, o que se traduz numa duração aproximada de 6 horas e na resolução de problemas sobre toda a matéria da UC.
5. O exame da componente prática é marcado pelos regentes da UC sendo a data da sua realização publicada atempadamente no respetivo *site*. Se possível, será realizado no período de exames, podendo optar-se, caso haja necessidade, por um horário pós-laboral. A possibilidade de ocorrência de qualquer tipo de conflito de datas com exames de outros anos curriculares não será tida em consideração.
6. A metodologia seguida para a realização de exame à componente prática é a seguinte:
 - a. O exame da componente teórico-prática é sempre o primeiro a ser realizado.
 - b. O acesso do aluno ao exame da componente prática fica dependente do cumprimento, simultâneo, das duas condições seguintes:

- i. Obter no exame da componente teórico-prática da época de recurso uma nota igual ou superior à nota mínima estabelecida para a UC.
- ii. Efetuar uma inscrição, em moldes a definir atempadamente (a nota prática obtida anteriormente só é anulada quando o aluno comparece no exame prático).

7.7.2 Casos-tipo

O acesso aos exames da época de recurso enquadra-se, tipicamente, em um dos seguintes casos:

1. Aluno reprovado na época normal, com nota prática igual ou superior à nota mínima
A nota da componente prática obtida na época normal é mantida, pelo que o aluno apenas tem que realizar o exame da componente teórico-prática. A nota final é obtida pela média ponderada entre a nota do exame teórico-prático de recurso e a nota da componente prática obtida na época normal.
Além do exame à componente teórico-prática, o aluno pode também realizar exame à componente prática (caso tenha obtido no exame teórico-prático uma nota igual ou superior a mínima e não tenha obtido aprovação à UC ou pretenda tentar melhorar a nota obtida). Nesse caso, a nota final é obtida pela média ponderada entre as notas dos exames da época de recurso (teórico-prático e prático).
2. Aluno reprovado na época normal, com nota prática inferior à nota mínima
Nesta situação o aluno terá que realizar exame às duas componentes (o acesso ao exame prático fica dependente da obtenção de nota igual ou superior à nota mínima no exame teórico-prático). A nota final é obtida por média ponderada entre a nota da componente teórico-prática e a nota da componente prática.

7.8 Avaliação na época de recurso para melhoria de nota obtida no corrente ano letivo

A melhoria de nota na época de recurso pressupõe o cumprimento de eventuais formalidades impostas pelos Serviços Académicos da UA e apenas é possível em uma das duas situações seguintes:

1. Melhoria de nota apenas à componente teórico-prática
A nota da época de recurso é obtida por média ponderada entre a nota da componente teórico-prática obtida na época de recurso e a nota da componente prática obtida na época normal. A nota final da UC é a mais elevada das classificações finais obtidas nas épocas normal e de recurso.
2. Melhoria de nota às componentes teórico-prática e prática
O aluno realiza exame às duas componentes. A nota final da época de recurso é obtida por média ponderada entre a nota da componente teórico-prática obtida na época de recurso e a nota da componente prática também obtida na época de recurso. A nota final da UC é a mais elevada das classificações finais obtidas nas épocas normal e de recurso.

7.9 Melhoria de nota obtida em anos letivos anteriores

A melhoria de nota obtida em anos letivos anteriores é realizada na época de recurso, mediante o cumprimento das formalidades impostas pelos Serviços Acadêmicos da UA e pressupõe a realização de um exame teórico-prático e de uma avaliação prática a definir pela Coordenação da UC. A nota final é obtida por média ponderada entre as notas das componentes teórico-prática e prática.

7.10 Época especial

À época especial aplicam-se, com as devidas adaptações, as mesmas regras da época de recurso.

8. Material a usar nas aulas práticas

Todos os alunos devem, dentro de cada turma, estar agrupados em pares, de forma a cada 2 alunos partilharem a mesma placa de desenvolvimento durante as aulas e a realizarem em conjunto o desafio de mini-projeto e o projeto final. Os grupos devem ser numerados de 1 a 9. No início de cada aula prática o respetivo docente da turma entregará a cada grupo uma caixa contendo uma placa de desenvolvimento com uma FPGA (Terasic DE2-115), um alimentador e cabos, que será usada juntamente com as ferramentas de software instaladas nos computadores pessoais, para realização do trabalho prático. É responsabilidade dos alunos, no final da aula, voltar a guardar devidamente a placa, os respetivos cabos e alimentador na caixa e devolvê-la ao docente. Apesar de existir uma placa de desenvolvimento para cada dois alunos, é incentivada a realização dos guiões de forma individual.

Advertência muito importante: A placa de desenvolvimento usada nas aulas práticas de LSD possui uma FPGA e diversos componentes que se podem danificar devido a descargas eletrostáticas, pelo que deve ser manuseada com cuidado. Em particular não se deve tocar com qualquer parte do corpo ou objetos (incluindo vestuário) nos seus contatos elétricos e conetores.

9. Utilização das placas de desenvolvimento fora do período das aulas práticas

Fora do período das aulas, os alunos de LSD podem usar placas de desenvolvimento disponíveis no DETI, semelhantes às usadas nas aulas práticas. O acesso e utilização dessas placas rege-se pelas seguintes regras:

- Dentro de cada turma prática devem ser formados até 9 grupos, cada um composto por um máximo de 2 alunos. Cada grupo é identificado por um número de 1 a 9.
- Dentro de cada turma prática devem ser formados até 3 macro-grupos (MGs), cada um composto por um máximo de 3 grupos de alunos (máximo de 6 alunos).

- Cada MG terá um identificador da forma **MGpp.nn**, em que **pp** representa o número da turma prática e **nn** representa o número do MG dentro da turma (entre 1 e 3).
- Cada MG terá acesso no DETI a uma placa de desenvolvimento específica, etiquetada com o identificador do respetivo MG.
- A placa de desenvolvimento pode ser usada apenas dentro do DETI, não podendo em circunstância alguma sair do DETI. Devem também ser respeitadas as condições gerais e os horários definidos pelo DETI.
- Dentro de cada turma prática o respetivo docente deverá promover tão cedo quanto possível a formação dos MGs, porque só depois disso será possível o acesso às placas de desenvolvimento fora das aulas.
- Dentro de cada MG deverá ser nomeado um líder, cujas responsabilidades são: assegurar que pelo menos os contatos telefónicos e de e-mail de todos os elementos do MG são do conhecimento mútuo; tomar as medidas corretivas em caso de não cumprimento das regras e comunicação à coordenadora da UC, Prof.^a Iouliia Skliarova, em caso de reincidência na violação das regras.
- Após notificação do docente da respetiva turma prática, todos os alunos de cada MG deverão dirigir-se à sala 4.1.23 do DETI, para junto do responsável desse laboratório, Eng. Manuel Arez:
 - Assinarem uma declaração em como tomaram conhecimento das regras.
 - Receberem três chaves (uma por cada grupo) do cadeado do cacifo, etiquetado com o identificador do macro-grupo, onde será guardada a respetiva caixa com a placa de desenvolvimento e acessórios. Estas chaves não podem ser replicadas nem extraviadas e cada uma delas só pode ser utilizada pelos elementos do respetivo grupo.
- Sempre que um dos elementos do MG pretender usar a respetiva placa, e a mesma esteja disponível no cacifo, deverá preencher a folha de registo, que se encontra dentro do cacifo, com a sua identificação, data e hora de levantamento e local do DETI onde a vai utilizar. No final da utilização deverá preencher a hora de devolução e voltar a colocar a caixa com a placa de desenvolvimento e acessórios no respetivo cacifo.
- Nenhum dos elementos do MG pode monopolizar a utilização da respetiva placa de desenvolvimento, sendo responsabilidade de todos promover uma utilização equilibrada e justa. Cabe ao líder do MG a adoção de medidas corretivas, caso seja necessário.
- É responsabilidade de cada elemento do MG verificar o equipamento logo que o levante e reportar por e-mail ao Eng. Manuel Arez (manuel.arez@ua.pt) e à coordenadora da UC, Prof.^a Iouliia Skliarova (iouliia@ua.pt), qualquer anomalia detetada, incluindo a falta ou danificação dos elementos da caixa, que deve conter uma placa de desenvolvimento com uma FPGA (Terasic DE2-115), um alimentador e cabos. Se durante uma sessão de trabalho o aluno verificar que o equipamento passou a não funcionar ou a funcionar de forma anormal deverá também reportar por e-mail essa(s) anomalia(s). Estes relatórios de anomalias devem estar devidamente identificados com o nome e número mecanográfico do aluno.
- No final do semestre, após a submissão do projeto final e antes da sua apresentação e defesa, cada grupo deverá devolver em bom estado a respetiva caixa com a placa de desenvolvimento, alimentador e cabos, assim como o cadeado do cacifo ao Eng. Manuel

Arez, que entregará um comprovativo de devolução. A apresentação e defesa dos projetos finais de todos os elementos do MG só é possível mediante a apresentação desse comprovativo de devolução ao respetivo docente da turma no início da aula prática em que será realizada a defesa. O não cumprimento deste requisito implica a atribuição da classificação de 0 (zero) valores à componente prática da UC.

- A docente coordenadora da UC, Prof^a. Iouliia Skliarova, poderá limitar ou vedar o acesso às placas de desenvolvimento fora das aulas por parte dos alunos ou MGs que não respeitem estas regras.

Qualquer caso ambíguo ou omissos nestas regras será clarificado ou decidido pela docente coordenadora da UC, Prof^a. Iouliia Skliarova.

10. Regras gerais de funcionamento da UC

10.1 Regime de faltas

- Nas aulas teórico-práticas não há registo de presenças.
- Por outro lado, todos os alunos que, não usufruindo do estatuto de trabalhador-estudante no corrente ano letivo, devem assistir a pelo menos 80% das aulas práticas lecionadas, caso contrário reprovam automaticamente à UC ficando impedidos de se apresentar a qualquer prova da mesma durante o corrente ano letivo.

10.2 Prescrição da inscrição na turma prática

A inscrição dos alunos nas turmas práticas prescreve nos casos dos alunos que faltem consecutivamente às duas primeiras aulas práticas. As vagas dessa forma disponibilizadas poderão, a partir da segunda semana de aulas, ser usadas para transferir alunos entre turmas em casos particulares em que a frequência de aulas noutro dia da semana constitua incompatibilidade com a frequência de outras UCs, dando-se prioridade às incompatibilidades entre UCs do mesmo ano curricular.

10.3 Site de suporte

O funcionamento da UC LSD é suportado por um *site* criado em <http://elearning.ua.pt>, onde cada aluno, uma vez inscrito, poderá aceder com o seu login de Utilizador Universal.

10.4 E-mails

- Os e-mails sobre questões relacionadas com o funcionamento, regras, avaliação e aspetos logísticos da UC devem ser obrigatoriamente dirigidas à docente responsável: Iouliia Skliarova (iouliia@ua.pt)
- Os e-mails sobre questões relativas à componente teórico-prática ou prática da UC devem ser obrigatoriamente dirigidas ao docente responsável pela turma a que o remetente pertence.
- Só será dada resposta a e-mails que contenham o acrónimo LSD na linha de assunto (*subject*) e que, no corpo da mensagem, indiquem explicitamente o nome, o número mecanográfico e o curso do remetente.

10.5 Sessões de orientação tutorial e esclarecimento de dúvidas da componente teórica

Para o esclarecimento de dúvidas durante o período letivo sobre a componente teórica deverão ser utilizados os períodos de Orientação Tutorial (OT) definidos no horário da UC, que terão lugar *online* às quintas-feiras às 19:00. Se não aparecer nenhum aluno nos 10 primeiros minutos da OT, a sessão será anulada.

Não haverá sessões de OT na primeira semana de aulas, durante as férias da Páscoa e na semana académica.

10.6 Esclarecimento de dúvidas da componente prática

O esclarecimento de dúvidas da componente prática, para todas as turmas, é efetuado às quartas-feiras na sala 4.2.17 do DETI, das 15:00 às 16:00 que só funciona desde que hajam alunos inscritos. As inscrições devem ser realizadas, no eLearning, até 24h antes da respetiva sessão de atendimento. Não haverá atendimento na primeira e na última semana de aulas, durante as férias da Páscoa e na semana académica.

10.7 Ilícitos

A cópia, no todo ou em parte, de qualquer material entregue para avaliação é considerada fraude. Sem prejuízo de outras medidas que possam vir a ser tomadas, nomeadamente a comunicação superior e a instauração do competente processo disciplinar, a deteção dessa prática implica a atribuição da classificação 0 (zero) ao elemento de avaliação em causa, ou caso se trate do desafio de mini-projeto ou do projeto final implicará a atribuição da classificação 0 (zero) valores à componente prática da UC.

Universidade de Aveiro, 11 de janeiro de 2024