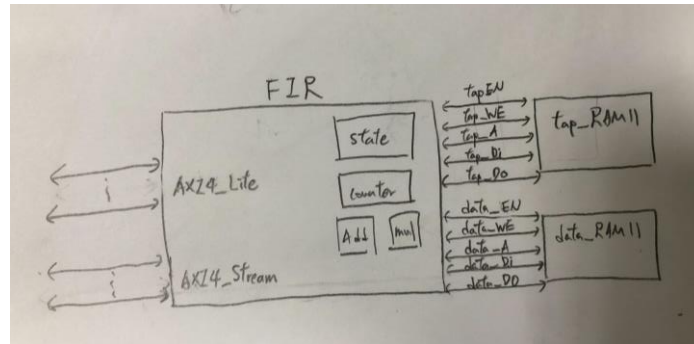


SoC Design Laboratory

Lab3 AXI4_Lite & AXI4_Stream interface design

111061560 電機碩二 吳俊鋌

一、Block Diagram:



二、Describe operation:

FSM:

這次 lab 的計算方式為參考 lab_2 C code 的 BRAM shift data 的方式設計，共分為 6 個 state: TAP、READ、R_BRAM、W_BRAM、ADD、OUTPUT，TAP state 為初始化 coefficient 使用，當 TAP 接收完畢，則 ap_start 升起，進入 READ state 接收 data 值，在進入下一個 state，接下來則為 R_BRAM、W_BRAM、ADD 三個 state 的循環，從 R_BRAM 讀取第(n-1)筆資料，在 W_BRAM state 寫入第(n)筆，在將讀取出的資料在 ADD state 進行相乘，不斷重複直到完成所有卷積計算後，進入 OUTPUT state，sm_tvalid 升起，等待輸出。

TAP AXI4_lite:

Tap 傳遞採用 Axi4_lite protocol，當收到 awvalid 為 1 時，awready 會在下一個 clock 升為 1，當 awvalid 與 awready 皆為 1 時，接收 awaddr 存入 BRAM(tap_A)，同時將 wready 設為 1 並關閉 awready，等待 wvalid 升起，當 wvalid 與 wready 同時為 1，則接收 wdata 存入 BRAM(tap_Di)，並關閉 wready。

DATA AXI4_Stream:

Data 傳遞採用 AXI4_stream protocol，當收到 ss_tvalid 訊號，將 ss_tready 設為 1，當 ss_tvalid 與 ss_tready 皆為 1 時，接收 ss_tdata 存入 data_temp，同時將 ss_tready 關閉，計算完畢時則將 sm_tvalid 升起，若 sm_tvalid 與 sm_tready 皆為 1，輸出 sm_tdata 訊號，並關閉 sm_tvalid，若

輸出為最後一筆時，則 sm_tlast 升起。

Shift RAM & TAP RAM:

TAP RAM 分成兩個 state 進行，分別為 TAP state 與 R_BRAM state，TAP state 進行讀寫 tap 的動作，當 awaddr>20 且 awvalid 與 awready 皆為 1 時，tap_A 存入 awaddr-20 的位置，確保可以存在 BRAM 的第一位，同時寫入 tap_Di 的值，在 R_BRAM state 則只進行讀的動作，將要讀出的位置寫入，在 W_BRAM state 時，在將 tap 讀出，完成 TAP BRAM 讀寫的動作。

Shift RAM 則是分別在 R_BRAM 寫入 address，下一個 clock 將 data 讀出，與 W_BRAM 同時寫入 address 與 R_BRAM state 讀出的 data，達到 RAM shift 的效果。

ap control:

當 awaddr 為 0 且 wdata 為 1 時，ap_start 升起。

ap_start 升起後，ap_idle 歸 0，直到 ss_tlast 輸入，ap_idle 改為 1。

ap_done 在最後一筆資料(count+1=data_length)時，ap_done 設為 1，並在傳遞出去後，awaddr 為 0 且 rdata 為 2 或 6 時，ap_done 關為 0，結束整個計算。

三、Resource usage:

FF number : 176

LUT number : 315

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	315	0	0	53200	0.59
LUT as Logic	315	0	0	53200	0.59
LUT as Memory	0	0	0	17400	0.00
Slice Registers	176	0	0	106400	0.17
Register as Flip Flop	176	0	0	106400	0.17
Register as Latch	0	0	0	106400	0.00
F7 Muxes	0	0	0	26600	0.00
F8 Muxes	0	0	0	13300	0.00

四、Timing Report:

Max frequency : 90.909 MHz

Clock period: 11 ns (0.000 5.500)

Clock	Waveform(ns)	Period(ns)	Frequency(MHz)
axis_clk	{0.000 5.500}	11.000	90.909

Max Delay Paths

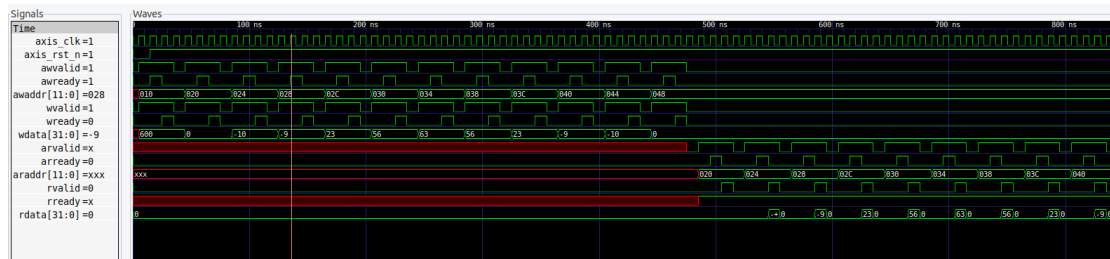
```

Slack (MET) : 0.312ns (required time - arrival time)
Source:      FSM_onehot_state_reg[3]/C
              (rising edge-triggered cell FDCE clocked by axis_clk (rise@0.000ns fall@5.500ns period=11.000ns))
Destination: product_reg[31]/D
              (rising edge-triggered cell FDCE clocked by axis_clk (rise@0.000ns fall@5.500ns period=11.000ns))
Path Group:  axis_clk
Path Type:   Setup (Max at Slow Process Corner)
Requirement: 11.000ns (axis_clk rise@11.000ns - axis_clk rise@0.000ns)
Data Path Delay: 10.551ns (logic 7.856ns (74.454%) route 2.695ns (25.546%))
Logic Levels: 9 (CARRY4=4 DSP48E1=2 LUT2=2 LUT3=1)
Clock Path Skew: -0.145ns (DCD - SCD + CPR)
  Destination Clock Delay (DCD): 2.128ns = ( 13.128 - 11.000 )
  Source Clock Delay (SCD): 2.456ns
  Clock Pessimism Removal (CPR): 0.184ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
  Total System Jitter (TSJ): 0.071ns
  Total Input Jitter (TIJ): 0.000ns
  Discrete Jitter (DJ): 0.000ns
  Phase Error (PE): 0.000ns

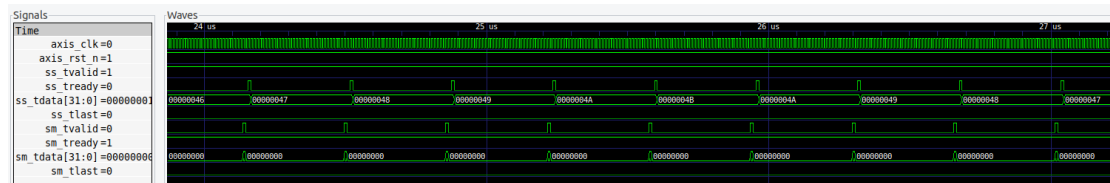
```

Location	Delay type	Incr(ns)	Path(ns)	Netlist Resource(s)
	(clock axis_clk rise edge)			
		0.000	0.000	r
		0.000	0.000	r axis_clk (IN)
	net (fo=0)	0.000	0.000	r axis_clk
	IBUF (Prop_ibuf_I_O)	0.972	0.972	r axis_clk_IBUF_inst/I
	net (fo=1, unplaced)	0.800	1.771	r axis_clk_IBUF_inst/O
				r axis_clk_IBUF
	BUFG (Prop_bufg_I_O)	0.101	1.872	r axis_clk_IBUF_BUFG_inst/I
	net (fo=176, unplaced)	0.584	2.456	r axis_clk_IBUF_BUFG_inst/O
				r axis_clk_IBUF_BUFG
	FDCE			r FSM_onehot_state_reg[3]/C
	FDCE (Prop_fdce_C_Q)	0.478	2.934	r FSM_onehot_state_reg[3]/Q
	net (fo=113, unplaced)	0.414	3.348	r FSM_onehot_state_reg_n_0_[3]
				r product0_0_i_1/I1
	LUT2 (Prop_lut2_I1_O)	0.295	3.643	r product0_0_i_1/O
	net (fo=1, unplaced)	0.800	4.443	r read_bramdata[16]
				r product0_0/A[16]
	DSP48E1 (Prop_dsp48e1_A[16]_PCOUT[47])			
		4.036	8.479	r product0_0/PCOUT[47]
	net (fo=1, unplaced)	0.055	8.534	r product0_0_n_106
				r product0_1/PCIN[47]
	DSP48E1 (Prop_dsp48e1_PCIN[47]_P[0])			
		1.518	10.052	r product0_1/P[0]
	net (fo=2, unplaced)	0.800	10.852	r product0_1_n_105
				r product[19]_i_5/I0
	LUT2 (Prop_lut2_I0_O)	0.124	10.976	r product[19]_i_5/O
	net (fo=1, unplaced)	0.000	10.976	r product[19]_i_5_n_0
				r product_reg[19]_i_2/S[11]
	CARRY4 (Prop_carry4_S[1]_CO[3])			
		0.533	11.509	r product_reg[19]_i_2/CO[3]
	net (fo=1, unplaced)	0.009	11.518	r product_reg[19]_i_2_n_0
				r product_reg[23]_i_2/CI
	CARRY4 (Prop_carry4_CI_CO[3])			
		0.117	11.635	r product_reg[23]_i_2/CO[3]
	net (fo=1, unplaced)	0.000	11.635	r product_reg[23]_i_2_n_0
				r product_reg[27]_i_2/CI
	CARRY4 (Prop_carry4_CI_CO[3])			
		0.117	11.752	r product_reg[27]_i_2/CO[3]
	net (fo=1, unplaced)	0.000	11.752	r product_reg[27]_i_2_n_0
				r product_reg[31]_i_3/CI
	CARRY4 (Prop_carry4_CI_O[3])			
		0.331	12.083	r product_reg[31]_i_3/O[3]
	net (fo=1, unplaced)	0.618	12.701	r product_reg[31]_i_3_n_4
				r product[31]_i_2/I2
	LUT3 (Prop_lut3_I2_O)	0.307	13.008	r product[31]_i_2/O
	net (fo=1, unplaced)	0.000	13.008	r product[31]_i_2_n_0
				r product_reg[31]/D
	FDCE			
	(clock axis_clk rise edge)	11.000	11.000	r
		0.000	11.000	r axis_clk (IN)
	net (fo=0)	0.000	11.000	r axis_clk
	IBUF (Prop_ibuf_I_O)	0.838	11.838	r axis_clk_IBUF_inst/I
	net (fo=1, unplaced)	0.760	12.598	r axis_clk_IBUF_inst/O
				r axis_clk_IBUF
	BUFG (Prop_bufg_I_O)	0.091	12.689	r axis_clk_IBUF_BUFG_inst/I
	net (fo=176, unplaced)	0.439	13.128	r axis_clk_IBUF_BUFG_inst/O
				r axis_clk_IBUF_BUFG
	FDCE			r product_reg[31]/C
	clock pessimism	0.184	13.311	
	clock uncertainty	-0.035	13.276	
	FDCE (Setup_fdce_C_D)	0.044	13.320	product_reg[31]
	required time		13.320	
	arrival time		-13.008	
	slack		0.312	

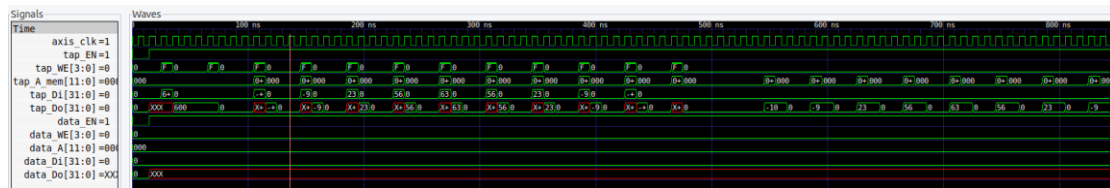
AXI_Lite



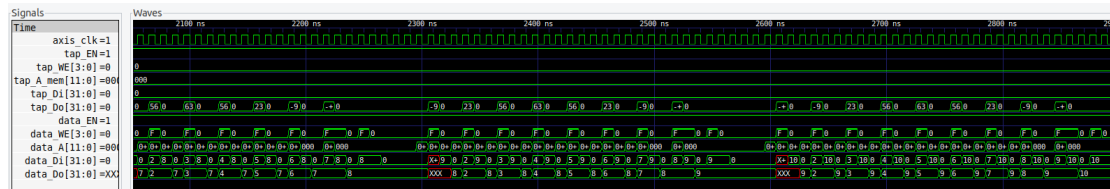
AXI_Stream:



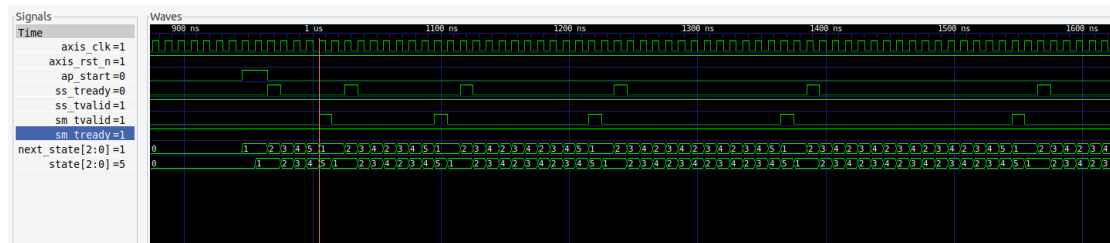
Tap Bram:



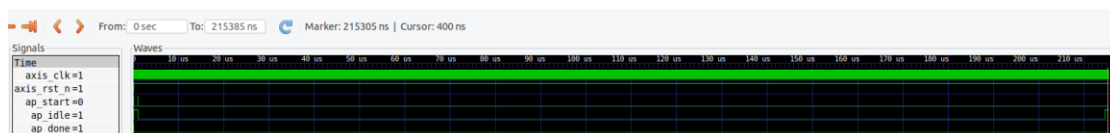
Data Bram:



FSM:



AP Control: clock cycle cost: $(215305 - 1000) / 11 = 19482$ clock cycle



補充(遲交原因):

雖然這次清大停電頻繁，由於住在宿舍略有受影響，但我還是趕在 10/22 之前就已完成本次作業，不過要繳交時發現助教有發公告提到延期到 10/25 日，想說寧可交出一份衝忙趕出來的作業，不如多花時間優化電路，提高 clock frequency，因此花了一些時間修改設計，今天早上有去課堂與教授討論遲交原因，有獲得教授同意，以上為這次受到停電影響無法準時繳交的因素，希望教授可以諒解，謝謝教授。