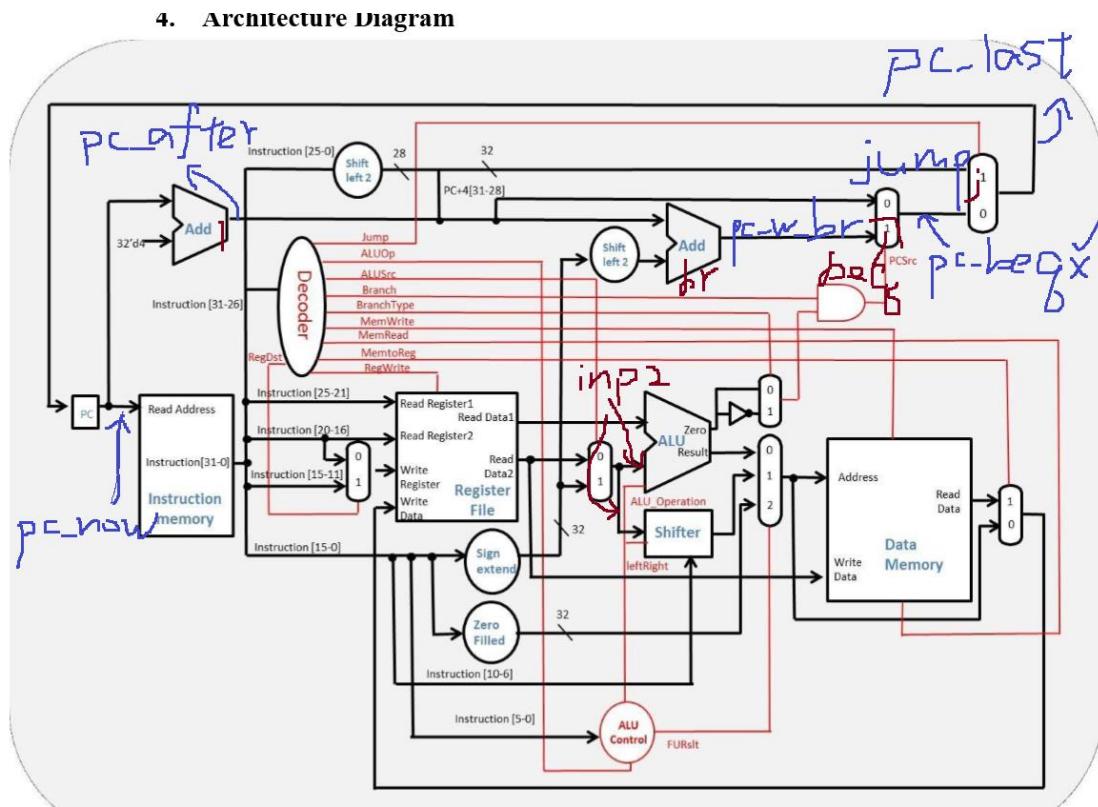


Computer Organization

Architecture diagrams:



Hardware module analysis:

這次多了一個 data_memory，可以將 memory 裡的東西 load 出來，或是把 reg 的東西 store 進去，因此 decoder/ALU_Ctrl 也多了幾條線，決定是否要做 lw/sw，和他們的輸出

Branch 的部分，多了一個 adder 算出要跳到的 pc，還有兩個 mux 來決定要怎麼跳，跳到哪個 pc

Finished part:

Cpu: 要多幾個 wire 來拉到各個部分，例: Branch/BranchType/MemWrite...

Decoder: 多出 6 條線來控制 Beq/lw/sw

ALU_Ctrl: 多處理 lw/sw/beq 的情況下的 ALU_operation

Problems you met and solutions:

忘記要把測試資料的檔案放到 examples 裡面，一直試都沒有結果，最後才發現。

在做的時候 lw 會有錯，原來是有一個地方大寫打成小寫，真的找了很久才發現，其他部分並沒有太困難，只要照著圖做就 ok 了

Summary:

這次作業相對上次好像比較簡單，應該是因為上次是第一次接觸 CPU，這次在做時，有了前次的經驗，做起來好像就比較順手了，也沒像上次花那麼多時間理解了。