1.

D

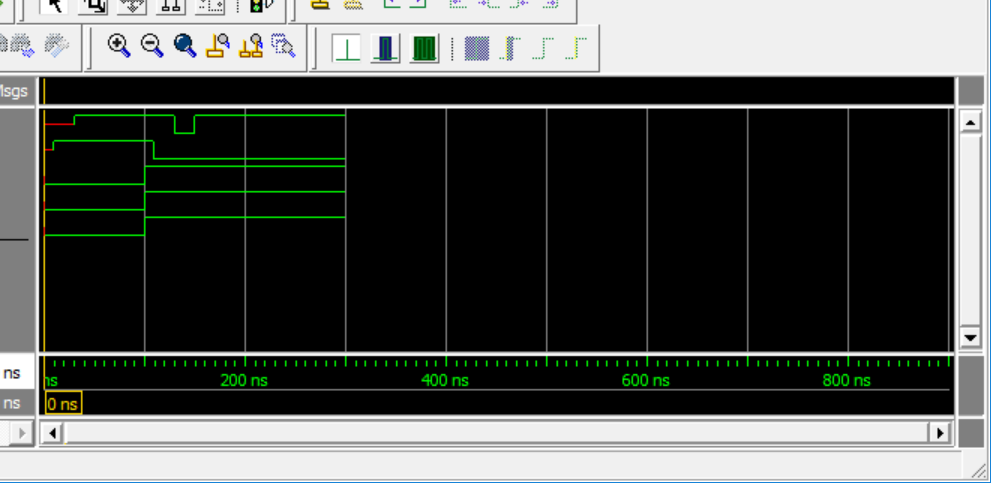
E

A

B

C

2A(a)之模擬結果波形圖

說明：圖中可發現E確實慢了10個ns，而D是AB+E，因為E已經是1了，和誰or都是1，所以可以不用等AB的and，直接就能確定or是1，所以D的延遲只有10(not)+20(or)的30ns。後面的130-150處，是由AB+E所組成，延遲共是50ns，是由AB的80-100處延遲30ns後 or上E的110-130處，再延遲20ns變成D的130-150處，而兩處都是零，所以or後也是零，之後的AB是1，D才會轉變為1。

2.

D

E

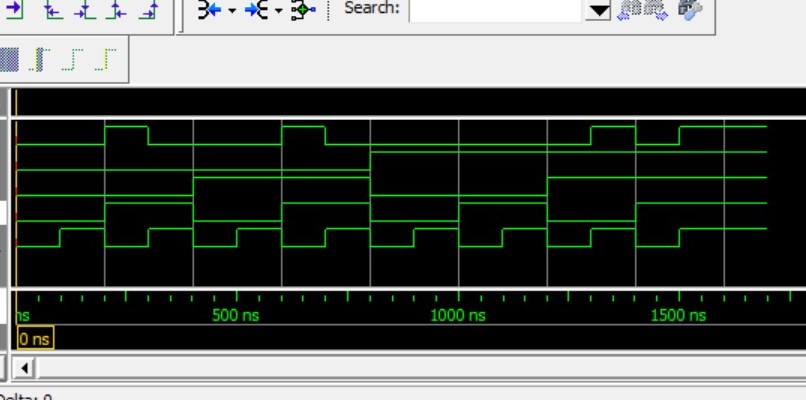
A

B

C

2A(b)之模擬結果波形圖

說明：在not 和or 兩行互換後，只改變兩行敘述的順序，並不會對結果做出改變，因為敘述是同時進行的，所以圖形與A(a)相同。

3.

F

A

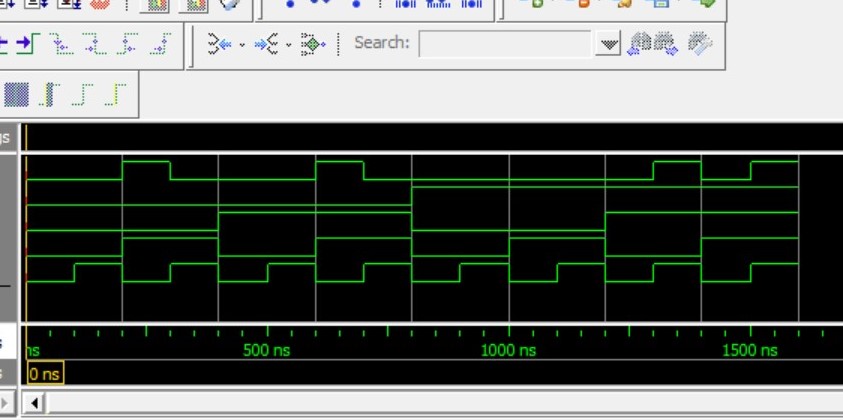
B

C

D

2B(a)之 gate-level modeling 模擬結果波形圖

說明：原式是(AB+CD’)(BD+A’)，經化簡後可得ABD+A’CD’，minterm為2,6,13,15，對應圖中200-300,500-600,1300-1400,1500-1600(ns)為1的值，可知其正確。

4.

F

A

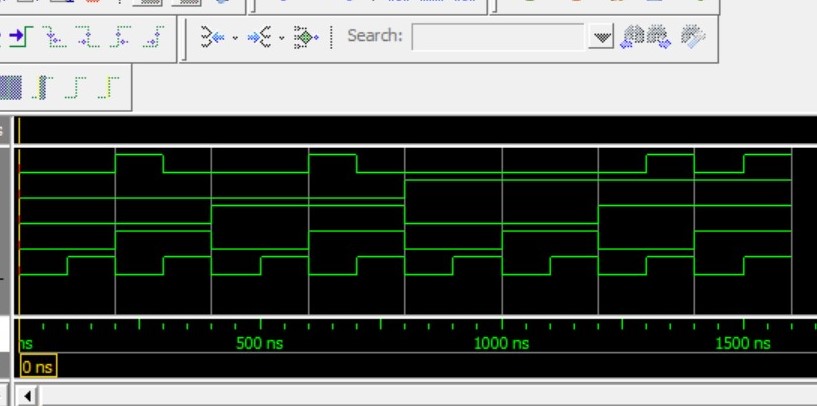
B

C

D

2B(b)之 dataflow modeling 模擬結果波形圖

說明：原式是(AB+CD’)(BD+A’)，也就是(A&&B||C&&!D)&&(B&&D||!A)，經化簡後可得ABD+A’CD’，也就是(A&&B&&D)||(!A&&C&&!D)，經由dataflow後，其結果為上圖，在2,6,13,15處為1，可知其為正確。

5.

F

A

B

C

D

2B(c)之電路模擬結果波形圖

說明：將(AB+CD’)做成UDP後，再將他and(BD+A’)後，可得此圖，由於使用了UDP，此檔案的程式碼減少了不少，使版面變相對整齊，而此圖之1值為(2,6,13,15)處，對應原式之minterm值，可知正確。

6. 圖 1 之電路不是該函式 gate input counts 最少之實作，(AB+CD’)(BD+A’)經化簡後可得ABD+A’CD’，gate input counts數由12變為8，電路圖如下

A

B F

D

A’

C

D’

7.一開始以為這份作業很難，要做很久，但在努力了一個周末後總算完成之後心中莫名有成就感，做完發覺也沒想像的那麼難，在做完了這份作業後，讓我對modelsim的使用更加順手，也對數位電路更加熟悉。在做作業時，一開始連兩種檔案的區別都不太清楚，連dataflow跟UDP也都是看好幾次老師的ppt才知道，在總算完成後，雖然知道波形圖的意思，但要解釋到清楚明白也是費了很大一番功夫，總之做了這份作業讓我學到很多。