

DesignEasy

用户使用手册

版本1.2

2019/5/7

简介	3
环境配置	3
CONFIG	3
<NETLIST>.*	7
SIM.TCL	7
结果输出	8
OPTLIST	8
OPTMEAS	8
DESIGNEASY.LOG	8
案例	9
应用1—CLASSE功率放大器	9
应用2—三阶运算放大器	15

简介

DesignEasy是面向模拟集成电路系统的优化软件，用户只需要定义变量、约束以及设计目标，软件会自动将上述条件泛化成数学模型，调用优化方案并反馈最优结果。与传统的手工设计相比，DesignEasy可以节省工程师大量的调参时间，并达成最优设计。这样的结果源于我们在DesignEasy中内建了繁杂的优化算法库，并提供持续的更新和技术支持，这些算法的核心竞争力体现在以下三个方面：

1. **质量保证**，与传统的启发式算法不同，我们的算法可以在概率意义下保障优化品质。比如，99%，99.9%，99.99%... 的把握声明结果是最优。越高的概率保障对应着越昂贵的计算、时间成本。
2. **效率保证**，所有内建算法都经过大量的实践调试，最优单位计算、时间成本内的输出结果质量。
3. **高度并行**，为解决复杂问题，内建算法支持大规模并行计算。

为了使DesignEasy的应用场合更具有一般性，我们设计了标准化的输入接口方便用户定义、描述问题。由于不同的仿真软件的输入输出形式可以非常不同，在运行DesignEasy之前，我们为用户提供客制化仿真接口方案。下面是关于DesignEasy的配置介绍。

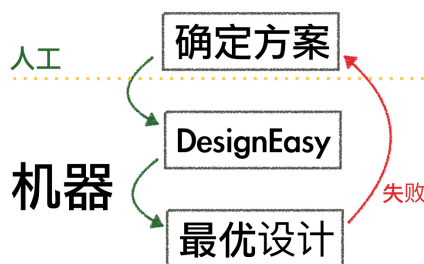


图1. DesignEasy自动求解最优设计，避免了大量的手工调参时间。

环境配置

DesignEasy依赖于三个脚本配置文件作为输入，他们分别是：config、<netlist>.*、sim.tcl

config

该文件用来定义设计对象的输入、输出文件名称，变量变化范围，以及约束条件，优化目标。

下面以一个反相器优化配置文件作为案例进一步阐释如何声明config文件。

config文件包含三个功能模块，分别用井号加以分隔，需要注意的是不能随意删减这里的井号，否则程序会报告语法错误。

```
# Flow #
Netlist name:inv.sp
Output file name:inv
#
# Parameters #
Length group 1:#LP#:4:1:6:0.1:OPT
Length group 2:#LN#:0.14:0.07:1.4:0.07:OPT
Width group 1:#WP#:0.8:0.8:20:0.8:OPT
Width group 2:#WN#:2:1:5:0.1:OPT
#
# Measurements #
DC_Current:DC_Current:---:MIN:---
Slew_Rate:Slew_Rate=:10:GE:40
#
```

Flow模块：

定义设计的网表输入和测量量输出文件，以上案例中输入的带有变量的网表文件名字为: inv.sp，测量量输出文件名字为: inv。

Parameters模块：

定义每个变量的注释，初值，变化下界，变化上界，最小变化精度以及是否参与优化。它的一般格式为：

<注释>:#<变量名>#:<初值>:<下界>:<上界>:<最小变化精度>:<是否优化>

例子：

Length group 1:#LP#:4:1:6:0.1:OPT

<注释>: Length group 1

<变量名>: LP

<初值>: 4

<下界>: 1

<上界>: 6

<最小精度>: 0.1

<是否优化>: OPT

注： 最后一条， OPT的含义是该变量参与优化。否则可以设置成- -含义为不参与优化并保持初始值。

在做数值设定的时候， 我们可以使用目前常见的量纲表示方法， 比如1n是1e-9， 1u是1e-6等等。 DesignEasy 支持的量纲系统详见表1。

表1. DesignEasy所支持的量纲系统。

符号	含义
T/t	Tera 1e+12
G/g	Giga 1e+9
M	Mega 1e+6
K/k	Kilo 1e+3
m	Mill 1e-3
u	Micro 1e-6
n	nano 1e-9
p	pico 1e-12
f	fico 1e-15
a	atto 1e-18
z	zepto 1e-21
E/e	科学计数

Measurements模块：

定义优化的目标以及约束。它的一般格式为：

<注释>:<测量量输出文件中的名称>:<权重>:<满足条件>:<条件指标>:<额外条件指标>

例子1（优化目标）：

DC_Current:DC_Current = :---:MIN:---

<注释>: DC_Current

<测量量输出文件中的名称>:DC_Current =

<权重>: - - -

<满足条件>: MIN

<条件指标>: - - -

<额外条件指标>: 无

注：<测量量输出文件中的名称>应严格吻合测量量输出文件中数值前字符串，这个例子中的直流电流在测量量文件中的体现可以是DC_Current = 1u。由于是描述优化目标，<权重>和<条件指标>不需要设置，用- - -表示。<额外条件指标>只有在定义区间条件的时候才需定义，否则留空。关于条件符号详见表2。

例子2（约束）：

Slew_Rate:Slew_Rate = :10:GE:40

<注释>: Slew_Rate

<测量量输出文件中的名称>:Slew_Rate =

<权重>:10

<满足条件>: GE

<条件指标>: 40

<额外条件指标>: 无

表2. DesignEasy内建的指标限制条件列表，只有GL要求输入额外指标要求。

符号	含义
GE	大于等于
LE	小于等于
EQ	等于
GL	大于条件指标，小于额外条件指标
MIN	最小
MAX	最大

注：<权重>用来定义该约束的优先级，越大越优先满足。通常用户可以定义为缺省值- - -。<条件指标>GE的含义是大于等于，结合<额外条件指标>，该约束的含义为测量量文件中名为Slew_Rate的值要求大于等于40。关于条件符号的定义详见表2。

<netlist>.*

定义设计对象的变量。特别地，对于电路应用，我们称之为带有变量的网表文件。

下面是一个反相器的网表变量设置。

```
MP VOUT VIN VDD VDD PMOS W=#WP# L=#LP#
MN VOUT VIN VSS VSS NMOS W=#WN# L=#LN#
```

注意这里原始设计数值被井号包围的变量替代，变量名分别为WP, LP, WN, LN。用户需注意这里的变量名需要和config文件里的变量名一致，否则软件会报错。

sim.tcl

定义运行仿真器的路径及方法。

下面是一个hspice用户可能的设置方法。

```
hspice #input# -o #output#
```

注意这里井号包围的输入，输出部分会被软件自动分配。`#input#`为软件迭代过程中生成的带有数值的网表，`#output#`为config文件中 `# Flow #` 模块中定义的测量量输出文件。

注：Hspice往往会自动为输出文件加各种后缀，比如在config中定义输出文件为inv.lis，那么运行spice后会得到一个名字为inv.lis.lis的文件，导致DesignEasy无法锁定测量量文件。这里我们推荐spice用户在sim.tcl脚本中加入去掉后缀的命令，并直接将测量量输出文件命名为不带任何后缀的形式。详细见后一章节classE放大器相关设置。

结果输出

完备所需输入文件，运行DesignEasy会生成以下输出文件。

OptList

软件找到的当前最优设计。

OptMeas

软件找到的当前最优指标。

DesignEasy.log

含有中间结果的程序日志文件，用户可以通过它查看实时的软件运行情况。

以上输出文件的具体形式详见案例章节，DesignEasy的输入输出文件系统总览如图2所示。

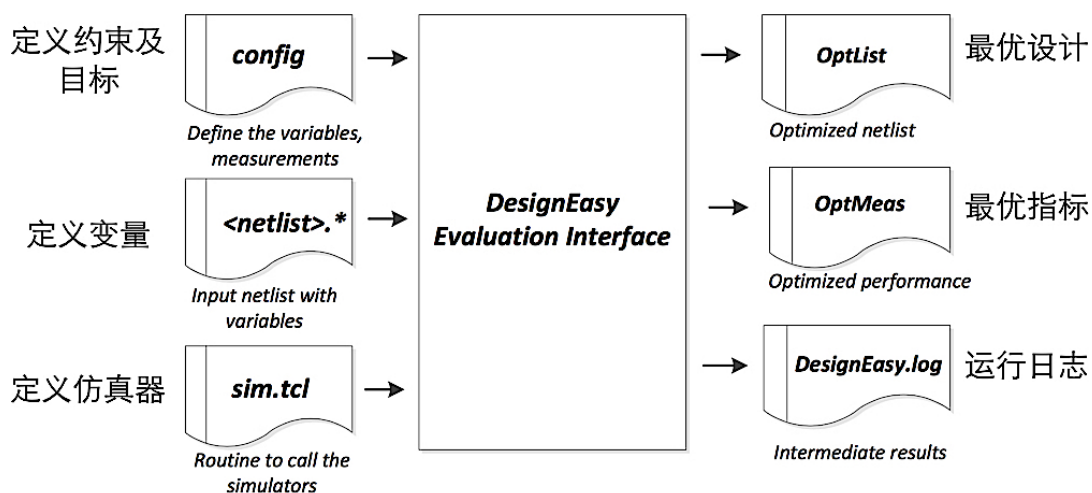


图2. DesignEasy的输入输出文件系统。

案例

这里引入两个模拟集成电路领域的应用来说明DesignEasy的使用，当然它可以解决的不仅仅局限于这两个问题。本章节DesignEasy面向的每一案例，所有输入、输出文件均详细列出。用户每次使用DesignEasy可以此为模版来适应新的场景。

应用1—classE功率放大器

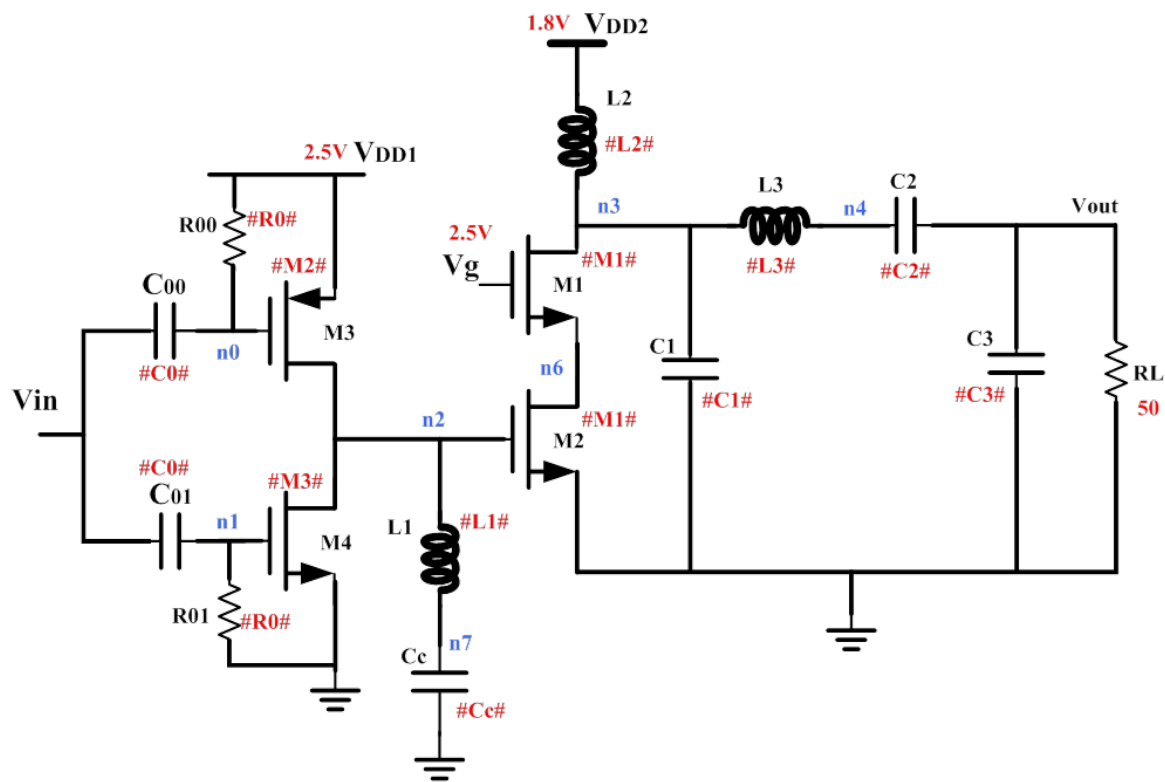


图3. classE功率放大器电路图

:

指标要求：

1. 最小直流功耗。
2. 输出功率大于0.9瓦。

输入文件：

1. <netlist>.* (classE.sp)

```
*****
.lib 'mix025_1.l' TT
*****

.OP
.option sim_accuracy=10
.option ingold=2
.option post=2
*****

.PARAM P_P = 0.1
.PARAM V_INS = '2.5'
.PARAM M2 = '#M2#'
.PARAM M3 = '#M3#'
.PARAM V_SUPPLY = '#V_SUPPLY#'
.PARAM INP_FREQ = '#INP_FREQ#'
.PARAM INP_PERIOD = '1/INP_FREQ'
.PARAM NO_PERIODS = '#NO_PERIODS#'
.PARAM TMEAS_START = '(NO_PERIODS-1)*INP_PERIOD'
.PARAM TMEAS_STOP = '(NO_PERIODS)*INP_PERIOD'
.PARAM T_PERC = 99
.PARAM TMEAS_AUX = '(NO_PERIODS-1)*INP_PERIOD \\  
+ T_PERC/100*INP_PERIOD'
*****ClassE amplifier*****
M1 n3 Vg n6 0 nch W=#W1# L=#LMIN# M=#M1# $orginal is 150
M2 n6 n2 0 0 nch W=#W1# L=#LMIN# M=#M1# $orginal is 150
L2 VDD n3 #L2# R=4.275094E-01 $
L3 n3 n4 #L3# R=4.275094E-01 $
C1 n3 0 #C1# $orginal is 37p
C2 n4 Vout #C2# $orginal is 20p
C3 Vout 0 #C3# $orginal is 14p
RL Vout 0 50
*****driver*****
M3 n2 n0 VDD1 VDD1 pch W=100u L=0.25u m=M2 $orginal is 20
M4 n2 n1 0 0 nch W=100u L=0.25u m=M3 $orginal is 8
C00 Vin n0 #C0# $orginal is 3p
C01 Vin n1 #C0#
```

```

R00 VDD1 n0 #R0#                                $orginal is 500
R01 n1 0 #R0#
L1 n2 n7 #L0# $
$orginal is 2n
Cc n7 0 #CC#                                $orginal is 5p
*****
VDD VDD 0 V_SUPPLY
VDD1 VDD1 0 2.5
Vg Vg 0 2.5
VIN VIN 0 SIN (0 2.5 900MEG 1ns)
+ POWER=1
+ HB P_P 0.0 1 1
*****
.TRAN 'INP_PERIOD/1000' '(NO_PERIODS+1)*INP_PERIOD'
.hb tones=900E6 nharms=10
.measure tran Pdc rms par('i(VDD)*V_SUPPLY') from=tmeas_start to=tmeas_stop
.measure HB Pout PARAM='P(RL)[1]'
.end

```

2. config

```

# Flow #
Netlist name:classE.sp
Output file name:classEout
#

# Parameters #
Supply voltage:#V_SUPPLY#:1.8:1:1.8:0.1:---
Temperature:#TEMP#:25:5:25:1:---
Minimal gate length:#LMIN#:0.25u:0.2u:0.25u:0.01u:---
Input frequency:#INP_FREQ#:900E6:800E6:900E6:1M:---
No of sim periods:#NO_PERIODS#:50:20:50:1:---
TR1 width:#W1#:100u:10u:100u:1u:---
TR1 M:#M1#:150:140:200:1u:OPT
TR2 M:#M2#:10:5:30:1:OPT
TR3 M:#M3#:2:1:10:1:OPT
L2 inductance:#L2#:1n:1n:5n:0.1n:OPT
L3 inductance:#L3#:3.7n:1n:5n:0.1n:OPT
C1 capacitance:#C1#:35.0p:10.1p:50p:1p:OPT
C2 capacitance:#C2#:20.0p:10.1p:50p:1p:OPT
C3 capacitance:#C3#:14.0p:10.1p:50p:1p:OPT

```

```
Driver capacitance:#C0#:3p:1p:5p:1p:OPT
Driver resistance:#R0#:500:450:550:10:OPT
Driver matching inductance:#L0#:2n:1n:5n:0.1n:OPT
Driver matching capacitance:#CC#:5p:1p:10p:1p:OPT
#

# Measurements #
P_DC:pdc=---:MIN:---
P_OUT_SPEC:pout=:20:GE:0.9
#
```

3. sim.tcl

```
#
hspicerf #input# -o #output# > /dev/null 2>&1
mv #output#.lis #output#
```

注1. 网表文件中涉及到定义库文件的操作，这个例子用的0.25um工艺库，如果改成0.18um工艺库，DesignEasy可自动实现工艺移植。

注2. sim.tcl中 > /dev/null 2>&1 的作用是避免hspicerf的输出打印到屏幕，mv #output#.lis #output# 的作用是去掉lis文件的后缀。所以在config中定义的输出测量量文件名为classEout而不是classEout.lis。

输出文件：

1. OptMeas

```
pdc= 1.2429
pout= 0.90902
```

2. OptLis

```
*****
.lib 'mix025_1.l' TT
*****

.OP
.option sim_accuracy=10
.option ingold=2
.option post=2
*****

.PARAM P_P = 0.1
.PARAM V_INS = '2.5'
.PARAM M2 = '22'
.PARAM M3 = '10'
.PARAM V_SUPPLY = '1.8'
.PARAM INP_FREQ = '9e+08'
.PARAM INP_PERIOD = '1/INP_FREQ'
.PARAM NO_PERIODS = '50'
.PARAM TMEAS_START = '(NO_PERIODS-1)*INP_PERIOD'
.PARAM TMEAS_STOP = '(NO_PERIODS)*INP_PERIOD'
.PARAM T_PERC = 99
.PARAM TMEAS_AUX = '(NO_PERIODS-1)*INP_PERIOD \\\
+ T_PERC/100*INP_PERIOD'
*****ClassE amplifier*****

M1 n3 Vg n6 0 nch W=0.0001 L=2.5e-07 M=155 $orginal is 150
M2 n6 n2 0 0 nch W=0.0001 L=2.5e-07 M=155 $orginal is 150
L2 VDD n3 4e-09
L3 n3 n4 2.6e-09
C1 n3 0 1.6e-11 $orginal is 37p
C2 n4 Vout 3.2e-11 $orginal is 20p
C3 Vout 0 2.3e-11 $orginal is 14p
RL Vout 0 50
*****driver*****

M3 n2 n0 VDD1 VDD1 pch W=100u L=0.25u m=M2 $orginal is 20
M4 n2 n1 0 0 nch W=100u L=0.25u m=M3 $orginal is 8
C00 Vin n0 3e-12 $orginal is 3p
C01 Vin n1 3e-12
R00 VDD1 n0 520 $orginal is 500
R01 n1 0 520
L1 n2 n7 4e-09 $
$orginal is 2n
Cc n7 0 2.3e-12 $orginal is 5p
*****
```

```

VDD VDD 0 V_SUPPLY
VDD1 VDD1 0 2.5
Vg Vg 0 2.5
VIN VIN 0 SIN (0 2.5 900MEG 1ns)
+ POWER=1
+ HB P_P 0.0 1 1
*****

.TRAN 'INP_PERIOD/1000' '(NO_PERIODS+1)*INP_PERIOD'
.hb tones=900E6 nharms=10
.measure tran Pdc rms par('i(VDD)*V_SUPPLY') from=tmeas_start to=tmeas_stop
.measure HB Pout PARAM='P(RL)[1]'
.end

```

3. DesignEasy.log

```

...
-cost: 15.4028
para: C0, 5e-12 // C1, 2.3e-11 // C2, 2.5e-11 // C3, 1.7e-11 // CC, 4e-12 //
INP_FREQ, 9e+08 // L0, 3.3e-09 // L2, 1.6e-09 // L3, 3.9e-09 // LMIN, 2.5e-07 //
M1, 155 // M2, 22 // M3, 10 // NO_PERIODS, 50 // R0, 500 // TEMP, 25 //
V_SUPPLY, 1.8 // W1, 0.0001 //
meas: pdc=, 0.97343 // pout=, 0.25068 //
-cost: 2.1653
para: C0, 5e-12 // C1, 2.3e-11 // C2, 2.5e-11 // C3, 1.7e-11 // CC, 4e-12 //
INP_FREQ, 9e+08 // L0, 3.3e-09 // L2, 2.6e-09 // L3, 3e-09 // LMIN, 2.5e-07 //
M1, 155 // M2, 22 // M3, 10 // NO_PERIODS, 50 // R0, 500 // TEMP, 25 //
V_SUPPLY, 1.8 // W1, 0.0001 //
meas: pdc=, 2.1653 // pout=, 1.1544 //
-cost: 15.5554
para: C0, 5e-12 // C1, 2.3e-11 // C2, 2.5e-11 // C3, 1.7e-11 // CC, 4e-12 //
INP_FREQ, 9e+08 // L0, 3.3e-09 // L2, 2.6e-09 // L3, 3.9e-09 // LMIN, 2.5e-07 //
M1, 155 // M2, 22 // M3, 10 // NO_PERIODS, 50 // R0, 470 // TEMP, 25 //
V_SUPPLY, 1.8 // W1, 0.0001 //
meas: pdc=, 1.0325 // pout=, 0.24647 //
-cost: 18.6043
para: C0, 5e-12 // C1, 2.3e-11 // C2, 2.3e-11 // C3, 1.6e-11 // CC, 3.9e-12 //
INP_FREQ, 9e+08 // L0, 3.3e-09 // L2, 2.6e-09 // L3, 2e-09 // LMIN, 2.5e-07 //
M1, 155 // M2, 22 // M3, 10 // NO_PERIODS, 50 // R0, 500 // TEMP, 25 //
V_SUPPLY, 1.8 // W1, 0.0001 //
meas: pdc=, 1.8879 // pout=, 0.14776 //
...

```

注. 软件每次迭代调用仿真器的结果都会记录在DesignEasy.log中，用户可以在程序运行的同时打开DesignEasy.log文件时时监测运行情况。

对功率放大器的优化结果总结如表3.

表3. DesignEasy功率放大器优化小结

测量量	要求	优化结果
直流功耗 (Pdc)	最小	1.24瓦
输出功率 (Pout)	大于等于0.9瓦	0.91瓦

应用2—三阶运算放大器

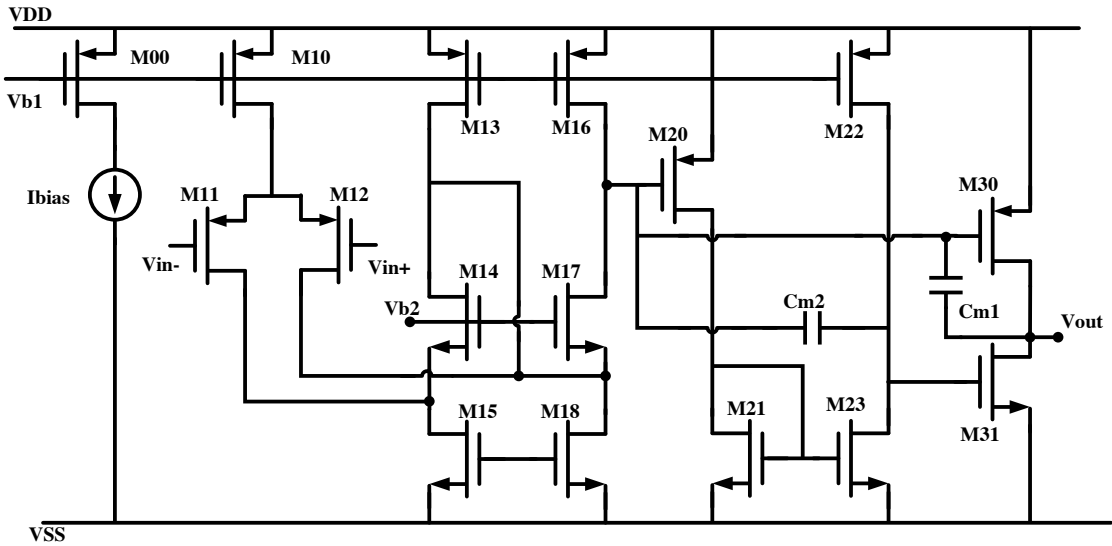


图4. 三阶运算放大器电路图

指标要求：

- 1. 最小交流功耗。

2. 直流增益大于122分贝
3. 相位裕度大于51.8度小于70度
4. 电压转换速率大于0.777兆
5. 单位增益带宽大于3兆

输入文件：

1. <netlist>.* (amp3.sp)

```

*Three stage operational amplifier
*** ** OPAMP SUBCIRCUIT *** **
.SUBCKT PFC.SUB VP VN VOUT IBIAS VB1 AVDD AVSS
M00 IBIAS IBIAS AVDD AVDD PMOS W=#WM00_10# L=#LM1#
* differential pair
M10 1 IBIAS AVDD AVDD PMOS W=#WM00_10# L=#LM1# M=6
M11 2 VN 1 1 PMOS W=#WM11_12# L=#LM2#
M12 3 VP 1 1 PMOS W=#WM11_12# L=#LM2#
* folded cascode
M13 4 IBIAS AVDD AVDD PMOS W=#WM13_16# L=#LM1# M=3
M16 5 IBIAS AVDD AVDD PMOS W=#WM13_16# L=#LM1# M=3
M14 4 VB1 2 AVSS NMOS W=#WM14_17# L=#LM3#
M17 5 VB1 3 AVSS NMOS W=#WM14_17# L=#LM3#
M15 2 4 AVSS AVSS NMOS W=#WM15_18# L=#LM4#
M18 3 4 AVSS AVSS NMOS W=#WM15_18# L=#LM4#
* second stage
M20 6 5 AVDD AVDD PMOS W=#WM20# L=#LM6#
M22 7 IBIAS AVDD AVDD PMOS W=#WM22# L=#LM1#
M21 6 6 AVSS AVSS NMOS W=#WM21_23# L=#LM5#
M23 7 6 AVSS AVSS NMOS W=#WM21_23# L=#LM5#
* third stage
M30 VOUT 5 AVDD AVDD PMOS W=#WM30# L=#LM6# M=22
M31 VOUT 7 AVSS AVSS NMOS W=#WM31# L=#LM7# M=5
* compensation
CM1 5 VOUT #CC1#
CM2 5 7 #CC2#
.ENDS PFC.SUB
*** ** SUPPLY VOLTAGES *** **
VDD VDD 0 #VSUPPLY#
VSS VSS 0 0
*** ** BIAS VOLTAGE *** **
WB1 VB1 VSS DC #VBIAS#

```



```

*** ** BIAS CURRENT *** **
IIBIAS IBIAS VSS #IBIAS#
*** ** SUB-CIRCUIT *** **
XOPAMP VP VN VOUT IBIAS VB1 VDD VSS PFC.SUB
*** ** LOAD *** **
RL VOUT VX #RLOAD#
CL VOUT VX #CLOAD#
VX VX VSS '#VSUPPLY#/2'
*** ** AC LOOP *** **
VIN VP VSS '#VSUPPLY#/2' AC 1
RX VN VOUT 1m AC=1E12
CX VN VSS 10
*** ** ANALYSIS *** **
.AC DEC 100 0.001 1E9
.PZ V(VOUT) VIN
.PROBE AC VDB(VOUT)
.PROBE AC VP(VOUT)
.OP
.OPTION POST UNWRAP
.option sim_accuracy=10
.option ingold=2
.option post=2
.option putmeas=0
.INCLUDE p.typ
.INCLUDE n.typ
.MEASURE AC ac_power PARAM='-p(VDD)'
.MEASURE AC ZUGF WHEN VDB(VOUT)=0 CROSS=1
.MEASURE AC UGFZSR TRIG AT=1 TARG VDB(VOUT) VAL=0 FALL=1
.MEASURE AC ZSR PARAM='UGFZSR*3.14'
.MEASURE AC dc_gain FIND VDB(VOUT) AT=0.1
.MEASURE AC phaseZPM FIND VP(VOUT) WHEN VDB(VOUT)=0
.MEASURE AC ZPM PARAM='180+phaseZPM'
.END

```

2. config

```
# Flow #
Netlist name:amp3.sp
Output file name:ampout
#

# Parameters #
Supply voltage:#VSUPPLY#:3:2.4:3.3:0.1:---
Minimal gate length:#LMIN#:0.35u:0.25u:0.5u:0.1u:---
Load capacitance:#CLOAD#:100p:100p:130p:1p:---
Load resistance:#RLOAD#:25k:10k:50k:1k:---
Bias voltage:#VBIAS#:1.25:1:3:0.1:OPT
Bias current:#IBIAS#:5u:1u:10u:0.1u:OPT
C compensation 1:#CC1#:15p:2p:20p:1p:OPT
C compensation 2:#CC2#:3p:2p:20p:1p:OPT
Length group 1:#LM1#:0.7u:0.35u:7u:0.01u:OPT
Length group 2:#LM2#:0.7u:0.35u:7u:0.01u:OPT
Length group 3:#LM3#:0.7u:0.35u:7u:0.01u:OPT
Length group 4:#LM4#:0.7u:0.35u:7u:0.01u:OPT
Length group 5:#LM5#:0.7u:0.35u:7u:0.01u:OPT
Length group 6:#LM6#:0.7u:0.35u:7u:0.01u:OPT
Length group 7:#LM7#:0.5u:0.35u:7u:0.01u:OPT
Width M00_10:#WM00_10#:10u:0.35u:50u:0.01u:OPT
Width M11_12:#WM11_12#:40u:0.35u:50u:0.01u:OPT
Width M13+16:#WM13_16#:10u:0.35u:50u:0.01u:OPT
Width M14_17:#WM14_17#:6u:0.35u:50u:0.01u:OPT
Width M15_18:#WM15_18#:11.01u:0.35u:50u:0.01u:OPT
Width M20:#WM20#:15u:0.35u:50u:0.01u:OPT
Width M22:#WM22#:10u:0.35u:50u:0.01u:OPT
Width M21_23:#WM21_23#:2u:0.35u:50u:0.01u:OPT
Width M30:#WM30#:1.5u:0.35u:50u:0.01u:OPT
Width M31:#WM31#:1.5u:0.35u:50u:0.01u:OPT
#

# Measurements #
AC_POWER:ac_power=:---:MIN:---
dc_gain:dc_gain=:1:GE:122
phase_margin:zpm=:1:GL:51.8:70
amp3_slew_rate:zsr=:1:GE:0.777M
unity_gain_frequency:zugf=:1:GE:3M
#
```

3. sim.tcl

```
#  
hspice #input# -o #output# > /dev/null 2>&1  
mv #output#.lis #output#
```

输出文件：

1. OptMeas

```
ac_power= 0.00096935  
dc_gain= 129.9  
zpm= 51.815  
zsr= 9.894e+06  
zugf= 3.151e+06
```

2. OptLis

```
*Three stage operational amplifier  
*** ** OPAMP SUBCIRCUIT *** **  
.SUBCKT PFC.SUB VP VN VOUT IBIAS VB1 AVDD AVSS  
M00 IBIAS IBIAS AVDD AVDD PMOS W=2.876e-05 L=3.04e-06  
* differential pair  
M10 1 IBIAS AVDD AVDD PMOS W=2.876e-05 L=3.04e-06 M=6  
M11 2 VN 1 1 PMOS W=2.41e-05 L=8.6e-07  
M12 3 VP 1 1 PMOS W=2.41e-05 L=8.6e-07  
* folded cascode  
M13 4 IBIAS AVDD AVDD PMOS W=3.806e-05 L=3.04e-06 M=3  
M16 5 IBIAS AVDD AVDD PMOS W=3.806e-05 L=3.04e-06 M=3  
M14 4 VB1 2 AVSS NMOS W=1.762e-05 L=3.56e-06  
M17 5 VB1 3 AVSS NMOS W=1.762e-05 L=3.56e-06  
M15 2 4 AVSS AVSS NMOS W=1.514e-05 L=3.19e-06  
M18 3 4 AVSS AVSS NMOS W=1.514e-05 L=3.19e-06  
* second stage  
M20 6 5 AVDD AVDD PMOS W=2.683e-05 L=4.8e-07  
M22 7 IBIAS AVDD AVDD PMOS W=3.413e-05 L=3.04e-06  
M21 6 6 AVSS AVSS NMOS W=1.127e-05 L=2.29e-06  
M23 7 6 AVSS AVSS NMOS W=1.127e-05 L=2.29e-06  
* third stage
```

```

M30 VOUT 5 AVDD AVDD PMOS W=4.323e-05 L=4.8e-07 M=22
M31 VOUT 7 AVSS AVSS NMOS W=1.684e-05 L=4.67e-06 M=5
* compensation
CM1 5 VOUT 1e-11
CM2 5 7 7e-12
.ENDS PFC.SUB
*** ** SUPPLY VOLTAGES *** **
VDD VDD 0 3
VSS VSS 0 0
*** ** BIAS VOLTAGE *** **
VWB1 VB1 VSS DC 1.4
*** ** BIAS CURRENT *** **
IIBIAS IBIAS VSS 5.7e-06
*** ** SUB-CIRCUIT *** **
XOPAMP VP VN VOUT IBIAS VB1 VDD VSS PFC.SUB
***** LOAD *** **
RL VOUT VX 25000
CL VOUT VX 1e-10
VX VX VSS '3/2'
*** ** AC LOOP *** **
VIN VP VSS '3/2' AC 1
RX VN VOUT 1m AC=1E12
CX VN VSS 10
*** ** ANALYSIS *** **
.AC DEC 100 0.001 1E9
.PZ V(VOUT) VIN
.PROBE AC VDB(VOUT)
.PROBE AC VP(VOUT)
.OP
.OPTION POST UNWRAP
.option sim_accuracy=10
.option ingold=2
.option post=2
.option putmeas=0
.INCLUDE p.typ
.INCLUDE n.typ
.MEASURE AC ac_power PARAM='-p(VDD)'
.MEASURE AC ZUGF WHEN VDB(VOUT)=0 CROSS=1
.MEASURE AC UGFZSR TRIG AT=1 TARG VDB(VOUT) VAL=0 FALL=1
.MEASURE AC ZSR PARAM='UGFZSR*3.14'
.MEASURE AC dc_gain FIND VDB(VOUT) AT=0.1
.MEASURE AC phaseZPM FIND VP(VOUT) WHEN VDB(VOUT)=0
.MEASURE AC ZPM PARAM='180+phaseZPM'
.END

```

3. DesignEasy.log

```
...
-cost: 0.217917
para: CC1, 5e-12 // CC2, 1.5e-11 // CLOAD, 1e-10 // IBIAS, 6.9e-06 //
LM1, 5.34e-06 // LM2, 2.29e-06 // LM3, 2.04e-06 // LM4, 4.9e-06 // LM5,
5.34e-06 // LM6, 4.54e-06 // LM7, 5.33e-06 // LMIN, 3.5e-07 // RLOAD, 25000 //
VBIAS, 1.4 // VSUPPLY, 3 // WM00_10, 3.944e-05 // WM11_12, 3.074e-05 //
WM13_16, 1.215e-05 // WM14_17, 1.182e-05 // WM15_18, 3.77e-05 // WM20,
1.7e-06 // WM21_23, 1.375e-05 // WM22, 3.503e-05 // WM30, 2.968e-05 //
WM31, 3.661e-05 //
meas: ac_power=, 0.0075637 // dc_gain=, 141.97 // zpm=, 43.668 // zsr=,
9.3632e+06 // zugf=, 2.9819e+06 //

-cost: 0.0411503
para: CC1, 5e-12 // CC2, 1.5e-11 // CLOAD, 1e-10 // IBIAS, 6.9e-06 // LM1
, 5.34e-06 // LM2, 2.36e-06 // LM3, 2.04e-06 // LM4, 4.9e-06 // LM5, 5.34e-06 //
LM6, 4.51e-06 // LM7, 5.45e-06 // LMIN, 3.5e-07 // RLOAD, 25000 // VBIAS,
1.4 // VSUPPLY, 3 // WM00_10, 3.97e-05 // WM11_12, 3.074e-05 // WM13_16,
1.217e-05 // WM14_17, 1.284e-05 // WM15_18, 3.769e-05 // WM20, 8.3e-07 //
WM21_23, 1.372e-05 // WM22, 3.507e-05 // WM30, 2.975e-05 // WM31,
3.662e-05 //
meas: ac_power=, 0.015817 // dc_gain=, 131.05 // zpm=, 52.84 // zsr=, 9.6405e
+06 // zugf=, 3.0702e+06 //

-cost: 0.236384
para: CC1, 5e-12 // CC2, 1.5e-11 // CLOAD, 1e-10 // IBIAS, 6.9e-06 // LM1,
5.34e-06 // LM2, 2.34e-06 // LM3, 2.03e-06 // LM4, 4.9e-06 // LM5, 5.34e-06 //
LM6, 4.52e-06 // LM7, 5.44e-06 // LMIN, 3.5e-07 // RLOAD, 25000 // VBIAS,
1.4 // VSUPPLY, 3 // WM00_10, 3.959e-05 // WM11_12, 3.076e-05 // WM13_16,
1.22e-05 // WM14_17, 1.283e-05 // WM15_18, 3.769e-05 // WM20, 1.8e-06 //
WM21_23, 1.367e-05 // WM22, 3.579e-05 // WM30, 2.983e-05 // WM31,
3.664e-05 //
meas: ac_power=, 0.0072968 // dc_gain=, 142.06 // zpm=, 43.357 // zsr=,
9.2371e+06 // zugf=, 2.9418e+06 //
...
```

对三阶运算放大器的优化结果总结如表4.

表4. 三阶运算放大器优化小结

测量量	要求	优化结果
交流功耗 (ac_power)	最小	0.97毫瓦
直流增益 (dc_gain)	大于122分贝	129.9分贝
相位裕度 (zpm)	大于51.8度小于70度	51.82度
电压转换速率 (zsr)	大于0.777兆	9.9兆
单位增益带宽 (zugf)	大于3兆	3.15兆