

# 2025 Digital IC Design Homework 3

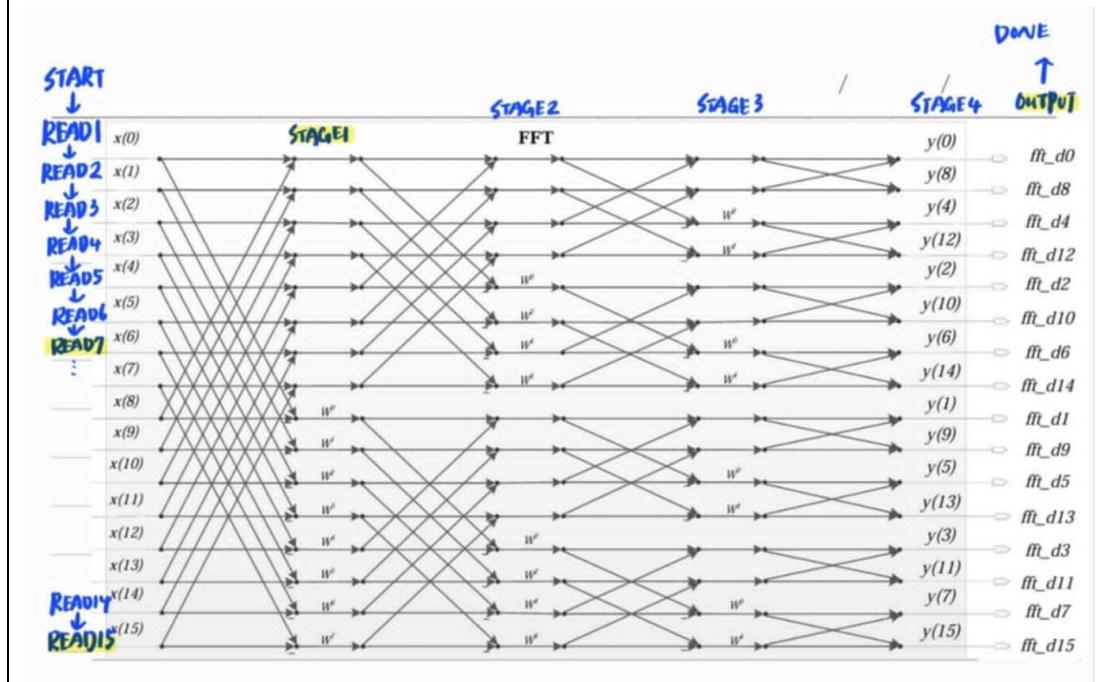
NAME	陳廷睿
Student ID	F74101034

## Simulation Result

Functional simulation	Pass	Pre-Layout simulation	Pass
<p>Congratulations! All data have been generated successfully! Total use 1033 cycles to complete simulation.</p> <pre> ** Note: \$finish : C:/Users/F74101034/Downloads/2025_lab3/testfixture.sv(213) # Time: 26884 ns Iteration: 0 Instance: /testfixture # Break in Module testfixture at C:/Users/F74101034/Downloads/2025_lab3/testfixture.sv(213) # </pre>			Please specify your clock width: <u>26</u> (ns)

## Synthesis Result

Total logic elements	5,479 / 55,856 ( 10 % )
Total memory bits	0 / 2,396,160 ( 0 % )
Total registers	1310
Embedded multiplier 9-bit elements	120 / 308 ( 39 % )



## Description of your design

由 START 狀態開始，依序進行 READ1，讀取輸入並放置  $x_0$ , READ2，讀取輸入放置  $x_1$ ，直到 READ15，讀取輸入放置  $x_{16}$ ，後進行四個階段的富麗業轉換，最後到 OUTPUT 狀態，OUTPUT 狀態包含兩個  $clk$ ，一個輸出實數，第二個輸出虛數，此時判斷  $fir\_valid$  是否為 1，如果為 1 代表輸出有效，需要繼續進行傅立葉轉換，因此跳至 READ6，如果為 0 代表結束，跳至 DONE。

其中 STAGE1234 代表四個 stage 的傅立葉轉換，此狀態和 OUTPUT 狀態都會同時判斷  $fir\_valid$  是否有效，若有效會繼續讀取新的輸入存到  $x$ 。因此在結束 OUTPUT 後，已經讀取完  $x_4$ ，所以會跳至 READ6 狀態。

傅立葉轉換我共使用 8 個 unit 依照圖示進行。