

付杰

(+86) 151-6213-3916 | timemeansalot@gmail.com | [付杰的个人博客](#)¹ | [Github 主页](#) | [Resume in English](#)

教育经历

上海科技大学与中科院计算所联合培养 | 计算机科学与技术 学术型硕士研究生 2021.09—2024.06
GPA: 3.19/4.0, 主要研究方向为芯片设计、计算机体系结构, **2024 年应届生**, 校级奖学金 (3 次)
中国矿业大学 | 计算机科学与技术, 计算机学院 | 工学学士 2016.09—2020.06
GPA: 3.4/4.0, 校级奖学金 (1 次), 院级奖学金 (1 次), 优秀新生奖学金 (1 次)。

技术能力

- **语言**: 常用 Verilog, Python, C; 熟悉 C++, Chisel; 了解 Scala, LaTeX。²
- **工作流**: Linux, Makefile, (Neo)Vim, Git, Tmux.
- **其他**: 熟悉 RISC-V 指令集、Toolchain, 了解开源的 RISC-V 处理器项目; 英语六级 551 分。

实习经历

中国科学院计算技术研究所 | 芯片设计实习生 2022.06—2023.06

- 实习的主要内容是为 **5G 基带芯片中的加速器调度问题设计 MCU**, 作为项目主要负责人, 研究了 **RISC-V 32IMC 指令集及 RISC-V Toolchain**; 研究了基带芯片的架构设计、以及开源的 RISC-V 处理器设计。
- 在此基础上设计了 **MCU 的五级流水线架构**, 编写了 **MCU 主要功能部件的 RTL 代码**。

上海处理器创新中心 | 开源 IP 开发 2023.07—至今

实习的主要工作是为一生一芯项目提供经过充分验证的 IP 组件库, 搭建 IP 的设计及验证平台; 目前我主要负责 VGA 模块的设计、验证工作, 在流片之前拟将 VGA 模块放到 FPGA 板卡上进行验证, 保证流片之后 IP 能够正常使用。

项目经历

RISC-V 快速响应 MCU

- **项目需求**: 老师项目组里现有的 5G 基带芯片中有很多加速器, 购买的 Andes 的 RISC-V 处理器核来负责加速器的调度, 但是发现加速器向处理器核发出中断之后需要几百上千个周期来响应, 达不到预期的设计要求、并且由于是购买的 IP 定位问题也很不方便;
于是想要设计一款专门用于基带芯片加速器调度的 RISC-V MCU, **满足快速响应的需求并且能够自主可控**。
- **工作内容**:
 1. 分析现有的加速器调度问题, 其缺点有: 1. 中断响应发出后需要很长的时间用于软件保存上下文; 2. 不支持中断嵌套, 导致多个加速器发出响应后调度很慢。在此基础上提出了**硬件保存上下文和中断尾链**的解决方法。
 2. 设计 MCU 架构: 调研了市面上开源的 RISC-V 处理器核, 如蜂鸟 E203、果壳、香山、玄铁等; 提出了**顺序单发射五级流水线**的架构, 支持 RISC-V 32IMC 指令集;
我主要负责**取指、译码和访存模块**的设计及实现, 支持指令预取、分支预测、压缩指令对齐、紧耦合存储器。
 3. 搭建 MCU Core 验证平台: 引入了 Difttest 验证框架, 采用 Spike 作为 Golden Model 来验证 MCU 的功能正确性, 针对自研的 MCU 对验证框架做了适配; 目前已经通过了所有的 riscv-tests 测试集; 后续准备在 FPGA 上对微控制器进一步测试。
- **项目收获**: 对 RISC-V 指令集及开源工具链有了比较深刻的理解; 对处理器架构、中断、程序执行有了更深刻的认识; 编程能力以及处理器核验证能力有了很大提升; 沟通、撰写文档以及项目管理能力得到了锻炼。

开源 IP 开发³

目前主要负责为一生一芯项目组设计 VGA 开源 IP 模块, 目前该项目还在进行当中, 其主要工作包括:

- **项目需求**: 主要为一生一芯项目组板卡开发 VGA 模块, 提供经过仿真验证的 VGA 模块, 拟支持的分辨率有 800x600, 640x480, 480x272, 320x240。
- **工作内容**: 设计 VGA 模块的规格、接口及详细设计方案, 以及 VGA 跟处理器核及 SDRAM 交互的方案; 搭建 IP 模块的开发、验证框架, 确定测试点方案及测试向量。其中 VgaCtrl 模块用于产生输出到屏幕的 rgb 信号跟同步信号, 内部配置有 PingPongRegister 通过 AXI 总线从 SDRAM 读取颜色信息, 内部有 ConfigUnit 通过 APB 总线接受 Core 的配置信息。
- **项目收获**: 了解了 VGA、嵌入式系统、总线的相关知识; 加深了对 UVM 验证及开源的认识。

个人总结

学习力强, 具有比较丰富的团队项目开发经验、熟悉芯片前端流程、处理器核及体积结构基础扎实、熟悉常见的总线、熟练使用 Verilog、了解使用过 Chisel; 未来想从事处理器核设计、IP 设计、数字验证和 EDA 等方面的工作。

¹ 下划线内容包含超链接。 ² 与求职岗位无关的技能省略或用灰色表示。 ³ 项目名可达项目地址。