付杰

(+86) 151-6213-3916 | timemeansalot@gmail.com | 付杰的个人博客 ¹ | Github 主页

教育经历

上海科技大学与中科院计算所联合培养 | 计算机科学与技术 学术型硕士研究生

2021.09-2024.06

GPA: 3.02/4.0, 主要研究方向为芯片设计、计算机体系结构, **2024** 年应届生, 校级奖学金 (2 次)

中国矿业大学 | 计算机科学与技术, 计算机学院 | 工学学士

2016.09—2020.06

GPA: 3.4/4.0, 校级奖学金 (1 次), 院级奖学金 (1 次), 优秀新生奖学金 (1 次)。

技术能力

- 语言: 编程不受特定语言限制。常用 Verilog, Python, C; 熟悉 C++, Chisel; 了解Scala, LaTeX。²
- 工作流: Linux, Makefile, (Neo)Vim, Git, Tmux.
- 其他: 熟悉 RISC-V 指令集、Toolchain, 了解开源的 RISC-V 处理器项目。

实习经历

中国科学院计算技术研究所 | 芯片设计实习生

2022.06-2023.06

- 实习的主要内容是为 5G 基带芯片中的加速器调度问题设计 MCU,作为项目主要负责人,研究了 RISC-V 32IMC 指令集及 RISC-V Toolchain; 研究了基带芯片的架构设计、以及开源的 RISC-V 处理器设计。
- 在此基础上设计了 MCU 的五级流水线架构,编写了 MCU 主要功能部件的 RTL 代码。

上海处理器创新中心 | 开源 IP 开发

2023.07—至今

实习的主要工作是为**一生一芯项目**开发开源 IP,工作重心主要聚焦在数字外设 IP 核,后期将会围绕"一生一芯"处理器板卡打造一套开源且经过流片验证的外设组件库,通过不断迭代的方式逐步优化各个 IP 的功能和性能,最终实现对常用 IP 组件的全覆盖,从而构建一套完整且稳定的开源 SoC 生态系统,供个人和企业免费使用。

深圳无限数科技有限公司 | 架构模型验证

2021.01—2021.06

• 所在项目负责设计一款路由芯片,芯片的架构设计首先由 C 语言编写 C 模型。我主要的工作是负责根据项目的设计文档验证 C 模型的功能是否正确、找出 C 模型的 Bug、修复 Bug。测试的时候使用到了 Google Test 框架。

项目经历

RISC-V 低功耗快速响应 MCU

- 该 MCU 是基于 RISC-V 的顺序单发射五级流水线处理器、支持 RV-32IMC 指令集, 其架构设计参考了蜂鸟、果壳和经典五级流水线。
- 在 IF Stage 设计了指令预取跟指令 FIFO 用于处理指令对齐问题; 在 ID Stage 设计了译码器、分支预测器、压缩指令扩展、立即数拓展单元; 在 EXE Stage 支持 RV-32IM 相关的计算、并且会对分支指令的预测进行验证; 在 MEM Stage 和 IF Stage, 设计了紧耦合存储器来避免 Cache Miss 导致的不确定延时; WB Stage 会根据指令类型选择数据源写回到通用寄存器组; 此外设计了 Hazard Unit 来控制流水线的刷新 (flush) 和暂停 (stall)。
- 项目目前使用 Verilog 语言,目前处理器除了 CSR 单元外,其余部分代码已经编写完成,处于验证阶段 (采用 iverilog 跟 gtkwave);
- 搭建 MCU Core 验证平台,主要工作是搭建 Difftest 框架,编译 riscv-tests 源码加载到 Difftest,将 MCU Core 运 行的结果同 Spike 进行比较,从而验证 MCU Core 的功能正确性。

开源 IP 开发

目前主要负责为一生一芯项目组设计 VGA 开源 IP 模块,目前该项目还在进行当中,其主要工作包括:

- 调研 VGA 文档、开源项目,在此基础上撰写设计文档、开会论证方案
- 根据设计方案编写 RTL 代码
- 搭建 IP 验证平台,设计测试用例完成 IP 验证工作

个人总结

- 本人乐观开朗、在校成绩优异、自驱能力强、当过助教,具有良好的沟通能力和团队合作精神。
- 可以使用英语进行工作交流(六级成绩 551),平时有阅读英文论文和口语练习的习惯。
- 对 Linux 下工具熟悉,日常使用 tmux, nvim, git; 能编写 shell, Makefile 等
- 热爱开源,喜欢分享自己的技术博客,持续关注处理器技术、体系结构技术、AI 技术发展。

¹ 下划线内容包含超链接。 2 与求职岗位无关的技能省略或用灰色表示。