

付杰

(+86) 151-6213-3916 | timemeansalot@gmail.com | [付杰的个人博客](#)¹ | [Github 主页](#)

教育经历

上海科技大学与中科院计算所联合培养 | 计算机科学与技术 学术型硕士研究生 2021.09—2024.06
GPA: 3.02/4.0, 主要研究方向为芯片设计、计算机体系结构, 2024 年应届生, 校级奖学金 (2 次)
中国矿业大学 | 计算机科学与技术, 计算机学院 | 工学学士 2016.09—2020.06
GPA: 3.4/4.0, 校级奖学金 (1 次), 院级奖学金 (1 次), 优秀新生奖学金 (1 次)。

技术能力

- 语言: 编程不受特定语言限制。常用 Verilog, Python, C; 熟悉 C++, Chisel; 了解 Scala, LaTeX。²
- 工作流: Linux, Makefile, (Neo)Vim, Git, Tmux.
- 其他: 熟悉 RISC-V 指令集、Toolchain, 了解开源的 RISC-V 处理器项目。

实习经历

中国科学院计算技术研究所 | 芯片设计实习生 2022.06—2023.06

- 实习的主要内容是为 5G 基带芯片中的加速器调度问题设计 MCU, 作为项目主要负责人, 研究了 RISC-V 32IMC 指令集及 RISC-V Toolchain; 研究了基带芯片的架构设计、以及开源的 RISC-V 处理器设计。
- 在此基础上设计了 MCU 的五级流水线架构, 编写了 MCU 主要功能部件的 RTL 代码。

上海处理器创新中心 | 开源 IP 开发 2023.07—至今

实习的主要工作是为一生一芯项目开发开源 IP, 工作重心主要聚焦在数字外设 IP 核, 后期将会围绕“一生一芯”处理器板卡打造一套开源且经过流片验证的外设组件库, 通过不断迭代的方式逐步优化各个 IP 的功能和性能, 最终实现对常用 IP 组件的全覆盖, 从而构建一套完整且稳定的开源 SoC 生态系统, 供个人和企业免费使用。

深圳无限数科技有限公司 | 架构模型验证 2021.01—2021.06

- 所在项目负责设计一款路由芯片, 芯片的架构设计首先由 C 语言编写 C 模型。我主要的工作是负责根据项目的设计文档验证 C 模型的功能是否正确、找出 C 模型的 Bug、修复 Bug。测试的时候使用到了 Google Test 框架。

项目经历

RISC-V 低功耗快速响应 MCU

- 项目需求: 老师项目组里现有的 5G 基带芯片中有很多加速器, 购买的 Andes 的 RISC-V 处理器核来负责加速器的调度, 但是发现加速器向处理器核发出中断之后需要几百上千个周期来响应, 达不到预期的设计要求、并且由于是购买的 IP 定位问题也很不方便;
于是想要设计一款专门用于基带芯片加速器调度的 RISC-V 微控制器, 满足快速响应的需求并且能够自主可控。
- 工作内容:
 1. 分析现有的加速器调度问题, 其缺点有: 1. 中断响应发出后需要很长的时间用于软件保存上下文; 2. 不支持中断嵌套, 导致多个加速器发出响应后调度很慢。在此基础上提出了硬件保存上下文和中断尾链的解决方法。
 2. 设计微控制器架构: 调研了市面上开源的 RISC-V 处理器核, 如蜂鸟 E203、果壳、香山、玄铁等, 基于目前项目采用 RISC-V 32IMC 指令集; 提出了顺序单发射五级流水线的架构, 并且主要负责取指、译码和访存模块的设计及实现, 支持指令预取、分支预测、压缩指令对齐、紧耦合存储器。
 3. 微控制器验证: 引入了 Difttest 验证框架, 采用 Spike 作为 Golden Model 来验证微控制器的功能正确性, 针对自研的微控制器对验证框架做了适配; 目前已经通过了所有的 riscv-tests 测试集; 后续准备在 FPGA 上对微控制器进一步测试。
- 项目收获: 对 RISC-V 指令集及开源工具链有了比较深刻的理解; 对处理器架构、中断、程序执行有了更深刻的认识; 编程能力以及处理器核验证能力有了很大提升; 沟通、撰写文档以及项目管理能力得到了锻炼。TODO: 收获部分可以修改

开源 IP 开发

目前主要负责为一生一芯项目组设计 VGA 开源 IP 模块, 目前该项目还在进行当中, 其主要工作包括:

- 项目需求: 围绕“一生一芯”处理器板卡打造一套开源且经过流片验证的外设组件库, 通过不断迭代的方式逐步优化各个 IP 的功能和性能, 我主要负责 VGA 模块的设计开发, 拟支持的分辨率有 800x600, 640x480, 480x272, 320x240。
- 工作内容: 调研了 VGA 的技术原理、设计 VGA 模块的实现方案: VGA 支持有处理器核通过 AXI 总线配置分辨率、支持通过 DMA 从 SDRAM 里搬运需要显示的数据。搭建 IP 模块的设计、验证框架。
- 项目收获: 了解了 VGA、嵌入式系统、总线的相关知识; 加深了对开源的认识。

¹ 下划线内容包含超链接。 ² 与求职岗位无关的技能省略或用灰色表示。

个人总结

具有比较丰富的项目经历、团队协作经验、专业背景知识、英语读写能力、喜欢分享技术博客。

- 本人乐观开朗、在校成绩优异、自驱能力强，具有良好的沟通能力和团队合作精神。
- 可以使用英语进行工作交流（六级成绩 551），平时有阅读英文论文和口语练习的习惯。
- 对 Linux 下工具熟悉，日常使用 tmux, nvim, git；能编写 shell, Makefile 等
- 热爱开源，喜欢分享自己的技术博客；当前关注重点包括超标量处理器架构、开源 IP 等方向。