

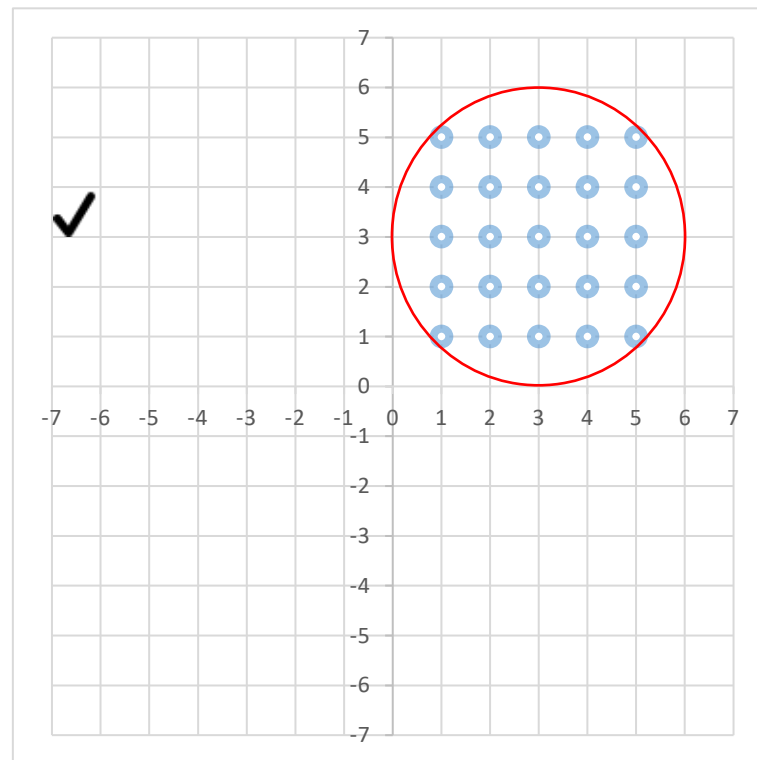
Integrated Circuit Design

Homework #3 counting the number of vertex covers by circle graph

Due: 2017/05/03 21:00

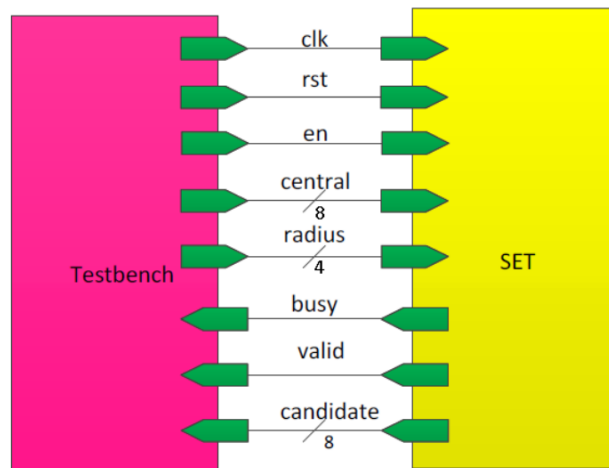
1. 問題描述

本題目須完成利用所提供之圓形圖，計算圖內覆蓋的格子點個數。此測試模組之 15x15 座標系統 x,y 座標範圍落在 -7~7 之間。如下圖一所示，在座標系統內有一圓形，其中圓心座標(3,3)與其半徑 $r=3$ 所涵蓋(不包含剛好坐落在圓周上的點)的每一座標點形成一個集合稱為集合 $A=\{....\}$ ， $|集合 A|$ 則表示集合 A 所涵蓋的元素數量，電路最後輸出此集合內的元素個數。(其中圓心座標與半徑皆是正整數)



圖一、二維座標系統

2. 設計規格



圖二、系統方塊圖

Signal Name	Direction	Width (bit)	Description
rst	Input	1	非同步系統重置訊號。當此訊號為 1 時表示系統重置。
clk	Input	1	系統時脈訊號。
en	Input	1	資料有效信號。當此訊號為 1 時表示輸入資料為有效。
central	Input	8	集合座標資料。其組成為{x,y}，其中 central[7:4]：為集合的 X 軸座標 (x) central[3:0]：為集合的 Y 軸座標 (y) 注意: x,y 座標皆是以 2 補數的形式表示正負
radius	Input	4	集合半徑資料。 radius[3:0] 為集合的半徑值 r 注意: radius 皆為 unsigned
busy	Output	1	系統忙碌指示訊號。當此訊號為 1 時表示系統為忙碌中。
valid	Output	1	valid 為有效的資料輸出指示信號。當信號 valid 為高位準時，於 candidate 輸出埠所輸出之資料為有效資料。
candidate	Output	8	輸出題目所指定的元素個數。

表一、訊號說明

提示:關於 central 這個 input，建議大家要宣告

```
reg signed [3:0] x,y;
```

並在 always block 中寫

```
x = central[7:4];
```

```
y = central[3:0];
```

3. 系統功能描述

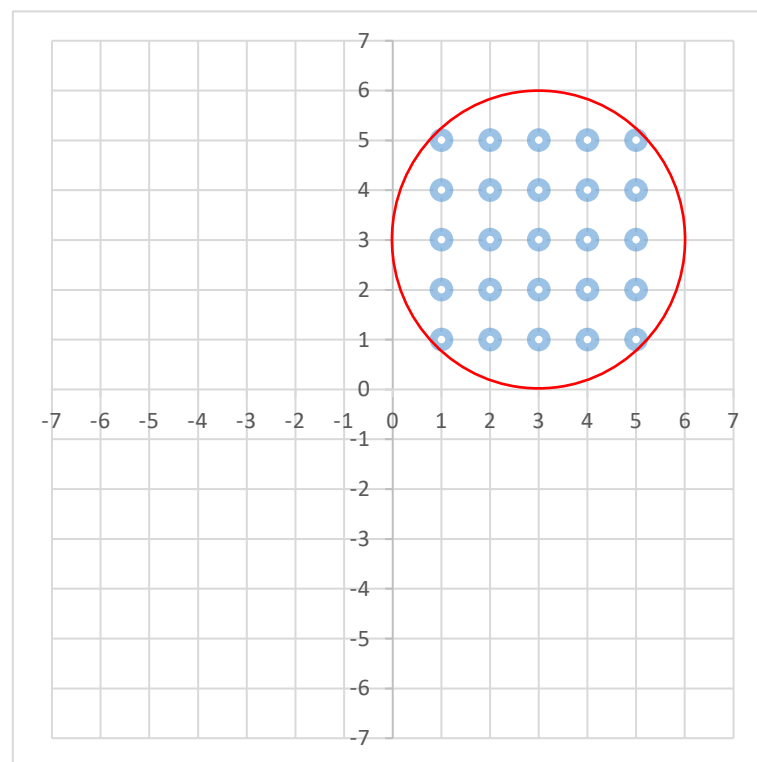
本電路功能如下：

當 reset 結束後。每當測試模組偵測到 $\text{busy}=0$ 且經時脈訊號負緣觸發時會立刻送出輸入致能訊號 en 、集合座標資料 central 及集合半徑資料 radius ；而當 $\text{en}=1$ 且經時脈訊號正緣觸發之 central 及 radius 為有效輸入訊號。系統需在接收到有效輸入訊號後將 busy 拉為 1 表示系統忙碌中，並計算出其集合空間裡所涵蓋的元素個數。接著系統須將 valid 拉為 1 並同時將前述計算完成之集合座標點數目利用 candidate 訊號輸出。接著請再次將 busy 設定為 0 表示系統閒置，測試模組將在偵測到 $\text{busy}=0$ 且經時脈訊號負緣觸發後輸出下一筆待測訊號。

此資料輸入為座標 (x_0, y_0) 與 r ，本系統描述如下：

$$\forall x, y \mid (x - x_0)^2 + (y - y_0)^2 < r^2, x \in \mathbb{Z}, y \in \mathbb{Z}, -7 \leq x, y \leq 7$$

Ex: 輸入 $(x_0, y_0) = (3, 3)$ ， $r = 3$ ，在 2 維 15×15 座標空間裡產生一集合，如圖三所示。

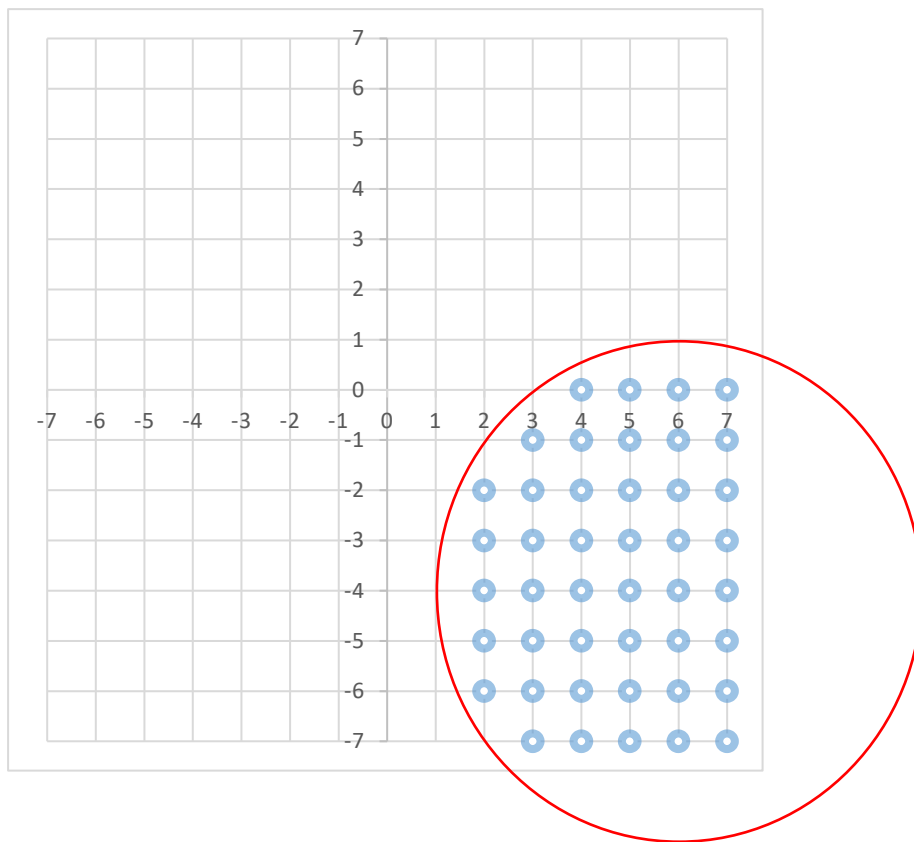


圖三、圖形落於座標系統內

此集合所涵蓋之元素個數為 25

注意：唯有在 15×15 座標系統之內的元素才需列入計算！

Ex: 輸入 $(x_0, y_0) = (6, -4)$ ， $r = 5$ ，在 2 維 15x15 座標空間裡產生一集合，如圖四所示。



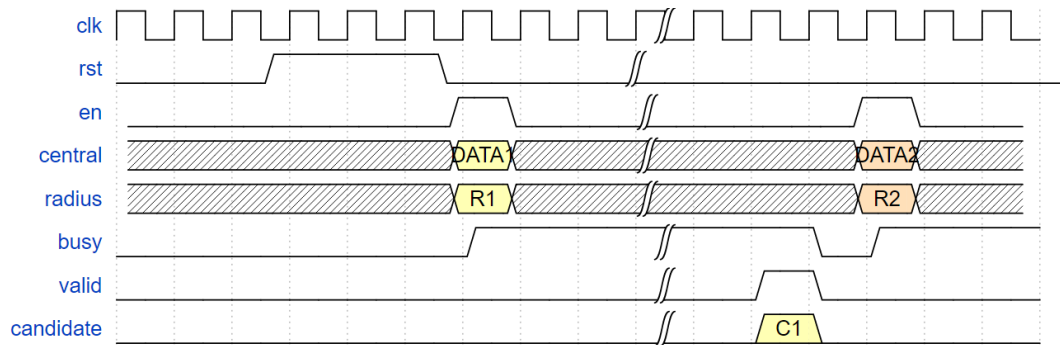
圖四、圖形涵蓋座標系統外

此集合所涵蓋之元素個數為 44

提示：一設計方向為依序檢查 15x15 座標系統內的 225 個元素是否合條件，在 15x15 座標系統外的元素無須列入計算。

4. 時序規格圖

系統輸入/輸出時序規格圖及參數，分別如圖五及表二所示。



圖五、時序圖

5. 檔案說明

檔名	說明
testfixture.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號。
SET.v	設計檔，請勿更改輸入輸出宣告，請於此檔案內做設計
./dat/Central_pattern.dat	Central 測試樣本
./dat/Radius_pattern.dat	Radius 測試樣本
./dat/candidate_result_Length.dat	比對樣本
.cshrc_icd	Tool 環境設定檔

表三、檔案說明

6. 模擬指令

RTL-level 模擬指令如下: `ncverilog testfixture.v SET.v +access+r`

7. 模擬結果

如果模擬有錯誤，testbench 會顯示期望的結果跟實際的結果：

```

Pattern      62 failed !. Expected candidate = 24, but the Response candidate = 168 !!
Pattern      63 failed !. Expected candidate = 34, but the Response candidate = 178 !!
----- Simulation Stops !!-----
=====
(T,T) ERROR found!! There are          2 errors in total.

```

```
Pattern      8 failed !. Expected candidate = 225, but the Response candidate = 194 !!
Pattern      9 failed !. Expected candidate = 9, but the Response candidate = 18 !!
=====
(> <) ERROR!! There are more than 10 errors during the simulation! Please check your code @@
```

如果模擬無法在規定 cycle 數完成，會顯示以下結果：

```
----- [ Simulation Starts !! ] -----
Pattern          0 is passed !
=====
(/`n`)/ ~# There is something wrong with your code!!
Time out!! The simulation didn't finish after      200000 cycles!!, Please check it!!!
=====
Simulation complete via $finish(1) at time 200 US + 0
```

如果模擬結果正確，testbench 會顯示以下結果：

```

Pattern          62 is passed !
Pattern          63 is passed !
----- Simulation Stops !!-----
=====

*****
**                               **
**   Congratulations !!         **
**                               **
**   Simulation Complete!!      **
**                               **
***** *****

```

8. 作業評分

本次作業滿分標準為：

通過 RTL-level 模擬

所需繳交的檔案為：

Type	File Name	Description
RTL-level	SET.v	RTL Verilog Code
Report	ICD_HW3_StudentID.pdf	內需包含 RTL-level 模擬結果的截圖。

請將以上檔案壓縮成 YourID# HW3 v*.rar 並使用 FTP 繳交

[FTP info]

IP: 140.112.48.159 port: 36666

User name: icd17s Password: icd2017