

Chương 1: Cơ sở toán học và hệ đếm

Cơ sở toán học: hệ đếm: nhị phân, thập phân, hệ 16 (hệ Hexa)

Kiến trúc máy tính – Tổ chức máy tính

Cấu trúc máy tính – Chức năng

1.1 Hệ đếm

a. Ký hiệu – chữ số:

Vd: hệ thập phân

Hệ đếm không vị trí: giá trị của các chữ số ở trong số không phụ thuộc vào vị trí của nó

Vd: hệ la mã

VI biểu diễn giá trị $6=5+1$

IV biểu diễn giá trị $4=5-1$

Hệ đếm có vị trí: giá trị của các chữ số ở trong số phụ thuộc vào vị trí của nó

$$01101_2 = 8 + 4 + 1 = 13_{10}$$

$$1101_{10}$$

Số 1 cuối cùng: giá trị 1

Số 1 ở vị trí 2: giá trị 4

$$3235_{10} = 3000 + 200 + 30 + 5$$

b. Thành phần hệ đếm có vị trí:

- Cơ số (r): số ký hiệu (chữ số)
- Trọng số:
 - Vị trí của số: i
 - Trọng số: r^i

Dùng ký hiệu dấu (.) thay cho (,)

$$3235_{10} = 3000 + 200 + 30 + 5$$

Chữ số 3 nằm ở vị trí 3 có trọng số 10^3 , biểu diễn giá trị 3×10^3

$$01101_2 = 8 + 4 + 1 = 13_{10}$$

Chữ số 1 nằm ở vị trí 3 có trọng số 2^3 , biểu diễn giá trị $1 \times 2^3 = 8$

Chữ số 0 nằm ở vị trí 1 có trọng số 2^1 , biểu diễn giá trị $0 \times 2^1 = 0$

- Giá trị biểu diễn của 1 số: tổng giá trị biểu diễn của các chữ số

$$36_{10} = 3 \times 10^1 + 6 \times 10^0 = 36$$

$$36_8 = 3 \times 8^1 + 6 = 30_{10}$$

$$36_{16} = 3 \times 16^1 + 6 = 54_{10}$$

c. Hệ nhị phân

Chuyển đổi nhị phân \rightarrow thập phân: Tính toán giá trị hệ nhị phân:

$$0.1_2 = 0.5_{10}$$

$$0.01_2 = 0.25_{10}$$

$$0.001_2 = 0.125_{10}$$

Chuyển đổi thập phân \rightarrow nhị phân:

Vd: 43.125

- Chuyển phần nguyên: 43

$$\begin{array}{r} 43 \\ \hline 2 = 21 \text{ dư } 1 \\ 21 \\ \hline 2 = 10 \text{ dư } 1 \\ 10 \\ \hline 2 = 5 \text{ dư } 0 \\ 5 \\ \hline 2 = 2 \text{ dư } 1 \\ 2 \\ \hline 2 = 1 \text{ dư } 0 \\ 1 \\ \hline 2 = 0 \text{ dư } 1 \end{array} \quad \uparrow$$

Quá trình chia sẽ kết thúc khi thương = 0

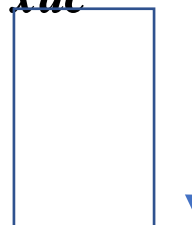
Chuỗi nhị phân thu được sẽ gồm các số dư, viết ngược từ dưới lên:

$$43_{10} = 101011_2$$

$$\begin{aligned} 43_{10} &= 32 + 8 + 2 + 1 = 2^5 + 2^3 + 2^1 + 2^0 \\ &= 101011_2 \end{aligned}$$

- Chuyển **phần thập phân**:

○ 0.125_{10} : *chuyển đổi chính xác*



$$0.125 \times 2 = 0.25$$

$$0.25 \times 2 = 0.5$$

$$0.5 \times 2 = 1.0$$

Khi phần thập phân của phép toán bằng 0 thì sẽ dừng lại. Chuỗi nhị phân thu được gồm các chữ số trước dấu phẩy của kết quả

$$0.125_{10} = 0.001_2$$

○ *Chuyển đổi tương đối (xấp xỉ):*

$$0.324_{10} \times 2 = 0.648$$

$$0.648 \times 2 = 1.296$$

$$0.296 \times 2 = 0.592$$

$$0.592 \times 2 = 1.184$$

$$0.184 \times 2 = 0.368$$

$$0.324_{10} = 0.01010_2$$

Kết luận: **43.125**₁₀ = 101011.001₂

Bài tập:

1. Hồ Sỹ Chắt:

$$1.1_2 = 1.5_{10}$$

$$1.5_{16} = 1 \times 16^0 + 5 \times 16^{-1} = 1 + \frac{5}{16} = 1.3125$$

$$1.5_{16} \quad 1.4_{10} \quad 1.1_2$$

2. Nguyễn Minh An

$$54_8 = 44_{10}$$

$$44_{10} = 134_5$$

$$312_4 = 54_{10}$$

$$54_{10} = 105_7$$

3. Từ Ngọc Minh

a. $001100_2 = 12_{10}$

b. $11100.011_2 = 28.375_{10}$

4. Tăng Tụ Phú

a. $64_{10} = 1000000_2$

b. $27.1875_{10} = 11011.0011$

d. Hệ thập lục phân - Hệ 16 -Hệ Hexa -Hệ H: $A34_H$:

Nhị phân: chuỗi bit dài: vxl 64b, 32b: khuôn dạng 64b

1001010101010101010

$$0_H = 0_{10} = 0000_2$$

$$1_H = 1_{10}$$

...

$$A_H = 10_{10} = 8 + 2 = 1010_2$$

$$B_H = 11_{10}$$

$$C_H = 12_{10}$$

$$D_H = 13_{10} = 8 + 4 + 1 = 1101_2$$

$$E_H = 14_{10}$$

$$F_H = 15_{10}$$

Sự chuyển đổi tương đương giữa Hệ 16 và Hệ 2

$$0100\ 1010\ 1010\ 1010\ 1010.0100_2 = 4AAAA.4_{16}$$

Được sử dụng nhiều trong các tài liệu học tập và NC với mục đích: viết gọn lại chuỗi nhị phân

Vd: chuyển số sau sang hệ 16 và hệ 2: 112.75_{10}

Hệ 16:

- Phần nguyên:

$$\frac{112}{16} = 7 \text{ dư } 0$$

$$\frac{7}{16} = 0 \text{ dư } 7$$

$$\rightarrow 112_{10} = 70_{16}$$

- Phần thập phân:

$$0.75 \times 16 = 12.0 \rightarrow C$$

$$112.75_{10} = 70.C_{16}$$

Hệ 2:

$$\begin{aligned} 112.75_{10} &= 64 + 32 + 16 + 0.5 + 0.25 \\ &= 2^6 + 2^5 + 2^4 + 2^{-1} + 2^{-2} \\ &= 0111\ 0000.1100_2 = 70.C_{16} \end{aligned}$$

Duy Niên: 5

Minh Quang: 6, Bùi Hảo

X Cường: 7

Tuân Dũng:8

Ngọc Minh: 8

$$B52_{16} = 11 \times 16^2 + 5 \times 16^1 + 2 = 2898_{10}$$

$$1 \times 16^3 + 1 \times 16^2 + 1 \times 16^1 + 1 \times 16^0 + \frac{1}{16} \\ = 4369.0625$$

6a. $2560_{10} = A00_{16}$

c. $204.125_{10} = CC.2_{16}$

c. $6250_{10} = 86A_{16}$

d. $255.875 = FF.E_{16}$

7. $568_{16} = 0101\ 0110\ 1000_2$

$$1F.C_{16} = 00011111.1100_2$$

8. $1001.1111_2 = 9.F_{16}$

$$0011\ 0101.0110\ 0100_2 = 35.64_{16}$$

1.2 Kiến trúc và tổ chức

Kiến trúc: thuộc tính: lập trình viên

- **Tập lệnh**: các mã (lệnh) điều khiển hd của MT
- Số bit biểu diễn dl: kiểu dữ liệu
- Cơ chế I/O: vào/ra dữ liệu đến thiết bị ngoại vi: chuột, bàn phím màn hình

- Kỹ thuật định địa chỉ bộ nhớ

Tổ chức máy tính: khối của máy tính, sự kết nối

1.3 Cấu trúc và chức năng

a. Chức năng:

- Xử lý dữ liệu: ALU: số học và logic
- Lưu trữ dữ liệu: lưu trữ dl lên BN trong
- Di chuyển dữ liệu: tbnv thông quan module vào/ra
- Điều khiển: CU: giải mã lệnh -> điều khiển hđ của MT

b. Cấu trúc:

Máy tính: 4 thành phần

- CPU: chương 9-12: ALU, 10, 11(CU, tập lệnh), 12: toàn bộ hđ của CPU
- Bộ nhớ chính (bộ nhớ trong): chương 4,5

Chương 6: bộ nhớ ngoài

- Module I/O: giao tiếp tbnv: chương 7
- Bus hệ thống: trao đổi dữ liệu: chương 3

Main()

{

 Cout<<"Nhập n="; câu lệnh

 Cin>>n; bàn phím → I/o → Cpu → biến n (ô nhớ trong bn RAM)

 n=n+1;

}

Trong CPU:

- CU: khối điều khiển: giải mã lệnh và đưa ra các tín hiệu đk tương ứng để thực thi lệnh
- ALU: thực hiện phép toán số học và logic: xử lý dữ liệu
- Các thanh ghi: lưu trữ dữ liệu tạm thời trong quá trình CU thực hiện lệnh (bộ nhớ, dung lượng nhỏ)
- Bus trong:

Chương 2: Lịch sử phát triển máy tính

Lịch sử phát triển:

Hiệu năng:

1. Lịch sử

6 giai đoạn: công nghệ phần cứng đc sử dụng

Bảng 2.2 Các thế hệ máy tính

Thế hệ	Thời gian	Công nghệ	Tốc độ diễn hình (hành động trên giây)
1	1946–1957	Ống chân không	40,000
2	1958–1964	Transistor	200,000
3	1965–1971	Mạch tích hợp cỡ nhỏ và vừa	1,000,000
4	1972–1977	Mạch tích hợp cỡ lớn	10,000,000
5	1978–1991	Mạch tích hợp cỡ rất lớn	100,000,000
6	1991–	Mạch tích hợp cỡ cực kỳ lớn	1,000,000,000

Thế hệ 1: ống tia điện (đèn điện tử): ống chân không

Eniac: quân sự, hệ thập phân: mạch 10 trạng thái

Edvac: bản thiết kế: von Newman: chương trình lưu trữ: câu lệnh → mã lệnh (01010) → lưu trữ trên BN

→ CPU lấy lệnh từ BN và thực thi

IAS:

- Bộ nhớ (RAM) – CPU – Tbnv
- Từ nhớ: đơn vị dữ liệu tự nhiên nhỏ nhất trong mt: từ lệnh/từ dữ liệu (40b)
- Thanh ghi cơ bản: ý nghĩa (slide): chương 3

UNIVAC: tương thích ngược

Thế hệ 2: transistor

- CU, ALU phức tạp hơn

- NNLT bậc cao
- Phần mềm hệ thống: tiền thân HĐH

Thế hệ 3: IC – 1958:

- Mạch cơ bản:
 - Gate: mạch logic: AND OR XOR Not
 - Cell: lưu trữ dữ liệu (0,1):
- Chip: vxl, vđk, IC nhớ (4 chip/8 chip nhớ)
- Moore: tăng gấp đôi sau (ban đầu 1 năm) 18 tháng

Thế hệ 4: IC cỡ lớn

Thế hệ 5: IC cỡ rất lớn

Thế hệ 6: IC cỡ siêu lớn

2. Đặc tính thiết kế:

- Tốc độ VXL:
- Cân bằng đặc tính: i5 2.3 GHz
- Cải tiến kiến trúc và tổ chức:

3. Chip đa nhân:

- Bộ vxl: 2 vxl trở lên

4. Chip Intel x86 – 8086

5. HT nhúng

6. Hiệu suất:

Chương 3: Chức năng và kết nối

1. Chức năng – hoạt động của máy tính

3.1 Thành phần máy tính: *kiến trúc von Neuman*

- Dữ liệu và lệnh (chương trình mt) đc lưu trữ trên cùng 1 bộ nhớ (RAM)
- Trong bn: dữ liệu đc định vị theo địa chỉ mà không phụ thuộc vào kiểu dữ liệu
- Lệnh thực thi tuần tự

int a=10,b;

b=a;

a=5;

Thành phần máy tính:

Phần mềm: chương trình máy tính: chuỗi lệnh (tuần tự) –
Hệ điều hành

- Phần mềm hệ thống: hệ điều hành, driver (trình điều khiển tbnv)
- Phần mềm ứng dụng
- NNLT

Phần cứng

- CPU:
 - CU: giải mã và thực hiện lệnh
 - ALU: tính toán số học và logic
 - Thanh ghi: bộ nhớ nhỏ để lưu trữ dữ liệu – cho biết trạng thái hoạt động của CPU

- PC: bộ đếm chương trình: chứa địa chỉ lệnh tiếp theo sẽ được thực hiện
- MAR: chứa địa chỉ ngăn nhớ (RAM) cần đọc/ghi với CPU
- MBR: thanh ghi đệm dữ liệu (lệnh), chứa dữ liệu cần đọc/ghi vào bộ nhớ
- I/O AR: địa chỉ của cổng của Module vào/ra mà CPU muốn giao tiếp
- I/O BR: dữ liệu được đọc/ghi với TBNV
- Bộ nhớ chính: ROM, RAM (bộ nhớ chính – liên quan trực tiếp đến quá trình thực thi chương trình), cache: đệm dữ liệu- cải thiện hiệu suất của hệ thống
- Module I/O
- Bus hệ thống

3.2 Hoạt động của máy tính

- Chức năng máy tính: thực hiện (thực thi chương trình): file chạy của chương trình

Mã nguồn (code): NNLT bậc cao → biên dịch và đóng gói → bộ cài → cài máy → C://...: ghi CT vào bộ nhớ ngoài

Quá trình thực thi (chạy) chương trình:

- Chương trình lưu trữ: click đúp icon → khởi động chương trình: nạp CT vào BN trong (RAM) (đc lệnh đầu tiên nạp vào PC)



- Quá trình CPU thực hiện CT: tập hợp lệnh
- CPU thực hiện 1 lệnh: **chu kỳ lệnh**
- Chu kỳ lệnh:
 - Chu kỳ truy xuất: CPU lấy lệnh từ BN RAM vào
 - PC (chứa đc lệnh) nạp cho MAR.
 - $M[MAR] \rightarrow MBR$ (qua bus hệ thống)
 - $MBR \rightarrow IR$ (chứa lệnh CPU cần thực thi, nối với CU)
 - CU: giải mã, đưa ra tín hiệu đk
 - PC tự động tăng lên 1 đv
 - Chu kỳ thực thi
 - Mỗi lệnh sẽ có quá trình thực thi khác nhau
- **Ví dụ về HĐ máy tính**
 - Máy giả thiết: vxl 16b: từ nhớ, tập lệnh

- từ lệnh: 4b mã lệnh, 12b phần toán hạng (địa chỉ toán hạng)
- Từ dữ liệu: 1b dấu và 15b độ lớn
- Thanh ghi AC: chuyên ALU: tính toán số học

300: địa chỉ ngăn nhớ: 0011 0000 0000

301: 0011 0000 0001

Câu lệnh 1:

1940: nội dung lưu trữ trong ngăn nhớ (lệnh, dữ liệu của CT): 0001 1001 0100 0000: đọc dl từ M[940] vào CPU:

- CU: nạp 940 cho $MAR \rightarrow M[MAR] \rightarrow MBR$
(0003) $\rightarrow AC$

Câu lệnh 2: $M[301] \rightarrow MBR \rightarrow IR = 5941 \rightarrow CU$ giải mã:

0101 1001 0100 0001: đọc dữ liệu từ $M[941] + AC \rightarrow AC$

Thực thi: đọc $0002 + 0003 = 0005 \rightarrow AC$

Câu lệnh 3: IR: 2941: 0010 941

CU: ghi dl từ AC $\rightarrow M[941]$

main(){

int a,b; //a: 940, b:941

...

`b=a+b;`

`}`

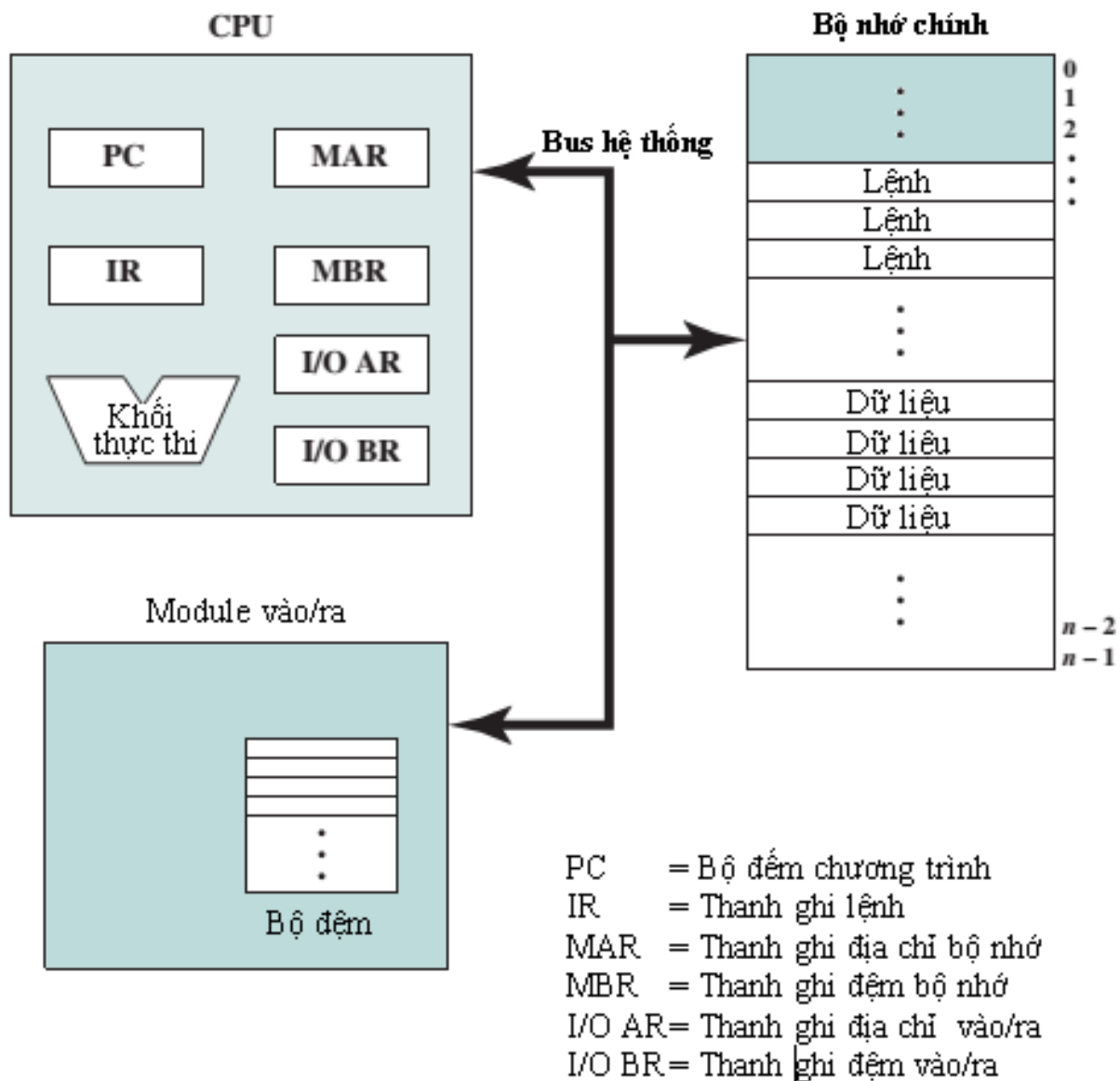
Vd:

0011 0000 0000 0101 (3 005): đọc dl từ tb 5 (bàn phím)
vào AC

0101 1001 0100 0000 (5 940): đọc M[940]+AC→AC

0111 0000 0000 0110 (7 006): ghi AC ra tb 6 (màn hình)

`cout<<a+c;`



Bus hệ thống: Phần 2 – Chương 3

Bộ nhớ trong: ROM/RAM: chương 5

Bộ nhớ cache: bộ nhớ đệm, cải thiện hiệu suất cho CPU: chương 4

Bộ nhớ ngoài: TBNV: chương 6

Module vào/ra: Chương 7

CPU: Chương 9→Chương 12

2. Ht bus (bus hệ thống)

Mục đích: kết nối thành phần trong máy tính

Nhu cầu trao đổi dữ liệu:

- Truyền dl giữa BN→VXL
- Truyền dl giữa VXL→BN
- M I/O→VXL (cin)
- VXL→M I/O (cout)
- DMA: BN<->M I/O

Đường truyền dl:

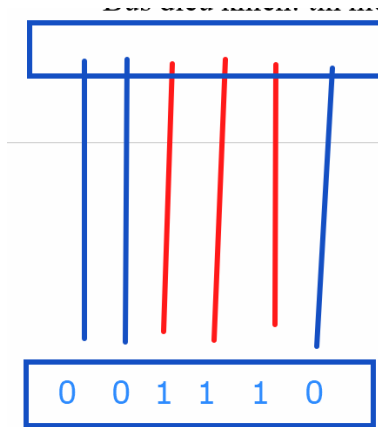
3 loại kết nối:

- **Hệ thống bus: kết nối chính trong máy tính**
- QPI: các nhân của VXL
- PCIe: kết nối mở rộng cho TBNV

3.4 Hệ thống bus:

Bus: đường truyền song song (chia 3 nhóm): 0-1

- Bus dữ liệu: truyền dữ liệu
- Bus địa chỉ: địa chỉ BN, địa chỉ cổng M I/O
- Bus điều khiển: tín hiệu điều khiển: đọc/ghi,



Đường truyền chia sẻ:

- Nhiều thiết bị cùng kết nối vào đường truyền
- Tín hiệu trên đường truyền, tất cả các tb đều nhận đc tín hiệu
➔ Cần có cơ chế điều khiển vc truyền dl trên bus

a. Bus dữ liệu

Kích thước: kiến trúc VXL: 32b, 64b, 128b: **độ rộng bus dữ liệu**

Độ rộng: qđ hiệu suất:

- Tốc độ truyền bus chậm hơn so với tốc độ VXL
- Nếu như kích thước từ trong CPU là 16b. Độ rộng bus dl là 32b ➔ 1 chu kỳ bộ nhớ: 2 lệnh ➔ CPU có thể thực hiện liên tiếp 2 lệnh mà ko cần đợi ➔ CPU hiệu suất cao hơn (khó triển khai do CPU cần phức tạp hơn)
- Nếu như kích thước từ trong CPU là 16b. Độ rộng bus dl là 8b ➔ 2 chu kỳ bộ nhớ: 1 lệnh ➔ CPU đợi lâu hơn ➔ CPU hiệu suất giảm hơn

- 1 word = số bit của bus dữ liệu

b. Bus địa chỉ:

Truyền đc bộ nhớ hoặc cổng của TBNV

Độ rộng bus địa chỉ: dung lượng bộ nhớ tối đa mà hệ thống quản lý được

- 24b địa chỉ: 2^{24} ngăn nhớ

VXL x86 32b: 4GB RAM

VXL 64b: 64GB RAM

VXL 128b...

0 2^0 **Tổng quát: nb địa chỉ: 2^n giá trị địa chỉ (2^n ngăn nhớ)**

1

00 2^2

01

10

11

000 2^3

001

010

011

100

101

110

111

c. Bus điều khiển

- Tín hiệu trạng thái
- READ/WRITE
- INPUT/OUTPUT

Nhược điểm đường truyền chia sẻ:

- Càng nhiều tb thì hiệu suất càng giảm
- Nút cổ chai:

d. Bus phân cấp: cải thiện kiến trúc máy tính → tăng hiệu suất:

- Bus địa phương (local bus): ngắn, VXL \leftrightarrow cache
- Bus hệ thống: vẫn đường xương sống
- Bus mở rộng: kết nối TBNV: tốc độ \ll VXL, lượng dl \gg

e. Các đặc tính của Bus hệ thống

- Bus chuyên dụng (32 bus dl, 24 bus đc, 10 bus đk) và bus ghép kênh (42 đường: 32 đường dl và đc, 10 đk):
- Phân xử (trọng tài) bus: qđ module đc phép chiếm bus
 - Tập trung
 - Phân tán

- Định thời: đồng bộ hđ của máy tính (hệ thống) với xung nhịp đồng hồ
 - Chu kỳ bộ nhớ: khoảng thời gian CPU đọc/ghi dữ liệu từ/vào BN
 - CPU gửi tín hiệu trạng thái đặt mức cao: chiếm đường truyền: status
 - CPU gửi th địa chỉ: address lines
 - CPU báo BN biết: đc đã sẵn sàng bằng th: address enable
 - Chu kỳ đọc:
 - CPU gửi th yêu cầu đọc (xung 2)
 - BN lấy dl trong ngăn nhớ → bus dữ liệu (xung 3)
 - Xung 3: CPU ghi dl trên bus → thanh ghi (MBR)
 - Chu kỳ ghi:
 - CPU: đặt dl cần ghi lên bus dữ liệu (xung 2)
 - CPU thiết lập th yêu cầu ghi (sau xung 2)
 - BN nhận th đk và dl → ghi vào ngăn nhớ

Bài tập:

1. Bus đc có độ rộng 16b

→ 2^{16} địa chỉ ngăn nhớ: không gian địa chỉ bộ nhớ

0000 0000 0000 0000: 0

0000 0000 0000 0001: 1

0000 0000 0000 0010: 2

...

1111 1111 1111 1111: $2^{16} - 1$

b: bit

B: byte

Dung lượng bn tối đa: $2^{16} \times 2B = 2^{17}B = 2^{10} \times 128 = 128KB$

2. Tốc độ đồng hồ 8MHz → 1s có 8000000 chu kỳ xung nhịp

1s sẽ thực hiện đc tối đa $\frac{8000000}{4} = 2000000$ chu kỳ bus

Tốc độ truyền dữ liệu (B/s): $2000000 \times 2B = 4000000B \sim 3.81MB$

Tăng bus 32 đường → 1 lần truyền sẽ đọc/ghi đc 4B:

Tốc độ truyền dữ liệu (B/s): $2000000 \times 4B = 8000000B \sim 7.62MB$

3.5 Kết nối điểm – điểm

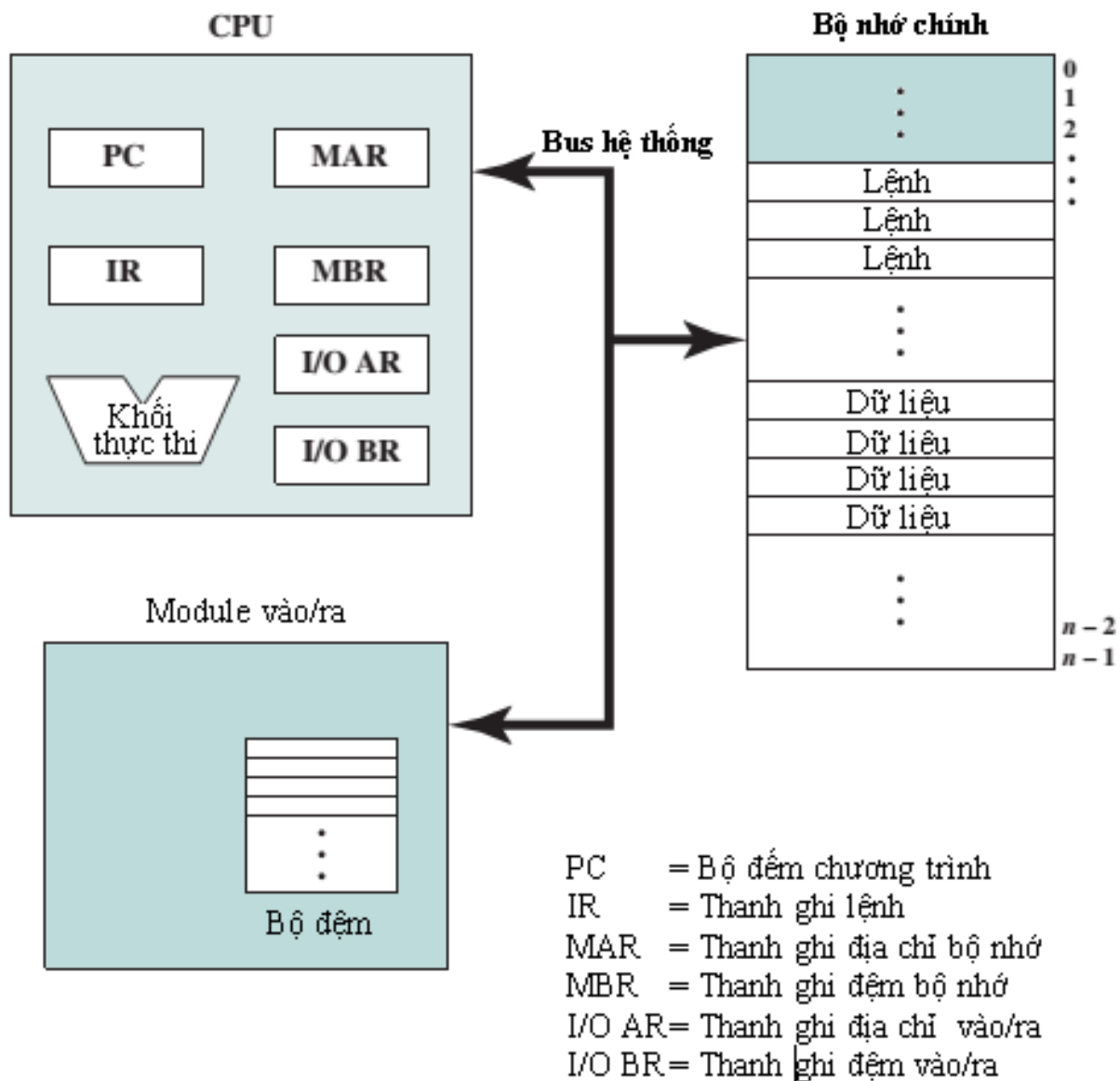
- QPI: kết nối giữa các nhân của chip đa nhân
- PCIe: hỗ trợ truyền dl của TBNV: LAN, Video, card đồ họa

1. QPI

- Kết nối điểm điểm
- Giao thức phân tầng: giao thức, định tuyến, liên kết, vật lý
- Dữ liệu đc đóng gói dạng gói tin và truyền

2. PCIe

- Kết nối điểm điểm
- Phân tầng: giao vận, liên kết, vật lý
- Dữ liệu đc truyền dưới dạng gói tin



Chương 4: Bộ nhớ Cache

BN đệm giữa CPU và RAM: cải thiện hiệu suất

- Một số khái niệm của BN:
 - Từ nhớ (từ – word): Intel x86 32b, Core i5 64b
 - Từ lệnh
 - Từ dữ liệu:

Vd: C++: kiểu dữ liệu: int – 32b, float – 32b, double – 64b

- Đơn vị đánh địa chỉ: kích thước ngăn nhớ trong BN
- Đơn vị truyền: = độ rộng bus dữ liệu

Vd: từ nhớ: 32b

Độ rộng bus địa chỉ: 32b $\rightarrow 2^{32} \times 1B = 2^{32}B = 4GB$

Độ rộng bus dữ liệu: 16 \rightarrow đơn vị truyền: 16b

Đơn vị đánh địa chỉ (ngăn nhớ): 8b

1 lệnh: 8 thao tác đọc/ghi dl

- Truy xuất lệnh (32b): 2 thao tác đọc BN
- Truy xuất số thứ 1 (32b): 2 thao tác đọc BN
- Truy xuất số thứ 2 (32b): 2 thao tác đọc BN
- Ghi kết quả từ CPU \rightarrow BN (32b): 2 thao tác ghi BN

4.1 TỔNG QUAN VỀ HỆ THỐNG NHỚ TRONG MÁY TÍNH

2 Nhóm:

- Nằm trong kiến trúc máy tính:

- Thanh ghi (CPU): (b) Chương 12
- Cache (MB): kết hợp (Chương 4)
- RAM/ROM (GB): ngẫu nhiên (Chương 5)

- Nằm ngoài KTMT (bộ nhớ ngoài - Chương 6)

- Ổ cứng HDD: đĩa từ
- Ổ cứng SSD: bán dẫn

- USB,...

- Cloud

- Hiệu năng BN:

- Thời gian truy cập

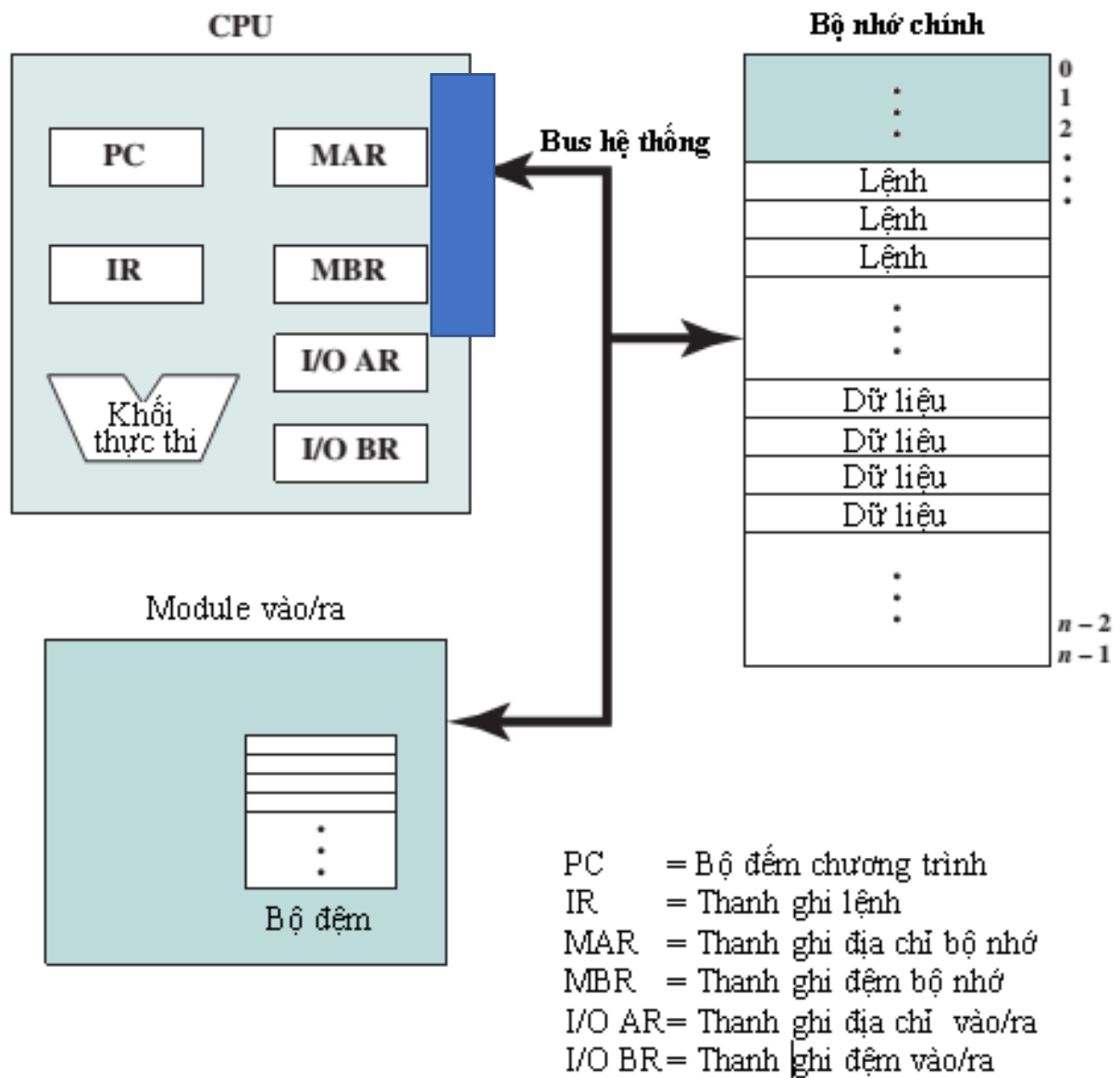
- Chu kỳ bộ nhớ

- Tốc độ truyền tải

- **Bộ nhớ điện động** (bộ nhớ khả biến): mất dl khi ko có nguồn cấp: RAM, Cache, thanh ghi

- **Bộ nhớ điện tĩnh** (bộ nhớ bất khả biến): ko bị mất dl khi ko có nguồn cc: HDD, thẻ nhớ, ROM,...

4.2 Bộ nhớ cache



Hoạt động MT:

- Tốc độ CPU: bán dẫn: tốc độ cao
- Tốc độ bus: hạn chế (mạch tạo xung đồng hồ)
- Tốc độ hđ RAM: tốc độ kém CPU (DRAM)

→ hiệu suất ht ko cao

Cân bằng yếu tố: BN cache: bộ nhớ đệm, hỗ trợ và cải thiện hiệu suất hệ thống.

Nguyên lý:

Thông số BN chính:

- Dung lượng BN: 2^n từ nhớ (ngăn nhớ)
- Bộ nhớ chia thành các Khối (B – block): mỗi khối có K từ (W – word): \rightarrow số khối: $\frac{2^n}{K} = M$ khối

Thông số BN cache:

- Gồm các đường (L – line): = K từ (= kích thước khối)

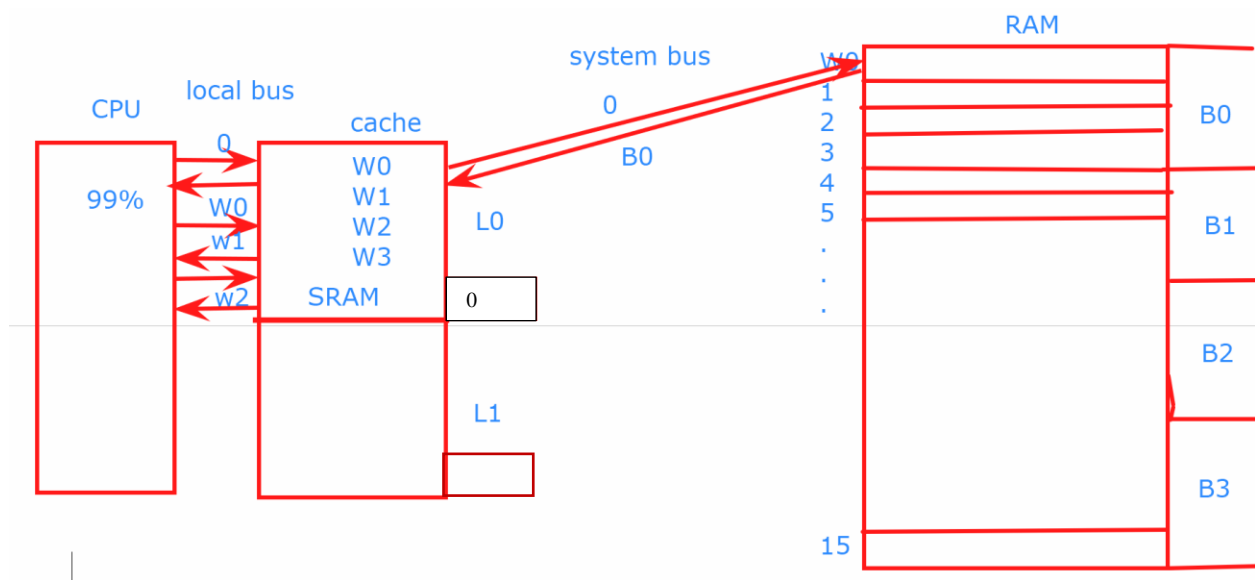
Hoạt động: dựa trên tính cục bộ của lệnh và dữ liệu trong BN

W0: 1 lệnh, w1,w2,w3: lân cận

- CPU yêu cầu đọc một từ (lệnh, dữ liệu) từ BN, gửi đ/c của từ đó \rightarrow Cache
- Cache kiểm tra xem từ đó có nằm trong Cache k?
 - o Nếu có: lấy và trả về CPU
 - o Nếu không: cache gửi yêu cầu đến RAM
 - RAM trả về Khối chứa từ về Cache
 - Cache ghi Khối vào Đường
 - Cache gửi dl cho CPU

Chú ý: Trường tag của Cache chứa đc khối đc ánh xạ vào bộ nhớ Cache

0



Đường (khối): 128 w (256w)

4.3 Các đặc tính của cache

a. Địa chỉ bộ nhớ:

2 loại cache:

- Cache ảo (cache logic): nằm trước MMU và sử dụng địa chỉ ảo
- Cache vật lý: nằm sau MMU, sử dụng đc vật lý

b. Kích thước cache:

- Kích thước lớn → giá thành cao (SRAM)
→ phức tạp trong mạch đọc/ghi cache → giảm hiệu suất
- Kích thước quá nhỏ: → ko đủ để khai thác đc tính cục bộ và cải thiện hiệu suất tối đa
→ Công cụ để khảo sát kích thước phù hợp

c. Ánh xạ bộ nhớ: gửi dữ liệu từ RAM vào Cache theo khối

- Ánh xạ trực tiếp
- Ánh xạ kết hợp
- Ánh xạ tập kết hợp (kết hợp tập hợp)

i) Ánh xạ trực tiếp:

Nếu Cache có m đường, B_j sẽ được ánh xạ vào L_i ,

$$0 \leq i < m$$

$$i = j \% m$$

Vd: giả sử cache có 64 đường, Bộ nhớ RAM có 1024 Khối, khối 596 sẽ được ánh xạ vào đường bao nhiêu nếu sử dụng ánh xạ trực tiếp

$$596 \% 64 = 20$$

Khối 596 sẽ được ánh xạ vào đường 20 trong BN Cache

Cache	RAM								
L0	B0	B64	B128	...					
L1	B1	B65							
L2	B2	B66							
L63	B63	B127							

Tổ chức

Cache:

- m đường

- Trước mỗi đường có một 1 trường Tag: để xác định khối nào đang đc ánh xạ trên đó
- Khối logic so sánh: xác định xem 1 từ có nằm trên cache ko?
 - Tách đ/c Từ do CPU gửi đến thành 3 trường:
 - Line: xác định Đường mà Khối chứa Từ sẽ đc ánh xạ vào
 - Tag: xác định Khối chứa từ có nằm trên Cache ko? → so sánh với trường Tag của Đường
 - Có (match): hit in cache: truy cập cache thành công
 - Ko có (no match): miss in cache: truy cập cache ko thành công → đc gửi BN RAM
 - Word: xác định Từ mà CPU cần đọc

Nhược điểm: hiện tượng thrashing

ii) Ánh xạ kết hợp:

Cache	RAM
L0	B0, B64, B128, B1
L1	B65
L2	B2
	B66
	B63

L63	B127
-----	------

Một Khối đc ánh xạ vào 1 Đường bất kỳ

Tổ chức:

- Logic so sánh:
 - Tách đ/c Từ thành 2 trường
 - Word: xđ vị trí Từ trong Khối
 - Tag: xác định Khối chứa từ
 - So sánh Tag của Từ và Tag của tất cả các Đường
 - Nếu có: gửi Từ → CPU
 - Nếu không: gửi đ/c Từ → RAM, RAM → Cache: Khối chứa Từ.

Ưu điểm: linh hoạt

Nhược điểm: mạch Logic so sánh phức tạp

iii) Ánh xạ tập kết hợp (Kết hợp tập hợp)

Cache	Set (tập)	RAM
L0	S0	B0
L1		B4
		...
L2	S1	B1, B65
L3		B5
L4	S2	B2
L5		B6
L6	S3	B3

L7		B7
----	--	----

- Khối được ánh xạ vào 1 Tập duy nhất
- Khối đc ánh xạ vào 1 Đường bất kỳ của Tập

Khối B_j sẽ được ánh xạ vào Tập S_i (cache có k tập)

$$i = j \% k$$

Tổ chức:

- Logic ss chia đc Từ thành 3 trường:
 - Set: xác định Tập mà Khối đc ánh xạ vào
 - Tag: xđ Từ nằm trong Khối nào
 - Logic ss: ss trường Tag của Từ với Tag của tất cả các Đường trong Tập
 - Có
 - Không

Ưu điểm: Ánh xạ kết hợp + ánh xạ trực tiếp

Ánh xạ tập kết hợp 2 đường (2-way)

* So sánh hiệu suất:

d. Thuật toán thay thế

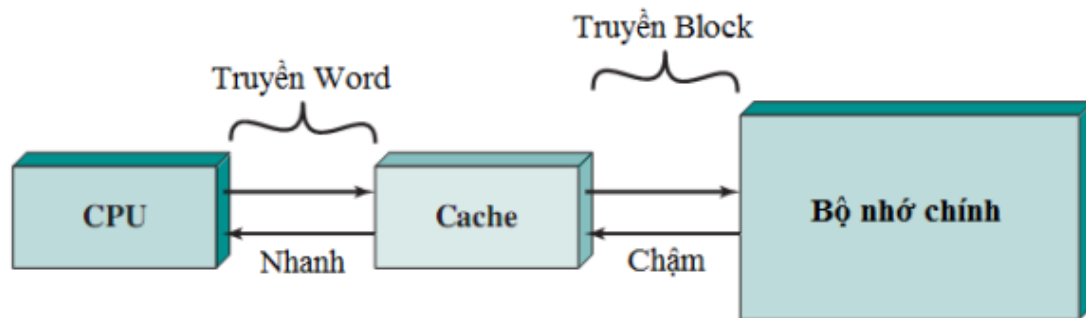
Xác định Đường mà Khối sẽ đc ánh xạ vào (thay thế cho Khối cũ đã đc ánh xạ trước đó)

LRU: lâu nhất ko đc CPU đọc dl ra (tham chiếu)

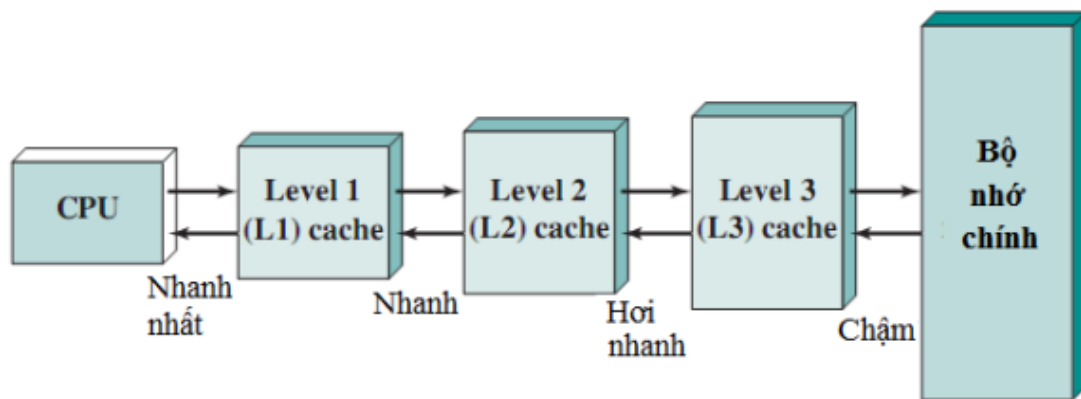
FIFO: vào trước, ra trước

→ Khối: 128 từ

g. Cache nhiều cấp:



(a) Cache đơn



(b) Tổ chức cache ba level

Hình 4.2 Cache và bộ nhớ chính

- Cache nhiều cấp: 3 cấp trở lên
- Cache on chip: bn cache đóng gói cùng chip
VXL → giảm trễ truyền, tăng hiệu suất
- Cache thống nhất: lệnh và dữ liệu đc đặt chung
- Cache phân chia: chia cache L1 thành 2 phần riêng: Lệnh/Dữ liệu

Bài tập:

1. Cho hệ thống có bộ nhớ 512MB, kích thước ngăn nhớ 32b. Để thực hiện cache, bộ nhớ chia thành các khối có kích thước 128 từ (ngăn nhớ).

a. Tính số khối của BN RAM

b. Sử dụng BN cache dung lượng 16kB. Tính số đường của cache

c. Khối 1000 của BN Ram sẽ được ánh xạ vào đường nào trong BN cache:

- Ánh xạ trực tiếp
- Ánh xạ kết hợp
- Ax tập kết hợp 2 đường
- Ax tập kết hợp 4 đường

32b
4B

Chương 5: Bộ nhớ trong (bộ nhớ chính RAM/ROM)

5.1 Bộ nhớ bán dẫn

Địa chỉ	Dữ liệu																																
00000000	0	1																															
00000001	4B																																
00000010																																	
00000011																																	
00000100																																	
00000101																																	
00000110																																	
00000111																																	

RAM: 8 ngăn nhớ, mỗi ngăn nhớ: 4B – 32b, có 8 đường đc → tối đa $2^8 = 256$ ngăn nhớ

a. Tổ chức:

- Ô nhớ (cell): mạch điện: 2 trạng thái 0 và 1
- 3 đầu cuối

RAM: bn bán dẫn có tốc độ đọc/ghi nhanh. 2 công nghệ sản xuất cell

- DRAM: RAM động
 - o Mạch đơn giản → kích thước cell nhỏ
 - o Dữ liệu lưu trữ trên tụ: mức điện tích bị rò rỉ → cần có dòng làm tươi: khôi phục lại điện tích ban đầu giữa 2 bản tụ

- Sử dụng cho BN RAM
- Giá thành rẻ → dung lượng lớn: RAM 8G, 16G
- SRAM: RAM tĩnh
 - Mạch phức tạp
 - Tốc độ nhanh
 - Không cần có dòng làm tươi
 - Giá thành cao
 - Kích thước cell lớn
 - Sử dụng cho BN cache

ROM: BN chỉ đọc (tốc độ nhanh), hạn chế, không thể ghi lại (chỉ ghi 1 lần bởi nhà sản xuất)

- BN điện tĩnh: lưu trữ dl ngay cả không có nguồn cc
- Chỉ ghi 1 lần ở nhà sx
- Hầu như đọc

Công nghệ:

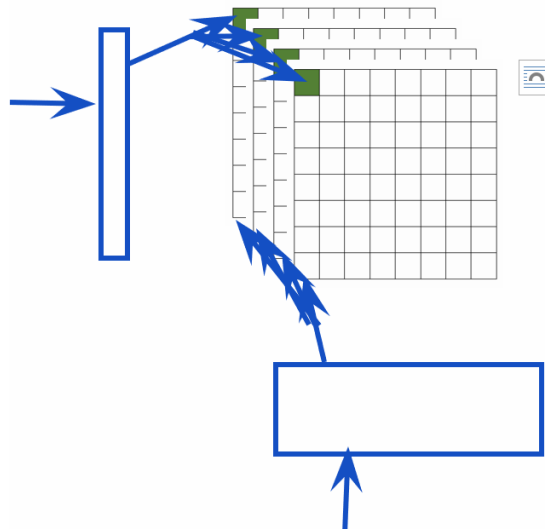
- PROM: Rom có thể lập trình đc, chỉ ghi 1 lần ở nhà sx
- EPROM: có thể xóa đc, xóa bằng tia cực tím
- EEPROM: có thể xóa đc bằng điện (sử dụng cá nhân)
- Flash memory: cho phép xóa nhanh

b. Tổ chức chip nhớ:

- Ma trận nhớ, đóng gói dưới dạng IC

- Kết nối bus hệ thống thông qua các chân:
 - Chân dữ liệu: m chân dữ liệu:
 D_0, D_1, \dots, D_{m-1}
 - n chân địa chỉ: A_0, A_1, \dots, A_{n-1}
 - Chân điều khiển:

Ví dụ:



1 ngăn nhớ: 4b

2048 hàng: 2^{11} : 11b địa chỉ hàng

2048 cột = 2^{11} : 11b địa chỉ cột

Ghép kênh: 11 chân đc: 22b địa chỉ

Mạch làm tươi

1 ma trận nhớ: $2^{11} \times 2^{11} = 2^{22}$ ô nhớ

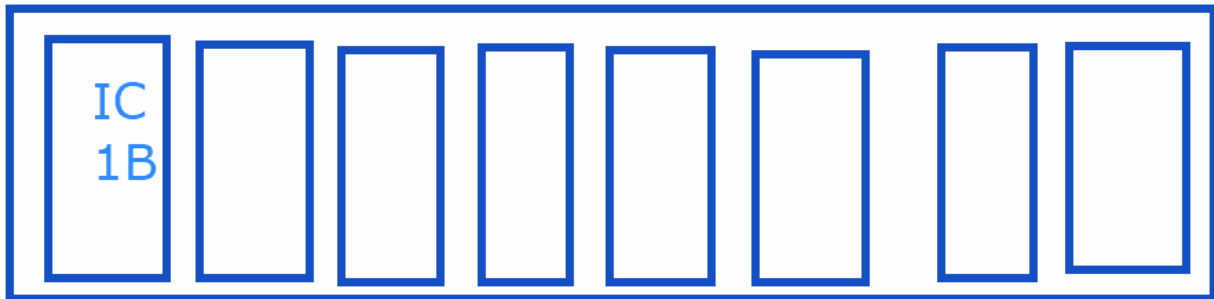
Dung lượng BN: $2^{22} \times 4 = 16 \times 2^{20} 16Mb$

c. Đóng gói chip

d. Bộ nhớ đơn xen

RAM: ngăn nhớ (1 từ – $64b=8b \times 8$)

1 dải (bank) chip nhớ



5.2 Cơ chế sửa lỗi

Lỗi: lưu trữ

- Lỗi cứng: vĩnh viễn: môi trường, sản xuất, hao mòn
- Lỗi mềm: tạm thời: nguồn điện, phóng xạ

Phát hiện- Sửa lỗi: CRC: hai pha

- Khi ghi dl vào bn: dữ liệu (M) \rightarrow bộ sinh mã (f):
 $K \rightarrow M+K$: từ lưu trữ \rightarrow ghi vào BN
- Đọc dl từ bn: $M+K$
 - o $M \rightarrow$ bộ sinh mã (f): K'
 - o K
 - o So sánh: K với K'
 - Giống: dl ko lỗi \rightarrow gửi M đi
 - Khác: có lỗi
 - Nếu sửa đc \rightarrow sửa và gửi M đi

- Nếu ko sửa đc → báo lỗi

Mã Hamming: minh họa

Dữ liệu M (m bit)

Bộ sinh mã (f):

- từ mã K (k bit), $k = \log_2 m + 1$

Vd: M (8b) $D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1 \rightarrow$ K (4b) $C_8 C_4 C_2 C_1$

$$C_1 = D_1 \oplus D_2 \oplus D_4 \oplus D_5 \oplus D_7$$

$$C_2 = D_1 \oplus D_3 \oplus D_4 \oplus D_6 \oplus D_7$$

$$C_4 = D_2 \oplus D_3 \oplus D_4 \oplus D_8$$

$$C_8 = D_5 \oplus D_6 \oplus D_7 \oplus D_8$$

Hàm XOR (\oplus)

True table

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

Ghi dl vào BN theo bảng vị trí:

Bit Position	12	11	10	9	8	7	6	5	4	3	2	1
Position Number	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001
Data Bit	D8	D7	D6	D5		D4	D3	D2		D1		
Check Bit					C8				C4		C2	C1

1. VD: Giả sử một word 8b cần được lưu trữ trong bộ nhớ là: 11000010. Sử dụng mã Hamming xác định các bit kiểm tra (check bits) được lưu trữ cùng từ trên. Viết từ được lưu trữ.

M: 11000010

8	7	6	5	4	3	2	1
1	1	0	0	0	0	1	0

K:

$$C_1 = 0 \oplus 1 \oplus 0 \oplus 0 \oplus 0 \oplus 1 = 0$$

$$C_2 = 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 1 = 1$$

$$C_4 = 1 \oplus 0 \oplus 0 \oplus 1 = 0$$

$$C_8 = 0 \oplus 0 \oplus 1 \oplus 1 = 0$$

K: 0010

M+K: 1100 0001 0010: từ lưu trữ

12	11	10	9	8	7	6	5	4	3	2	1
----	----	----	---	---	---	---	---	---	---	---	---

1	1	0	0	0	0	0	1	0	0	1	0
---	---	---	---	---	---	---	---	---	---	---	---

2. Dữ liệu được lấy ra từ bộ nhớ: 000101001111. Xác định xem dữ liệu trên có bị lỗi hay không. Nếu có thì sửa lỗi.

12	11	10	9	8	7	6	5	4	3	2	1
0	0	0	1	0	1	0	0	1	1	1	1

K: 0111

M: 00011001 \rightarrow K'

8	7	6	5	4	3	2	1
0	0	0	1	1	0	0	1

$$C'_1 = 1 \oplus 0 \oplus 1 \oplus 1 \oplus 0 = 1$$

$$C'_2 = 1 \oplus 0 \oplus 1 \oplus 0 \oplus 0 = 0$$

$$C'_4 = 0 \oplus 0 \oplus 1 \oplus 0 = 1$$

$$C'_8 = 1 \oplus 0 \oplus 0 \oplus 0 = 1$$

K': 1101

K: 0111

$$\begin{array}{r} 0111 \\ \oplus \frac{1101}{1010} \end{array}$$

đầu ra của bộ so sánh: syndrome:

- Nếu syndrome toàn 0, không có lỗi.
- Nếu syndrome có 1 bit 1, lỗi nằm ở 4 bit check, ko cần sửa
- Nếu syndrome chứa hơn 1 bit 1, giá trị của syndrome chỉ ra vị trí của bit lỗi, sửa lỗi

Sundrome: $1010 = 10_{10}$

12	11	10	9	8	7	6	5	4	3	2	1
0	0	0 → 1	1	0	1	0	0	1	1	1	1

M: 00011001 → 00111001

5.3 Tổ chức RAM tiến tiến: DRAM:

SDRAM: DRAM đồng bộ: tốc độ cao hơn RAM truyền thống

- đồng bộ với đồng hồ hệ thống
- Chế độ truyền nhóm: mỗi chu kỳ đồng hồ → truyền 1 đơn vị dl

DDR-SDRAM: SDRAM → tốc độ dữ liệu gấp đôi

- Phát triển từ SDRAM
- Mỗi chu kỳ đồng hồ: 2 từ ($64b \times 2 - 8B \times 2 = 16B$)

Chương 6: Bộ nhớ ngoài

6.1 Đĩa từ (HDD)

a. Cấu tạo – Nguyên lý hoạt động

Đĩa: chất nền phủ 1 lớp vật liệu từ tính

Chất nền: nhôm hoặc thủy tinh, độ cứng, độ bóng bề mặt, chịu va đập,...

Đầu đọc/ghi: cơ chế từ

- Đọc
- Ghi

b. Bố trí dữ liệu và định dạng đĩa

- Bề mặt đĩa chia thành các track: đánh số (0,1,...: địa chỉ)
- Track chia thành nhiều sector: S0, S1, S2,...
- Sector: 512B

Bố trí đĩa:

- CAV: vận tốc góc không đổi: các track có cùng số sector
 - Mạch quay đĩa chỉ quay với 1 tốc độ: mạch đơn giản
 - Không tận dụng tốt bề mặt
- Ghi nhiều vùng: chia thành nhiều vùng: mỗi vùng có số track bằng nhau, các track trong 1 vùng có số sector bằng nhau
 - Tận dụng tốt bề mặt đĩa
 - Mạch quay đĩa phức tạp: 16 vùng → 16 tốc độ quay đĩa khác nhau

Định dạng dl trong sector:

- Trường ID: track#, sector#, head#, CRC

- Trường dl: 512B dl, CRC (2B)

Đặc điểm vật lý:

- Đĩa 2 mặt: lớp từ tính phủ cả 2 mặt
- 1 HDD: gồm nhiều đĩa
 - Đĩa quay cùng 1 trục
 - Đầu đọc-ghi: quay cùng trục
 - Đọc ghi dl theo Cylinder: tập hợp tất cả các track có cùng vị trí (#) trên các bề mặt đĩa
Vd: C0 (T0, T0, T0,...)
- Đầu đọc/ghi: đầu càng nhỏ càng tốt, k/c giữa đầu và bề mặt đĩa càng nhỏ →miền phân cực nhỏ→dung lượng tăng
 - Đĩa Winchester:
- Tham số hiệu năng:
 - Thời gian truy cập:
 - Thời gian tìm kiếm: từ lúc nhận lệnh đến khi tiếp xúc với track chứa dl
 - Trễ quay: từ lúc tiếp xúc track đến khi đầu tiếp cận với sector→tốc độ quay của đĩa
 - Thời gian truyền: thời gian thực hiện việc truyền dl

Bài tập:

- 256GB

- 65536 cylinder:

$$\frac{255 \times 2^{30}}{65536 \times 255 \times 512} = 32 \text{ bề mặt đĩa}$$

→ 16 đĩa

→ 32 đầu

b. Thời gian đọc dl: thời gian tìm kiếm + trễ quay + thời gian truyền

1s → 100MB

?s → 400KB

Thời gian truyền

$$\frac{400}{100 \times 1024} = 3.9ms$$

Thg đọc = 11 + 7 + 4 = 22ms

6.2 RAID

Ghép nhiều ổ vật lý thành 1 ổ logic:

4 ổ 512GB → 2TB

- Dung lượng lớn
- Tốc độ đọc/ghi cao
- Tính an toàn trong trường hợp lỗi ổ

7 level: 7 cách ghép nối khác nhau → mục đích khác nhau

- Truy cập song song: 0,1,2,3: các ổ cứng hđ song song, cùng tham gia vào 1 hoạt động đọc/ghi → tốc độ đọc ghi cao → thông lượng truyền lớn
- Truy cập độc lập: 4,5,6: ổ cứng hoạt động độc lập → tại 1 thời điểm có thể thực hiện đc nhiều hoạt động đọc/ghi cùng lúc
- Dự phòng:
 - L0: ko có dự phòng (dư thừa) → ko khôi phục đc dl khi có 1 ổ cứng hỏng
 - L1: bản sao toàn bộ dl: dl dự phòng → dễ dàng khôi phục dl
 - L2: dự phòng: mã CRC: ko hiệu quả, ko cần thiết
 - L3: mã chẵn lẻ: chỉ cần duy nhất 1 ổ dự phòng

D1: 01010100

D2: 11100101

D3: 00010101

D4: 11001001

P: 01101101

Lỗi ổ cứng:

D1: 01010100

D3: 00010101

D4: 11001001

P: 01101101

D2: 11100101

- Chỉ cần 1 ổ cứng cho dự phòng
 - Tính toán P nhanh, khôi phục dl nhanh
 - 1 khôi phục lại dl trong th có 1 ổ bị lỗi tại 1 thời điểm
- L4: giống l3 → write penalty
 - L5: Giống L3,4 n dung lượng dự phòng đc phân bố đều ra các ổ cứng → giảm write penalty
 - L6: giống L5: dùng 2 mã chẵn lẻ → khôi phục dl trong trường hợp có 2 ổ cứng hỏng cùng

Level	Lưu trữ	Dự phòng
0	800GB	0
1	400GB	400GB
3	600GB	200GB
4	600GB	200GB
5	600GB	200GB
6	400GB	400GB

6.3 SSD

Công nghệ ổ cứng: bán dẫn lưu trữ và đọc ghi dl: điện tử số

Tốc độ cao, thông lượng lớn

Tốn ít năng lượng

Chạy êm và mát hơn

Dung lượng thấp hơn

Độ bền cao hơn

2 công nghệ chính: NOR (ROM, ROM điện thoại)

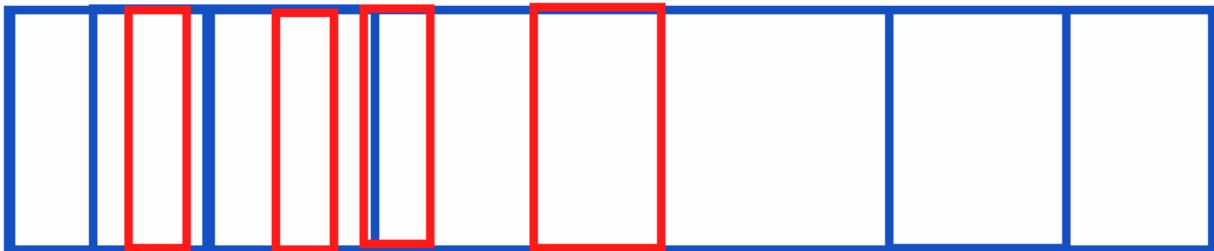
NAND: SSD, USB, thẻ nhớ

Tổ chức:

Vấn đề của SSD:

Hiệu năng SSD giảm dần theo tg

- Hiện tượng phân mảnh ổ cứng + Cơ chế ghi theo Block



Dung lượng BN SSD giảm dần theo tg

Block hỏng sau 1tg sử dụng

CPU: ALU, CU, thanh ghi

Chương 10,11: CU: giải mã lệnh: tập lệnh, chế độ địa chỉ

Chương 12: CPU

Chương 9: Bộ xử lý số học

Khối ALU: tín hiệu điều khiển: nhận từ CU: phép toán

Thanh ghi toán hạng vào:

Thanh ghi kết quả

Cờ: báo hiệu: cờ tràn, cờ không, cờ chia không

Biểu diễn số nguyên

Phép toán với số nguyên

Biểu diễn số thực

Phép toán với số thực

9.1 Biểu diễn số nguyên: dấu- độ lớn, bù 2: định dạng số nguyên trong MT (int, long int)

Dấu độ lớn (nb – 8b, 16b, 32b)	Bù 2 (nb – 8b, 16b, 32b, 64b)
Số bit đầu tiên bên trái làm bit dấu Số dương: 0, số âm: 1	
$34_{10} = 100010_2$ 1b dấu – (n-1)b phần độ lớn 8b: $34_{10} \rightarrow 0\ 0100010$ $-34_{10} \rightarrow 1\ 0100010$	$34_{10} = 100010_2$ - Số dương: bd giống dấu- độ lớn 8b: $34_{10} \rightarrow 0\ 0100010$ - Số âm: thực hiện bù 2 của số dương tương ứng + Bù 1: đảo bit: $0 \rightarrow 1, 1 \rightarrow 0$ 11011101

	+ Cộng 1: $11011101 + 1$ $= 11011110$ $-34_{10} \rightarrow \mathbf{11011110}$
Nhược điểm: 2 dạng bd số 0 Thực hiện phép cộng trừ:	

$$-54_{10} = -110110_2$$

- Dấu độ lớn 8b: 1 011 0110

- Bù 2: $54_{10} \rightarrow 0011\ 0110$

$$-54_{10} \rightarrow 1100\ 1010$$

$$11_{10} = 1011_2$$

- Dấu độ lớn 8b = bù 2: 0000 1011

$$-13_{10} = -1101_2$$

- Dấu độ lớn 8b: 1000 1101

- Bù 2 8b: 1111 0011

$$145_{10} = 1001\ 0001_2$$

Ko bd được ở dạng dấu độ lớn, bù 2 8b

Dấu độ lớn 16b=bù 2: 0000 0000 1001 0001

Dấu độ lớn (nb)	Bù 2 (nb)
Phạm vi biểu diễn (miền giá trị)	

$-(2^{n-1} - 1)$ $\rightarrow (2^{n-1} - 1)$ 8b: -127 \rightarrow 127 4b: -7 \rightarrow 7	$-(2^{n-1}) \rightarrow (2^{n-1} - 1)$ 8b: -128 \rightarrow 127 4b: -8 \rightarrow 7
Mở rộng phạm vi biểu diễn	
-54 \rightarrow 1 000 0000 0011 0110	-54 \rightarrow 1111 1111 1100 1010

\rightarrow Số Bù 2 là dạng bd phổ biến trong MT

Hộp giá trị:

-128	64	32	16	8	4	2	1
1	1	0	0	0	1	1	1

$$-128 + 64 + 4 + 2 + 1 = -57$$

9.2 Phép toán

a. Phép đảo dấu (lấy âm)

Phép toán bù 2:

- Bù 1 của số cần đảo dấu
- Cộng với 1

Cách 2: đọc từ phải \rightarrow trái, sau b1 đầu tiên: đảo bit còn lại

$$-54 \rightarrow 1111 \ 1111 \ 1100 \ 1010$$

$$54 \rightarrow 0000 \ 0000 \ 0011 \ 0110$$

$$-54 \rightarrow 1111 \ 1111 \ 1100 \ 1010$$

b. Phép cộng

$$1+1=10$$

$$1+1+1=11$$

Trần: cộng 2 số cùng dấu \rightarrow kết quả là số có dấu ngược lại

c. Phép trừ

Phép cộng với số đảo dấu của số trừ

$$5-3 \rightarrow 5+(-3)$$

Mạch cộng trừ

Bài tập

1.

$$\text{a. } 512_{10} = 1000000000_2$$

$$\xrightarrow{\text{bù } 2-16b} 0000 \ 0010 \ 0000 \ 0000$$

$$\text{b. } 29_{10} = 11101_2 \xrightarrow{\text{bù } 2-8b} 0001 \ 1101$$

$$-29_{10} \xrightarrow{\text{phép toán bù } 2} 1110 \ 0011$$

$$\text{c. } 91_{10} = 1011011_2 \xrightarrow{\text{bù } 2-8b} 0101 \ 1011$$

$$-91_{10} \xrightarrow{\text{phép toán bù } 2} 1010 \ 0101$$

-64	32	16	8	4	2	1
1	1		1		1	1

0	1	0	1	1	0	1
---	---	---	---	---	---	---

2. $-64+32+8+2+1=-21$

c. $32+8+4+1=45$

3.

$$6_{10} = 110_2 \rightarrow 0000\ 0110_{b\rightarrow 2\ 8b}$$

$$-6_{10} \rightarrow 1111\ 1010_{b\rightarrow 2\ 8b}$$

$$13_{10} = 1101_2 \rightarrow 0000\ 1101_{b\rightarrow 2\ 8b}$$

$$-13_{10} \rightarrow 1111\ 0011_{b\rightarrow 2\ 8b}$$

$$1111\ 1010$$

$$0000\ 1101$$

$$0000\ 0111$$

a. $0001\ 0011$

b. $0000\ 0111$

c. $1111\ 1001$

d. $1110\ 1101$

4.

$$111000$$

$$\underline{001101}$$

$$000101$$

b.

$$11001100$$

$$\underline{00010010}$$

$$11011110$$

c. $111100001111 + 001100001101 = 0010\ 0001\ 1100$

d. $11000011 + 00011000 = 11011011$

d. Phép nhân

Với số nguyên không dấu

M: số bị nhân

Q: số nhân

Kết quả: C-A-Q

Số nguyên bù 2:

$axb \rightarrow |a| \times |b| \rightarrow$ thực hiện nhân 2 số nguyên ko dấu

Hiệu chỉnh dấu: a,b cùng dấu \rightarrow tích giữ nguyên

a,b khác dấu \rightarrow tích đảo dấu

Thuật toán Booth: dành riêng để tính tích bù 2

Bù 2-4b $(-8 \rightarrow 7)$

$1100(-4) \times 0101(5)$

M: 1100 -M: 0100

A	Q	Q_{-1}	Bộ đếm
0000	0101	0	4 (khởi tạo)
0100 \rightarrow	0101 \rightarrow	0	3
0010	0010	1	
1110	0010	1	2
1111	0001	0	

0011	0001	0	1
0001	1000	1	
1101	1000	1	0
1110	1100	0	

$$1100(-4) \times 0101(5) = 1110\ 1100 = -128 + 64 + 32 + 8 + 4 = -20$$

➔ Mạch nhân và chia ko tràn

e. Phép chia

4. Số thực dấu chấm động:

Float

Double: số thực, dấu chấm động

Chuẩn hóa: $\pm S \times B^{\pm E}$

S: định trị 1.bbbbb

B: cơ số

E: số mũ

Vd: biểu diễn số $35.375_{10} = 100011.011_2 =$
 1.00011011×2^5

$$0.00010101_2 = \mathbf{1.0101 \times 2^{-4}}$$

Biểu diễn:

Dấu chấm động 32b

- 1 bit dấu (0: +; 1: -)

- 8b mũ: giá trị mũ lệch=số mũ thực tế+độ lệch (127)

Độ lệch= $2^{k-1} - 1$, trong đó k: số bit phần mũ

- 23b định trị: các bit sau dấu phẩy (bit 1 trước dấu phẩy là bit ngầm định)

$$35.375_{10} = 100011.011_2 = \mathbf{1.00011011} \times 2^5$$

$$\text{Mũ lệch: } 5+127=132_{10} = 10000100_2$$

32b: 0100 0010 0000 1101 1000 0000 0000 0000

VD 4: Cho số thập phân sau: 123.75. Xác định dạng biểu diễn dấu chấm động của số đó.

VD5: cho số nhị phân dấu chấm động 32b như sau:

1100 0001 0111 1010 1000 0000 0000 0000

Xác định giá trị biểu diễn của số đó

$$1.0.375_{10} = 0.25 + 0.125 = 0.011_2 = 1.1 \times 2^{-2}$$

$$\text{- Số mũ lệch} = -2+127=125_{10} = 0111\ 1111 - 10 = \mathbf{0111\ 1101}$$

- Dạng biểu diễn dấu chấm động 32b:

0011 1110 1100 0000 0000 0000 0000 0000

Vd2:

$$\text{Mũ: } 10000010_2 = 130_{10}$$

→ số mũ thực tế: $130-127=3$

Số biểu diễn: $-1.1010110 \times 2^3 = -1101.011_2 = 13.375_{10}$

Vd3: 1

Vd4:

$$123.75_{10} = 1111011.11_2 = 1.11101111 \times 2^6$$

Số mũ lệch: $6 + 127 = 133 = 10000101_2$

Dạng 32b: 0100 0010 1111 0111 1000 0000 0000 0000

VD5:

1100 0001 0111 1010 1000 0000 0000 0000

Số mũ lệch: $10000010_2 = 130_{10}$

Số mũ thực tế: $130-127=3$

Giá trị biểu diễn: $-1.11110101 \times 2^3 = -1111.10101_2 = -15 + 0.5 + 0.125 + 0.03125 = -15.65625$

Miền giá trị:

- Miền âm: $-(2 - 2^{-23}) \times 2^{128} \rightarrow -2^{-127}$
- Miền dương: $-2^{-127} \rightarrow (2 - 2^{-23}) \times 2^{128}$

Miền tràn:

- Miền tràn dưới âm: $-2^{-127} \rightarrow 0$

- Miền tràn dưới dương: $0 \rightarrow 2^{-127}$
- Miền tràn trên âm: $-\infty \rightarrow -(2 - 2^{-23}) \times 2^{128}$
- Miền tràn trên dương: $(2 - 2^{-23}) \times 2^{128} \rightarrow +\infty$

Chuẩn IEEE 754-2008:

5. Phép toán dấu chấm động

a. Phép toán cộng/trừ:

- Kiểm tra 0
- Hiệu chỉnh phần mũ của số có mũ nhỏ hơn
- Cộng có dấu phần định trị
- Chuẩn hóa và làm tròn

b. Phép nhân/chia

- Kiểm tra 0
- Cộng/trừ phần mũ
- Nhân/chia phần định trị
- Chuẩn hóa và làm tròn

Chương 10: Tập lệnh

Thuộc tính kiến trúc:

- Tập lệnh
- Chế độ địa chỉ
- Mã hóa dữ liệu
- Vào/ra dl

Lệnh máy: mã nhị phân (0101 0101 0101 0101) quyết định 1 hoạt động của VXL

Tập lệnh: tập hợp các lệnh mà vxl có thể thực thi đc

Định dạng lệnh:

- Mỗi lệnh có kích thước nhất định: CPUSIM 16b
- VXL 32b
- VXL 64b: từ lệnh 64b

+ **mã lệnh**: CPUSIM 16b: 4b mã lệnh + 12b địa chỉ

+ **trường đc**: tham chiếu toán hạng: $b=a+1$

- Toán hạng nguồn: a
 - Toán hạng kết quả: b
 - Toán hạng tham chiếu lệnh tiếp theo: JMPN
- Done

d. Số lượng trường đc:

Cấu trúc 1 tập lệnh:

- Tập lệnh 1 đc (1 trường địa chỉ trong mã lệnh)
- Tập lệnh 2 đc (2 trường đc trong mã lệnh)
- Tập lệnh 3 đc (3 trường đc trong mã lệnh)

Số lượng trường đc càng ít thì số câu lệnh của 1 chương trình càng nhiều → CPU thực hiện nhiều lệnh hơn → Hiệu suất thấp hơn

Máy tính hd: 3 địa chỉ + thêm các thanh ghi hỗ trợ thêm hd
VXL

Một số lệnh cơ bản trong MT: chia thành 7 nhóm:

- Truyền dl: Trao đổi dl giữa vxl và BN RAM
- Tính toán số học: +, -, *, /, đổi dấu,...
- Phép toán logic: AND, OR, XOR, NOT, dịch, quay vòng
- Chuyển đổi
- Lệnh vào/ra: CPU và thiết bị ngoại vi: READ, WRITE
- ĐK hệ thống
- Truyền điều khiển: nhảy, rẽ nhánh, gọi chương trình con, return

Chương 11. CHế độ địa chỉ:

Lệnh máy: mã lệnh + địa chỉ (tham chiếu toán hạng của lệnh)

ADD SUM: $ACC + SUM \rightarrow ACC$

Trường dc của lệnh: tham chiếu đến dc biến SUM trong BN

ACC: toán hạng ngầm định

Chế độ địa chỉ: cách các trường dc tham chiếu đến toán hạng: 7 chế độ

Tức thì: ADD 3: $ACC + 3 \rightarrow ACC$

Trực tiếp: ADD SUM trường SUM chứa đc biến trong
BN