

CA(10) 《数据级并行性》课后作业

1. 考虑如下代码，完成两个复数的矢量乘法：

```
for (i=0; i<300; i++) {  
    c_re[i]=a_re[i]*b_re[i]-a_im[i]*b_im[i];  
    c_im[i]=a_re[i]*b_im[i]+a_im[i]*b_re[i];  
}
```

假设处理器运行频率为 700MHz，最大矢量长度为 64。Load/Store 单元的启动开销为 15 个周期，乘法单元 8 个周期，加法/减法单元 5 个周期。

- (10) 这个核的算术强度是多少？证明你的答案。
- (20) 使用条纹挖掘(strip mining)方法将这个循环转换为 RV64V 汇编代码。
- (20) 假设存在链接(chaining)和单个存储流水线，需要多少定时(chime)？每个复数结果，包括启动开销，需要多少时钟周期？
- (15) 如果矢量序列是链接的，每个复数结果，包括启动开销，需要多少时钟周期？
- (15) 现在假设处理器有三个存储流水线和链接。如果在循环程序的访问中不存在存储体冲突，每个复数结果需要多少时钟周期？

2. 假设 GPU 体系结构包含 10 个 SIMD 处理器，每条 SIMD 指令宽度为 32，每个 SIMD 处理器包含 8 个单精度算术和 load/store 指令通道，意味着每条不分散的(nondiverged)SIMD 指令每 4 个时钟周期可以产生 32 个结果。假设拥有分散转移指令的核造成平均 80%线程是活跃的。假设所有执行的 SIMD 指令中 70%是单精度算术运算且 20%是 load/store 操作。因为不能掩盖所有存储器延迟，假设平均 SIMD 指令发出率为 0.85。假设 GPU 时钟速度是 1.5GHz。

- (10) 计算 GPU 上这个核的吞吐率(GFLOP/s)。
- (10) 假设你有如下选择：
 - (1) 将单精度通道数目增加到 16；

- (2) 将 SIMD 处理器数目增加到 15 (假设这个改变不会影响任何其它的功能指标, 且代码扩展到附加处理器上) ;
- (3) 添加 Cache 将有效减少存储延迟 40%, 将增加指令发出率到 0.95。

上述每种改进得到吞吐率的加速比是多少?