

CA(8) 《指令级并行性》课后作业

1. 本题观察软件技术如何从普通矢量循环程序中抽取指令级并行性。下述循环程序称为 DAXPY 循环（双精度 αX 加 Y ），是高斯消元法的核心操作。循环程序实现了对长度为100的矢量执行矢量操作 $Y = \alpha * X + Y$ 。R1 设置为矢量 X 的基地址，R2 设置为 Y 的基地址：

```
      addi    x4,x1,#800    ; x1 = upper bound for X
foo:   fld     f2,0(x1)     ; (f2)= X(i)
      fmul.d  f4,f2,f0     ; (f4)= a*X(i)
      fld     f6,0(x2)     ; (f6)= Y(i)
      fadd.d  f6,f4,f6     ; (f6)= a*X(i)+Y(i)
      fsd     0(x2),f6     ; Y(i)= a*X(i)+Y(i)
      addi    x1,x1,8      ; increment X index
      addi    x2,x2,8      ; increment Y index
      sltu    x3,x1,x4     ; test: continue loop?
      bnez    x3,foo       ; loop if need
```

假设功能单元的延迟如下表所示。在 ID 段解决了分支转移指令的一个周期延迟，执行过程是具备完全向前通路的。

Instruction producing result	Instruction using result	Latency in clock cycles
FP multiply	FP ALU op	6
FP add	FP ALU op	4
FP multiply	FP store	5
FP add	FP store	4
Integer operations and all load	Any	2

- a) (20) 假设单发出(single-issue)流水线。对于浮点数操作和分支延迟，显示编译器调度前和调度后循环程序是怎样的？包括任何停顿或空闲时钟周期。调度前和调度后，结果矢量 Y 每个元素的执行时间（以周期为单位）是多少？对于单独使用处理器硬件，其时钟必须提高到多快才能与通过编译器调度所获得的性能改进相同？（忽略增加时钟速度对存储系统性能的影响）。
- b) (20) 假设单发出流水线。在没有停顿的前提下，尽可能多地展开循环并调度来分摊循环开销指令，循环可以展开多少次？给出经过调度的指令代码和结果矢量每个元素的执行时间。
- c) (20) 假设在指令包含五个操作的 VLIW 处理器中（如下图所示），比较两种程度的循环展开。首先，展开循环 6 次，在无任何停顿（如完全空的发出周期）的前

提下，抽取指令级并行性和调度来分摊循环开销指令；然后，重复这个过程但展开循环 10 次。忽略分支指令延迟槽，显示两种调度结果。在每种调度方式下，结果矢量每个分量的执行时间是多少？在每种调度方式下，使用操作槽的百分比是多少？在两种调度方式下，代码量的差异是多少？对于每种调度方式，总的寄存器需求是多少？

Memory reference 1	Memory reference 2	FP operation 1	FP operation 2	Integer operation/branch
f1d f0,0(x1)	f1d f6,-8(x1)			
f1d f10,-16(x1)	f1d f14,-24(x1)			
f1d f18,-32(x1)	f1d f22,-40(x1)	fadd.d f4,f0,f2	fadd.d f8,f6,f2	
f1d f26,-48(x1)		fadd.d f12,f0,f2	fadd.d f16,f14,f2	
		fadd.d f20,f18,f2	fadd.d f24,f22,f2	
fsd f4,0(x1)	fsd f8,-8(x1)	fadd.d f28,f26,f24		
fsd f12,-16(x1)	fsd f16,-24(x1)			addi x1,x1,-56
fsd f20,24(x1)	fsd f24,16(x1)			
fsd f28,8(x1)				bne x1,x2,Loop

2. 本题观察使用 Tomasulo 算法完成上题循环程序时是如何变化的。功能单元描述如下表所示。

FU type	Cycles in EX	Number of FUs	Number of reservation stations
Integer	1	1	5
FU adder	10	1	3
FP multiplier	15	1	2

假设条件如下：

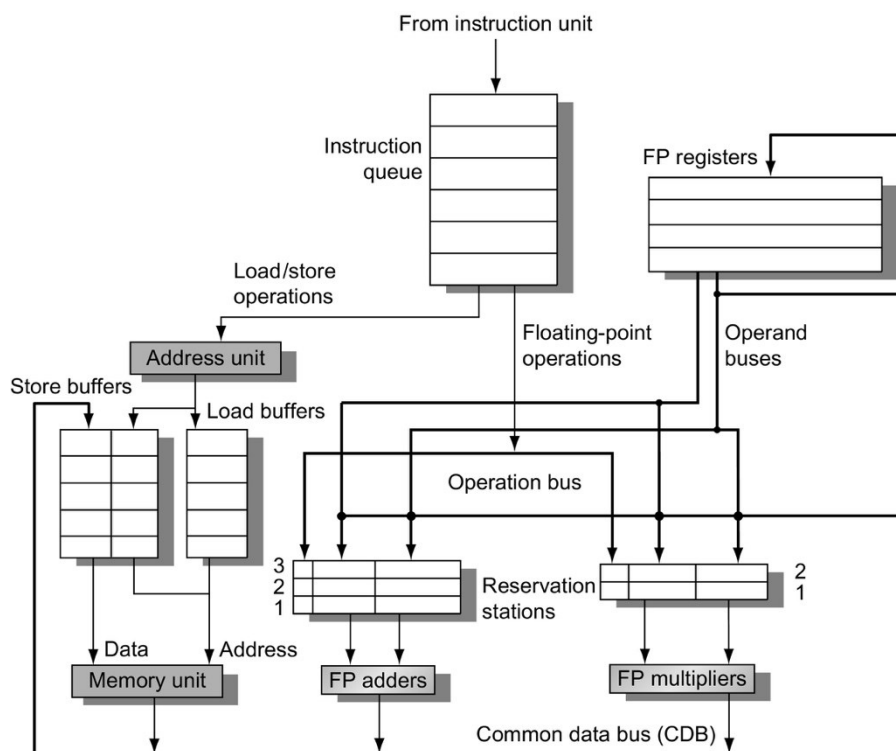
- 功能单元是非流水的。
- 在功能单元之间无向前通路；结果通过公共数据总线(CDB)传输。
- 对 Load 和 Store 指令，执行(EX)流水段完成有效地址计算和存储器访问。由此，流水线为 IF / ID / IS / EX / WB。
- Load 指令需要一个时钟周期。
- 发出(IS)和写回(WB)流水段，每个都需要一个时钟周期。
- 存在 5 个 Load 缓存槽和 5 个 Store 缓存槽。
- 假设 BNEZ 分支转移指令需要 1 个时钟周期

- a) (20) 使用如下图所示的单发出 Tomasulo MIPS 流水线，流水线延迟时间由上题对应表给出。针对程序的三次循环，给出每条指令的停顿周期数目和每条指

令开始执行（也就是进入第一个 EX 周期）的时钟周期。每次循环迭代需要多少时钟周期？将结果写成表格的形式，表格的列标题如下：

- 迭代（循环迭代数）
- 指令
- 发出（指令发出的周期）
- 执行（指令执行的周期）
- 访存（存储器访问的周期）
- 写 CDB（结果写到 CDB 的周期）
- 解释（正在等待指令的描述）

在表格中给出三次循环的结果，可以忽略第一条指令。



b) (20) 重复问题 a), 但是假设双发出(double-issue) Tomasulo 算法和全流水浮点数单元(FU)。