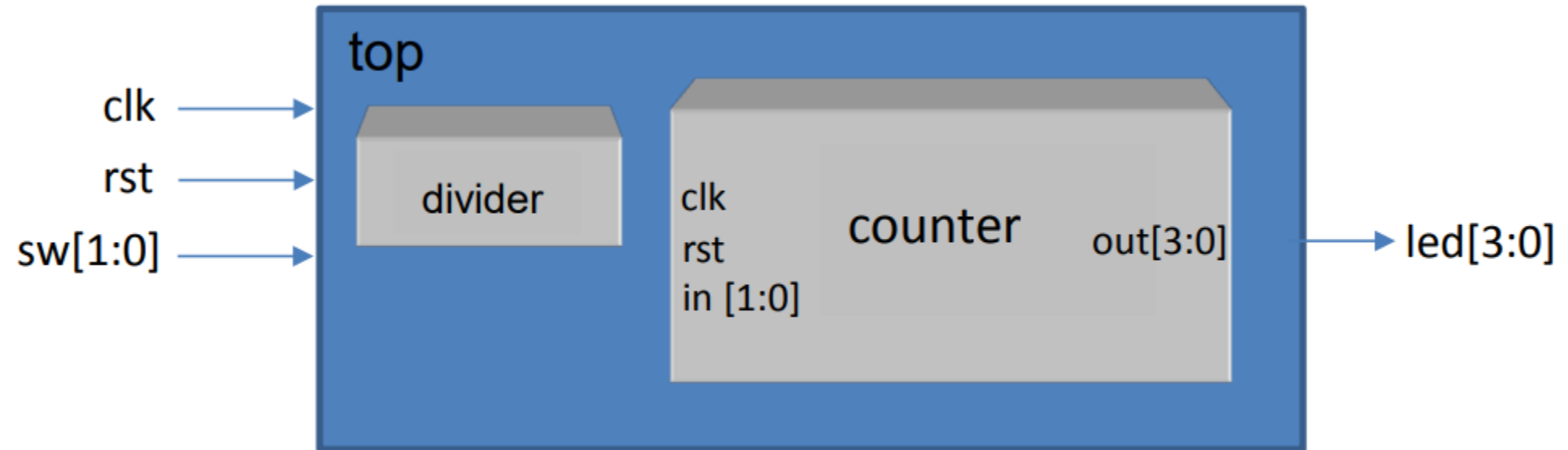


# Digital IC Design

## Midterm Project

# Block diagram



# File description

- 本次Project所需編輯的只有counter.v，其他皆無須更動。
- 在RTL模擬時為模擬counter.v之行為，僅需加入testfixture.v、counter.v、golden.txt 即可。
- 各位的 counter 需先能通過 testbench 的驗證，通過驗證後，將 top.v、clk\_div.v、counter.xdc 加入project 中，依照實驗課產生 bit-stream 的流程，並於期限內來實驗室 demo。

# File description

- counter.v: 本次project所要設計之module
- testfixture.v: 用來測試counter正確性之平台
- golden.txt: 輸出之正確答案
- counter.xdc: 用來合成及產生bit-stream所需的constrain描述
- top.v: top接線
- clk\_div.v: 除頻器

# Design description

- 需要實作一個可以上/下數的 4 bits 同步計數器，reset 完後依照輸入之 in 訊號來控制每次計數的間距（間距可為 1、2、3）。一開始從 0 開始往上數，到 15 之後，再由 15 開始下數到 0，並重複此動作。
- 在計數的過程中，若超過範圍( $out < 0$  or  $out > 15$ )，則輸出邊界值（即 0 或 15），同時也代表上/下數的轉換點。
- 在每個 clock 正緣時，輸出訊號 out 必須依據目前的輸入訊號 in 來計數。此為時序電路(sequential circuit)的設計，所有的 output 皆與 clock 正緣同步。

# Design description

- 當 reset 一結束後，你就要開始在每個 clock 正緣輸出相對應的答案，testbench 也會在每個負緣驗證輸出的答案是否正確。
- 此為 asynchronous-reset 架構，reset 訊號是 active high。
- 以下會有三組範例，輸入訊號 in 分別為 1、2 以及混合 1、2、3 時，所對應到的計數器輸出訊號 out 分別要為何。

# Example

Ex1:

in	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
out	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	15	14	13

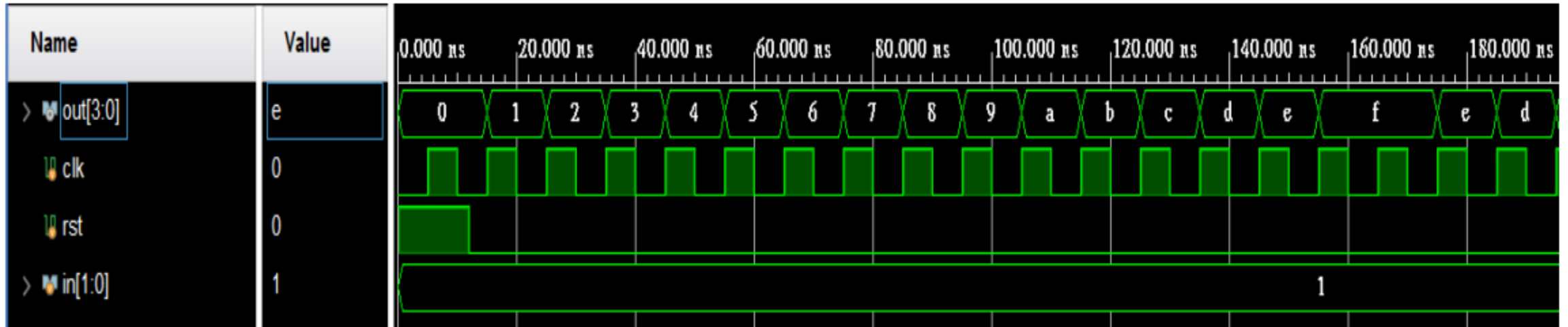
Ex2:

in	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
out	0	2	4	6	8	10	12	14	15	13	11	9	7	5	3	1	0	2	4

Ex3:

in	1	1	1	1	1	1	1	3	3	3	3	3	3	3	2	2	2	2	2
out	0	1	2	3	4	5	6	7	10	13	15	12	9	6	4	2	0	0	2

# Waveform



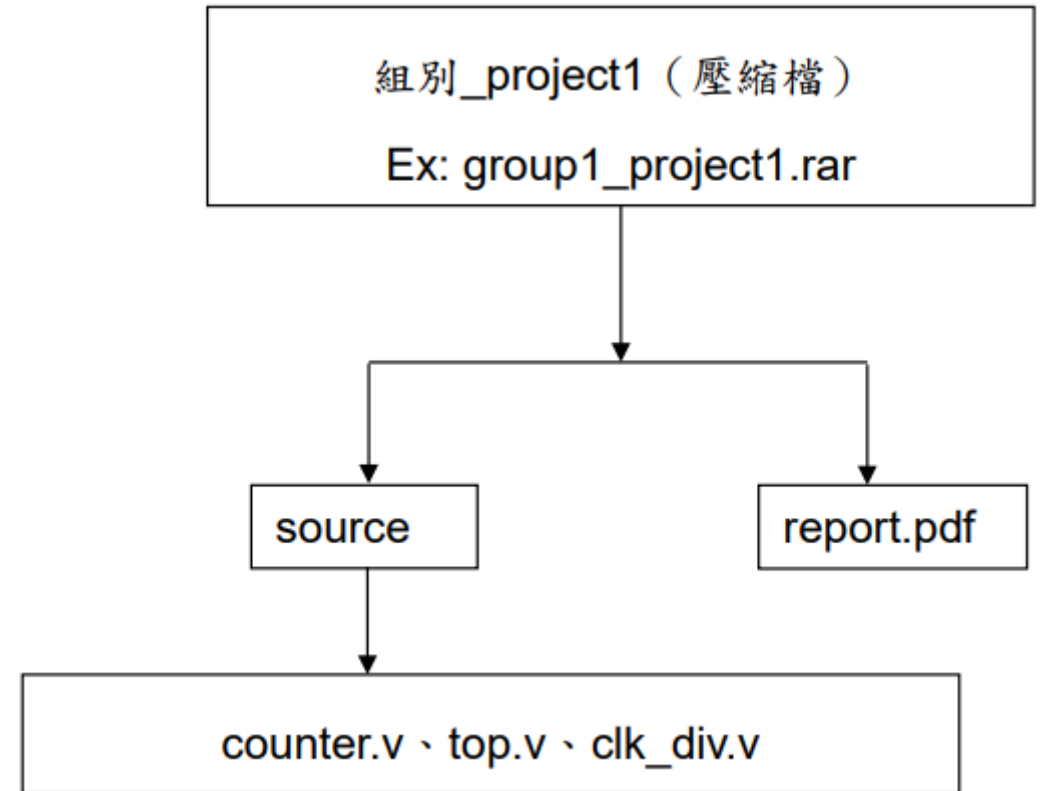


# Demo

- 本次 project 需要將 bit-stream 燒錄至FPGA並驗證功能後才算完成，請先產生bit-stream並於期限內帶電腦來41206實驗室 demo，如無法全部通過testbench測試也需要來 demo。
- Demo期限至 12/8，開放demo時間為每週二、四的10:00~18:00，請盡量避開吃飯時間。

# 繳交檔案

- 書面報告(report.pdf)須包含:
  1. 組員名稱及分工項目
  2. 設計原理(Design principle)
  3. 波形(waveform)分析
  4. 通過testbench測試之截圖
  5. 遇到的問題
- 上述5點請都詳細描述，且繳交的資料夾架構與名稱要與右圖相同，如不同會斟酌扣分。



# 評分標準

- Demo 佔 30%，其他要繳交之檔案佔 70%。
- Demo 不開放補做，繳交檔案的期限為12/8 23:59，每遲交一個禮拜打9折以此類推。
- 抄襲一律0分計算。
- 評分標準如下：
  - A 等級為完成測試樣本之所有 RTL simulation 且 FPGA 測試全對。
  - B 等級為完成測試樣本之所有 RTL simulation 但 FPGA 測試有錯。
  - C 等級為完成測試樣本 50%以上(含)之 RTL simulation
  - D 等級為完成測試樣本 50%以下之 RTL simulation