



UNIVERSIDADE EDUARDO MONDLANE

FACULDADE DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELECTROTÉCNICA

# Electrónica Digital

Eng<sup>o</sup>. Albino B Cuinhane

ABC

UEM - Digital I, Fev\_Jun08

1

## AULA TEÓRICA 5 SUMÁRIO

### Capítulo 5. Circuitos Sequenciais

- 5.1. Introdução
- 5.2. elementos de memória
  - 5.2.1. Características do Flip-flop
  - 5.2.2. Latch SR
    - 5.2.2.1. Latch SR básico
    - 5.2.2.2. Latch SR com Ck
    - 5.2.2.3. Latch D
  - 5.2.3. Flip-Flop JK
- 5.2.4. Flip-Flop Mestre-Escravo
- 5.2.5. Flip-Flop Mestre-Escravo com Pr e Clr

ABC

UEM - Digital I, Fev\_Jun08

2

## AULA 5 SUMÁRIO

- 5.3 Diagramas e Mapas de Estado
- 5.4. Classificação dos Circuitos Sequenciais
- 5.5 Contadores
  - 5.5.1 Contadores assíncronos
  - 5.5.2 Contadores síncronos
  - 5.5.3 Contadores auto-iniciados
- 5.6 Registo de Deslocamento
  - 5.6.1 Registo SISO
  - 5.6.2 Registo SIPO
  - 5.6.3 Registo PISO
  - 5.6.4 Registo PIPO

ABC

UEM - Digital I

3

# Capítulo 5 Circuitos Sequenciais

ABC

UEM - Digital I, Fev\_Jun08

4

## 5.1 Introdução

ABC

UEM - Digital I, Fev\_Jun08

5

### 5.1. Introdução

No capítulo 1 afirmamos que o grande mérito dos sistemas digitais é o sequenciamento de operações. Esta funcionalidade implica a necessidade de saber qual é o estado seguinte em função do estado actual.

Há, logicamente, que ter em conta o tempo, daí a necessidade de relógio para definir a separação entre o que chamaremos de **estado actual** e o **estado anterior**.

O estado dum sistema digital é dado pela combinação das variáveis de saída.

O estado duma turma de 10 alunos pode ser definido por 4 meninas e 6 meninos. Mas podemos ter a turma no estado 7 meninas e 3 rapazes.

Se um dado circuito tem as suas saídas condicionadas não só à combinação actual das variáveis de entrada mas também ao estado anterior das variáveis de saída, diz-se ser um Circuito Sequencial. A Fig. 5.1 mostra o conceito de circuito sequencial.

ABC

UEM - Digital I, Fev\_Jun08

6

## 5.1. Introdução

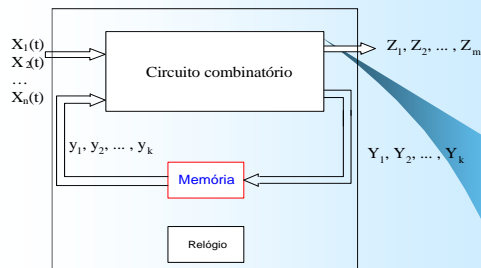


Fig. 5.1. Modelo dum Circuito Sequencial

ABC

UEM - Digital I, Fev\_Jun08 7

## 5.1. Introdução

Será um comportamento dum circuito combinatório a seguinte situação:  
a) Se encontrar a turma na sala vou dar o tema dos circuitos sequenciais.

Será um comportamento dum circuito sequencial a seguinte situação:

b) Se encontrar 70% dos alunos da aula anterior vou ensiná-los os circuitos sequenciais, se forem 50% dos alunos vou repetir a aula anterior de contrário desisto

A situação a) revela que não importa o estado anterior da turma. Basta que estejam na sala os alunos e o professor decorrerá a aula de CS

Já a situação b) além da condição de haver estudantes e professor na sala de aula, há que saber qual foi o estado anterior da turma. As mesmas condições de entrada geram caminhos distintos de acordo com a predisposição da turma

ABC

UEM - Digital I, Fev\_Jun08 8

## 5.1. Introdução

No circuito sequencial a informação pode estar distribuída espacialmente ou temporariamente.

A figura 5.1 lembra-nos a figura 4.1 só que ao circuito combinatório da caixa negra, foi acrescida uma linha de re-alimentação que retorna o estado anterior das variáveis de saída  $Y_{(t-1)}$  para combiná-las com as variáveis actuais  $X_t$  e gerar novos valores  $Y_{(t)}$ .

Esta configuração originou o circuito sequencial. O relógio é fundamental nesta situação para que a combinação não ocorra em qualquer momento, assim que estiverem presentes as variáveis de entrada.

No modelo apresentado na figura 5.1 as variáveis  $X$  são chamadas variáveis de entrada ou externas, as  $Z$  são variáveis de saída, as  $y$  são variáveis de estado(ou internas) no instante  $t-1$  e as  $Y$  são variáveis de estado(ou internas) no instante  $t$ .

ABC

UEM - Digital I, Fev\_Jun08 9

## 5.1. Introdução

Matematicamente podemos escrever as relações entre as diversas variáveis da seguinte forma:

$$Z_i = f[X_1(t), X_2(t), \dots, X_n(t), y_1(t), y_2(t), \dots, y_k(t)] \quad (5.1)$$

$$Y_j = g[X_1(t), X_2(t), \dots, X_n(t), y_1(t), y_2(t), \dots, y_k(t)] \quad (5.2)$$

Onde  $i=1, \dots, m$   
 $j=1, \dots, k$

As expressões (5.1) e (5.2) podem ser apresentadas na forma vectorial como:

$$X = \begin{bmatrix} X1 \\ X2 \\ \vdots \\ Xn \end{bmatrix} \quad Z = \begin{bmatrix} Z1 \\ Z2 \\ \vdots \\ Zn \end{bmatrix} \quad Y = \begin{bmatrix} Y1 \\ Y2 \\ \vdots \\ Yn \end{bmatrix} \quad y = \begin{bmatrix} y1 \\ y2 \\ \vdots \\ ym \end{bmatrix} \quad (5.3)$$

ABC

UEM - Digital I, Fev\_Jun08 10

## 5.1. Introdução

Agora é preciso encontrarmos formas de descrever com mais acuidade as diferentes variáveis, tendo sempre em mente que elas são booleanas, o que acaba facilitando a síntese e análise dos circuitos digitais

As variáveis de saída  $Z$  podem ser obtidas de duas maneiras diferentes:

- Pela combinação das variáveis de entrada  $X$  com as de estado  $Y$ . Este é o modelo de Mealy
- As variáveis de saída coincidem com as variáveis de estado  $Y$  ou dependem delas. Este é o modelo de Moore

No item 5.4 voltaremos a este assunto.

ABC

UEM - Digital I, Fev\_Jun08 11

## 5.2 Elementos de Memória

ABC

UEM - Digital I, Fev\_Jun08 12

### 5.2.1. Características Básicas do Flip-Flop

A parte fundamental no circuito sequencial é o elemento de memória. É necessário que de alguma maneira consigamos reter o estado actual do circuito para usá-lo no futuro

Se tivermos em conta que estamos a falar de circuitos electrónicos temos que saber que fixar um estado é conservar o nível lógico 0 (normalmente 0V) ou o nível lógico 1 (Normalmente 5V, 12V ou 18V)

Há vários elementos de memória. Mas o mais importante é um elemento sequencial elementar representado na Fig. 5.2.a) que tem as seguintes características:

#### CARACTERÍSTICAS FÍSICAS

- 1) Tem duas entradas principais J e K
- 2) Tem uma entrada de controle Ck
- 3) Tem duas entradas prioritárias Pr e Clr
- 4) Tem duas saídas complementares Q e  $\bar{Q}$

ABC

UEM - Digital I 13

### 5.2.1. Características Básicas do Flip-Flop

#### CARACTERÍSTICAS FUNCIONAIS

- 1) a entrada J, quando activa (nível 1), força a saída Q a ficar activa (nível 1)
- 2) a entrada K, quando activa, força a saída Q a ficar inactiva (nível 0)
- 3) se as duas entradas estiverem inactivas nada sucede com a saída Q
- 4) se ambas entradas estiverem activas, forçam a saída Q a mudar de estado
- 5) As saídas Q e  $\bar{Q}$  reagem às entradas J e K quando o sinal de controle for activo
- 6) a entrada Pr, quando activa, força a saída Q a ficar activa (nível 1) independentemente das entradas J e K
- 7) a entrada Clr, quando activa, força a saída Q a ficar inactiva (nível 0) independentemente das entradas J e K

#### RESTRIÇÕES

- 1) As saídas devem ser sempre complementares
- 2) As entradas prioritárias não devem ser activas em simultâneo

ABC

UEM - Digital I 14

### 5.2.1. Características Básicas do Flip-Flop

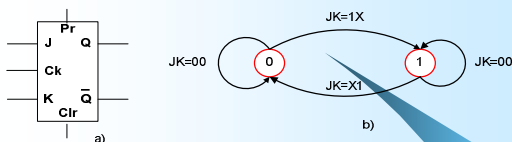


Fig. 5.2. Elemento básico de memória. a) Quadripolo básico b) Diagrama de estados

Vamos desenvolver paulatinamente este dispositivo e lhe denominaremos correctamente no final.

Comecemos pelo LATCH SR...

ABC

UEM - Digital I 15

### 5.2.2. Latch SR

ABC

UEM - Digital I 16

#### 5.2.2.1. Latch SR Básico

Iniciamos o nosso estudo pela compreensão do que é um trinco (latch, em inglês).

Considere uma porta OR da Fig. 5.6a. Assuma que no início temos as duas entradas em 0. Nestas condições a saída é igual a 0

Se nestas condições a saída for conectada a uma das entradas, o circuito permanece estável nesse estado (Fig. 5.6b).

Se nestas condições coloca 1 na entrada livre, como se indica na Fig. 5.6c activará o nível 1 à saída que retorna para a entrada pela re-alimentação.

Retornando a entrada livre para 0 como na Fig. 5.6d não provocará mais mudança na saída Q devido à re-alimentação.

Diz-se que o dispositivo foi colocado em 1 (Set to 1).

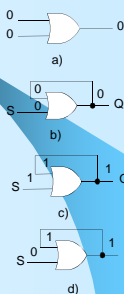


Fig. 5.6 Latch do tipo SET.

ABC

UEM - Digital I 17

#### 5.2.2.1. Latch SR Básico

Construamos agora o mesmo circuito através de porta NOR seguida duma NOT e aproveitamos o ponto intermédio para extrair o sinal Q (Fig. 5.7a).

No início ambas as entradas da NOR são 0. Nestas condições Q=1.

Elevando R para 1, a saída Q passa para 0 e a re-alimentação devolve 1 para a entrada (Fig. 5.7b).

Mesmo que R volte a 0, a re-alimentação prende a saída Q em 0

Diz-se que o latch foi limpo (RESET).

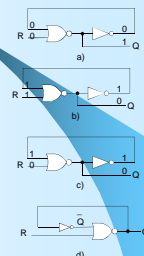


Fig. 5.7 Latch RESET. a) Latch SET modificado e estável em 1 d) Apresentação mais comum do latch RESET

ABC

UEM - Digital I 18

### 5.2.2.1. Latch SR Básico

Dispositivos que se comportam como os descritos aqui não são práticos senão em situações muito específicas e raras. Já a combinação dos dois representa um grande ganho na construção do latch SR.

Latch é um circuito que uma vez atingindo o seu estado de estabilidade jamais sai independentemente do que acontecer na entrada.

Existe o

Latch SET, que estabiliza no nível lógico 1 e o

Latch RESET, que estabiliza no nível lógico 0.

O latch SR é uma associação dos latches SET e RESET para obter um dispositivo que comporte as duas funcionalidades.

É a primeira tentativa de construir o elemento de memória.

ABC

19 UEM - Digital I

### 5.2.2.1. Latch SR Básico

O latch SR( Fig. 5.8a) tem uma entrada S (de Set) e outra R (de Reset), tem uma saída Q e outra  $\bar{Q}$  que se assume que devem ser o complementares.

Vamos preencher a tabela de verdade do latch SR a seguir

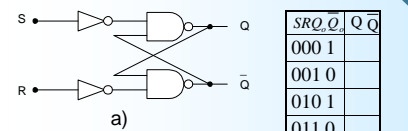


Fig. 5.8 Latch SR básico.

a) circuito,

b) tabela de verdade extendida

SR	$\bar{Q}_0$	Q	$\bar{Q}$
000	1		
001	0		
010	1		
011	0		
100	1		
101	0		
110	1		
111	0		

b)

ABC

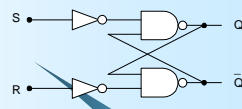
20 UEM - Digital I

### 5.2.2.1 Latch SR Básico

As equações de Q e  $\bar{Q}$  são:

$$Q = S\bar{Q} \quad (5.7a)$$

$$\bar{Q} = RQ \quad (5.7b)$$



Das expressões acima obtemos:

1a. seja S=0 e R=0. Assumamos que Q=0 e logo,  $\bar{Q}=1$

De (5.7) obtemos: Q=0 e  $\bar{Q}=1$

1b. seja S=0 e R=0. Assumamos que Q=1 e logo,  $\bar{Q}=0$

De (5.7) obtemos: Q=1 e  $\bar{Q}=0$

Conclusão:

Se S=0 e R=0, as saídas mantêm o estado em que estavam, no instante t-1, quando as variáveis de entrada assumiram os valores do estado actual, t

ABC

21 UEM - Digital I

### 5.2.2.1 Latch SR Básico

2a. seja S=0 e R=1. Assumamos que Q=0 e logo,  $\bar{Q}=1$

De (5.7) obtemos: Q=0 e  $\bar{Q}=1$

2b. seja S=0 e R=1. Assumamos que Q=1 e logo,  $\bar{Q}=0$

De (5.7) obtemos: Q=0 e  $\bar{Q}=1$

Conclusão:

Se S=0 e R=1, a saída Q=0 e  $\bar{Q}=1$  independentemente do estado em que estavam no instante t-1 quando as variáveis de entrada assumiram os valores do estado actual, t.

3a. seja S=1 e R=0. Assumamos que Q=0 e logo,  $\bar{Q}=1$

De (5.7) obtemos: Q=1 e  $\bar{Q}=0$

3b. seja S=1 e R=0. Assumamos que Q=1 e logo,  $\bar{Q}=0$

De (5.7) obtemos: Q=1 e  $\bar{Q}=0$

Conclusão:

Se S=1 e R=0, a saída Q=1 e  $\bar{Q}=0$  independentemente do estado em que estava no instante t-1 quando as variáveis de entrada assumiram os valores do estado actual, t.

ABC

22 UEM - Digital I

### 5.2.2.1 Latch SR Básico

4a. seja S=1 e R=1. Assumimos que Q=0 e logo,  $\bar{Q}=1$

De (5.7) obtemos: Q=1 e  $\bar{Q}=1$

4b. seja S=1 e R=1. Assumimos que Q=1 e logo,  $\bar{Q}=0$

De (5.7) obtemos: Q=1 e  $\bar{Q}=1$

Conclusão:

Se S=1 e R=1, a saída Q=1 e  $\bar{Q}=1$  independentemente do estado em que estavam no instante t-1 quando as variáveis de entrada assumiram os valores do estado actual, t. Só que esta combinação das saídas não satisfaz a condição de que Q é complementar de  $\bar{Q}$ . Assim esta última combinação das variáveis de entrada não será permitida.

Desta análise chegamos à Tabela de verdade final do latch SR

ABC

23 UEM - Digital I

### 5.2.2.1 Latch SR Básico

S	R	Q
0	0	$Q_0$
0	1	0
1	0	1
1	1	Não permitido

Tab. 5.4. Tabela de verdade do latch SR.  $Q_0$  significa Q no estado t-1

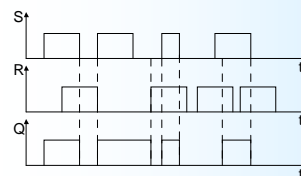


Fig. 5.9. Diagrama Temporal do Latch SR

ABC

24 UEM - Digital I

### 5.2.2.1 Latch SR Básico

#### Deficiências do latch SR básico:

- a) Tem uma combinação perdida porque não é permitida
  - b) Não tem controle sobre os sinais de entrada. Assim que estiverem presentes na entrada são combinadas com os sinais das linhas de re-alimentação e geram novas saídas que se combinam de novo.
- Por isso não conseguimos armazenar a informação.

ABC

25  
UEM - Digital I

### 5.2.2.2 Latch SR Com Ck

Lembremos que o circuito sequencial separa o instante t-1 do t. Isto tem que ser numa forma controlada. O latch SR básico que vimos no item anterior, como circuito sequencial, peca pelo facto de não introduzir este aspecto. Sempre que as variáveis estiverem presentes na entrada elas combinam-se e geram o resultado conforme a tabela de verdade

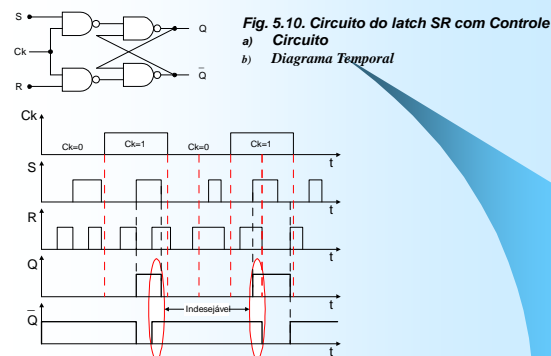
A Fig. 5.6 a seguir mostra uma modificação do mesmo latch SR básico. Foi introduzida uma barreira chamada Clock. As entradas esperem até que o sinal de Ck seja activo (neste caso em 1).

No fundo, o que a barreira faz é levar o latch para a 1ª linha da tabela de verdade sempre que se deseja esperar pelo instante t+1. Lembremos que na primeira linha, as saídas mantêm o estado anterior.

ABC

26  
UEM - Digital I

### 5.2.2.2 Latch SR Com Ck



ABC

27  
UEM - Digital I

### 5.2.2.2 Latch SR Com Ck

#### Deficiências do latch SR básico resolvidas:

- a) A falta de controle sobre as entradas.

#### Deficiências do latch SR com Ck

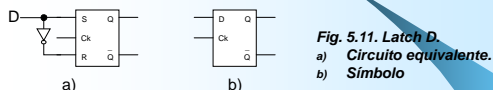
- a) Tem uma combinação perdida porque não é permitida
- b) Não tem controle sobre as entradas quando o sinal de Ck estiver activo. Assim que estiverem presentes na entrada são combinadas com os sinais das linhas da re-alimentação e geram novas saídas que se combinam de novo

ABC

28  
UEM - Digital I

### 5.2.2.3 Latch D

Uma das aplicações mais frequentes em sistemas digitais é o armazenamento de dados para uso posterior. O dispositivo mais usualmente empregue nestas situações é o Latch D (Delay, atraso).



Nesta montagem, é fácil ver que o latch irá executar apenas a 2ª e a 3ª linha da tabela de verdade do latch SR.

Se em D tivermos 0 estaremos na situação de S=0 e R=1, o que resulta numa saída igual a 0.

Se tivermos D=1, estaremos na situação de S=1 e R=0, do que resulta numa saída igual a 1.

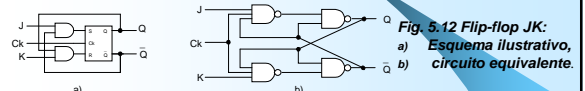
Mas ainda não conseguimos o dispositivo perfeito. Sempre que o Ck for 1, a saída Q imita a entrada D.

ABC

29  
UEM - Digital I

### 5.2.3 Flip-Flop JK

Tomamos o latch SR e acrescentamos duas portas AND antes das entradas S e R. Esticamos a re-alimentação mais para atrás até a estas portas. Em consequência disso obtemos um novo dispositivo que toma o nome de flip-flop JK.



O flip-flop JK tem o mesmo comportamento que o latch SR nas 3 primeiras combinações. Analisemos a última com detalhe.

Partimos das equações:

$$S = J\bar{Q} \quad (5.8a)$$

$$R = KQ \quad (5.8b)$$

ABC

30  
UEM - Digital I

### 5.2.3 Flip-Flop JK

4a. seja  $J=1$  e  $K=1$ . Assumimos que  $Q=0$  e logo,  $\sim Q=1$ .

De (5.8) obtemos:  $S=1$  e  $R=0$ .

Esta situação representa a 3ª linha da tabela de verdade do latch SR. Nesta linha  $Q=1$  e  $\sim Q=0$ .

4b. seja  $J=1$  e  $K=1$ . Assumimos que  $Q=1$  e logo,  $\sim Q=0$ .

De (5.8) obtemos:  $S=0$  e  $R=1$ .

Esta situação representa a 2ª linha da tabela de verdade do latch SR. Nesta linha  $Q=0$  e  $\sim Q=1$ .

Vemos que se no instante  $t$ , em que  $J=1$  e  $K=1$ , enquanto que antes (no instante  $t-1$ ) os valores das saídas eram  $Q=0$  e  $\sim Q=1$ , os valores actuais das mesmas são  $Q=1$  e  $\sim Q=0$ .

Por outro lado, se no instante  $t$ , em que  $J=1$  e  $K=1$ , enquanto que antes (no instante  $t-1$ ) os valores das saídas eram  $Q=1$  e  $\sim Q=0$ , os valores actuais das mesmas são  $Q=0$  e  $\sim Q=1$ .

ABC

UEM - Digital I

### 5.2.3 Flip-Flop JK

#### Conclusão:

Se  $J=1$  e  $K=1$ , as saídas  $Q$  e  $\sim Q$  mudam do seu estado anterior para o seu complementar. Desta vez consegue-se ainda obter a complementaridade entre as saídas  $Q$  e  $\sim Q$ .

J	K	Q
0	0	$Q_0$
0	1	0
1	0	1
1	1	$\sim Q_0$

Tab. 5.5. Tabela de verdade do flip-flop JK.  $Q_0$  significa Q no estado  $t-1$ .  $\sim Q_0$  significa  $\sim Q$  no estado  $t-1$

#### Deficiências do latch SR com Ck resolvidas:

- Existência duma combinação perdida.

#### Deficiências do flip-flop JK:

- Não tem controle sobre as entradas quando o sinal de Ck for activo.

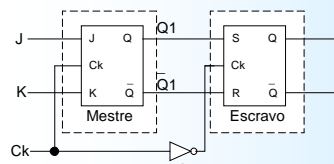
ABC

UEM - Digital I

### 5.2.4 Flip-Flop JK Mestre-Escravo

O último problema que temos que resolver é o da falta de controle das entradas quando o sinal de controle Ck for activo.

A solução será conseguida por efectuar modificações ao circuito do flip-flop JK por forma que se reduza o tempo em que as variáveis podem combinarem-se e gerar resultados à saída. Para tal, combinamos dois dispositivos já vistos atrás, um flip-flop JK como mestre e um latch SR como escravo (Fig. 5.13)



Vamos analisar o comportamento do flip-flop com ajuda do diagrama temporal a seguir

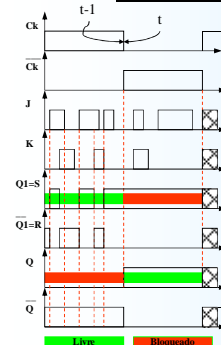
TPC: Criticar o circuito da Fig. 5.9 (Vide PR 5, pergunta 10)

Fig. 5.13. Esquema do flip-flop JK Mestre-Escravo elementar

ABC

UEM - Digital I

### 5.2.4 Flip-Flop JK Mestre-Escravo



O período inicial será quando o sinal de Ck estiver no nível lógico 1, o que habilita o mestre. A porta G faz a inversão do sinal do Ck. Por isso o mestre e o escravo têm períodos de actividade opostos.

Enquanto  $Ck=1$  o mestre pode reconhecer as entradas, combiná-las e gerar as suas saídas  $Q1$  conforme a sua tabela de verdade (do flip-flop JK).

Como o escravo tem o clock no estado inactivo, não reconhecerá as variações que ocorrem em  $Q1$  e  $\sim Q1$ . Assim mantém o estado anterior das saídas

Fig. 5.14 Diagrama temporal do ff JK Mestre-Escravo elementar

ABC

UEM - Digital I

### 5.2.4 Flip-Flop JK Mestre-Escravo

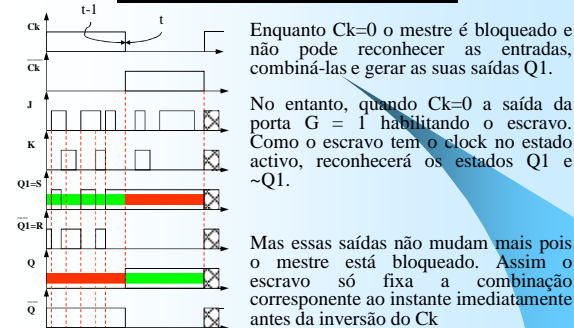


Fig. 5.15 Diagrama temporal do ff JK Mestre-Escravo elementar

ABC

UEM - Digital I

### 5.2.4 Flip-Flop JK Mestre-Escravo

Acabamos de construir um flip-flop que não tem nenhuma combinação perdida e reconhece as entradas em momento bem especificado

Um flip-flop que reconhece as entradas no momento em que o sinal de Ck muda de 1 para 0, diz-se sensível à **transição negativa** de Ck.

Caso contrário diz-se sensível à **transição positiva** de Ck

A Fig. 5.12 apresenta os símbolos dos dois Flip-flop mencionados

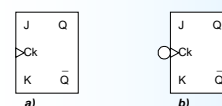


Fig. 5.16 Símbolos do ff JK Mestre-Escravo

a) Sensível a transição positiva de Ck

b) Sensível a transição negativa de Ck

ABC

UEM - Digital I



### 5.2.5 Flip-Flop JK Mestre-Escravo com Pr e Clr

Quando se liga o flip-flop à alimentação ele pode calhar em qualquer estado. Isto não é benéfico para os circuitos electrónicos reais.

A solução deste problema passa pela introdução de mais duas entradas no escravo (Fig. 5.17):

PRESET que força o flip-flop a ir para o estado 1  
CLEAR que força o flip-flop a ir para o estado 0

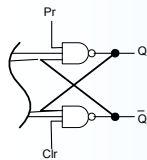


Fig. 5.17. ff JK Mestre-Escravo com Pr e Clr

ABC

Se  $Pr = 0$  a saída  $Q$  é forçada a ir para 1 e através da re-alimentação leva  $\sim Q$  ao estado 0  
– Isto é PRESET

Se  $Clr = 0$  a saída  $\sim Q$  é forçada a ir para 1 e através da re-alimentação leva  $Q$  ao estado 0  
– Isto é CLEAR

**ATENÇÃO:** as entradas Pr e Clr nunca devem ser activadas simultaneamente pois forçariam uma situação proibida por violar a complementaridade

UEM - Digital I

### 5.2.5 Flip-Flop JK configurado em D e T

Quando as entradas J e K forem montadas de tal modo que são sempre complementares (Fig.5.21), formamos o flip-flop do tipo D que é apenas um conservador de dados

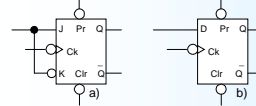


Fig. 5.21. ff D.  
a) Ligação  
b) Símbolo

Quando as entradas J e K forem montadas de tal modo que são sempre iguais (Fig.5.22), formamos o flip-flop do tipo T que muda de estado sempre de ocorre uma transição de Ck e  $T=1$

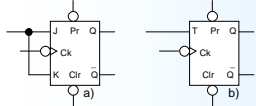


Fig. 5.22. ff T.  
a) Ligação  
b) Símbolo

ABC

UEM - Digital I

## 5.3 Diagrama e Mapas de Estados

ABC

UEM - Digital I

### 5.3 Diagrama e Mapas de Estados

As expressões (5.1), (5.2) e (5.3) descrevem matematicamente o comportamento do circuito sequencial elas não nos mostram com clareza o que de facto acontece num circuito.

A forma prática de ilustrar o que sucede num circuito é representar o seu Diagrama de Estados ou o chamado Mapa de Estado (Fig.5.23 a 25)

O **diagrama de estado** é uma representação gráfica em que:

1. as variáveis de estado (o mesmo que dizer o estado do circuito) são apresentados dentro de círculos;
2. o fluxo da transição entre estados é indicado por uma seta que parte do estado actual para o estado seguinte;
3. a seta é rotulada com condição de transição que é um conjunto formado pelas variáveis de estado, as variáveis de saída ou as de entrada

ABC

UEM - Digital I

### 5.3 Diagrama e Mapas de Estados

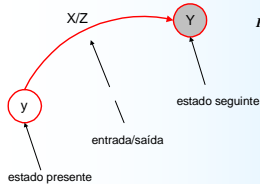


Fig.5.23 Representação gráfica do circuito sequencial. Diagrama de estados no modelo de Mealy

No modelo de Mealy o diagrama de estados tem dentro dos círculos as variáveis de estado e na etiqueta da condição de transição tem as variáveis de entrada que irão ditar a partida do estado  $y$  para  $Y$ . Nesta etiqueta indica-se ainda o valor que as saídas irão assumir no próximo estado

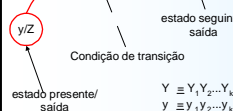
As variáveis de saída são funções das de entradas e as de estado:  
 $Z=f(x,y)$

ABC

UEM - Digital I

### 5.3 Diagrama e Mapas de Estados

Fig.5.24 Representação gráfica do circuito sequencial. Diagrama de estados no modelo de Moore



No modelo de Moore o diagrama de estados tem dentro dos círculos as variáveis de estado e na etiqueta da condição de transição tem as variáveis de entrada que irão ditar a partida do estado  $y$  para  $Y$ . No interior dos círculos indica-se ainda o valor que as saídas assumem nesse estado

As variáveis de saída dependem das de estado ou coincidem com elas:  
 $Z=f(y)$

ABC

UEM - Digital I

### 5.3 Diagrama e Mapas de Estados

Para qualquer dos modelos, o circuito sequencial pode ser representado pelo Mapa de Estados.

**Mapa de Estados** é uma tabela representativa da evolução do circuito.

Na linha superior são colocadas as variáveis de entrada X; na coluna mais à esquerda são colocados os estados actuais y. O cruzamento entre a linha x e a coluna y define o próximo estado Y e a saída Z.

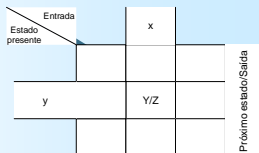


Fig.5.25 Representação gráfica do circuito sequencial: Mapa de estados

Normalmente o estado Y é indicado por uma etiqueta A, B, C,.... O estado Y é feito pela combinação das variáveis de estado Y. Para n variáveis são possíveis  $2^n$  estados diferentes. Não quer isto dizer que o circuito passa por todos eles. Por outro lado, faz-se corresponder a cada variável de estado um elemento de memória.

ABC

UEM - Digital I

## 5.4 CLASSIFICAÇÃO DOS CIRCUITOS SEQUENCIAIS

ABC

UEM - Digital I

### 5.4. Classificação dos sistemas sequenciais

Os sistemas sequenciais podem ser classificados como se segue:

1.Quanto à duração do Ck { Activados por pulso  
Activados por flanco

2.Quanto à forma de ligação do Ck { Assíncronos { Totalmente Síncronos  
Síncronos { Pseudo-Síncronos

ABC

UEM - Digital I

#### 5.4.1 Sistemas Activados Por Pulsos

Lembremos que a definição da sequência, ou melhor, a separação entre o instante  $t$  e  $t-1$  é feito por um relógio. Na verdade o relógio é um sinal que gera pulsos, numa dada frequência ou sequência (Fig.5.34).

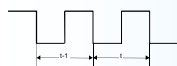


Fig. 5.31 Definição dos instantes  $t-1$  e  $t$  nos sistemas activados por pulsos

A Fig. 5.31 mostra a situação em que o instante  $t-1$  corresponde ao ciclo anterior e o instante  $t$  corresponde ao ciclo actual. Nos sistemas deste tipo a passagem dum estado para o outro é activada pelo estado Low ou High do sinal do relógio.

Para os sistemas activados em Low, as variáveis de entrada serão permitidas a prepararem-se durante o semi-ciclo em que o relógio estiver no nível 1. Os que são activados em High as variáveis de entrada serão permitidas a prepararem-se durante o semi-ciclo em que o relógio estiver no nível 0.

Normalmente depois que se entra no período em que o Ck é activo, as variáveis de entrada não devem mudar mais.

ABC

UEM - Digital I

#### 5.4.1 Sistemas Activados Por Pulsos

Os sistemas activados deste modo dizem-se **activados por pulsos**. Esta configuração tem a desvantagem de haver muito tempo para as variáveis se combinarem. Lembremos que há re-alimentação no circuito. E, como tal, se a duração do semi-ciclo activo for maior que o tempo médio de propagação no caminho da re-alimentação, poderá ocorrer que o novo estado das saídas seja re-combinado com as entradas.

ABC

UEM - Digital I

#### 5.4.2 Sistemas Activados Por Flancos

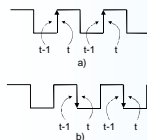


Fig. 5.32 Definição dos instantes  $t-1$  e  $t$  nos sistemas activados por flancos

Os sistemas mais seguros usam a configuração da figura 5.32. Nestes, a separação entre o instante  $t-1$  e  $t$  faz-se pela linha de subida ou descida do sinal do relógio.

Nesta configuração a linha da re-alimentação não conseguirá devolver as saídas para a entrada ao ponto de re-combiná-los com as variáveis do instante  $t-2$ .

Os sistemas da alínea a) dizem-se **activados pelo flanco positivo** ou **flanco ascendente**, enquanto os da alínea b) dizem-se **activados pelo flanco negativo** ou **flanco descendente**.

ABC

UEM - Digital I



### 5.4.3 Sistemas Assíncronos

No modelo generalizado do circuito sequencial da Fig.5.1, deliberadamente, não ligamos o relógio

Se o sinal de Ck for ligado a um elemento de memória (são estes que necessitam de Ck) e este passar o sinal para os outros, o circuito diz-se **Assíncrono**

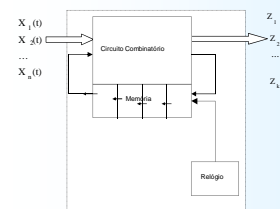


Fig. 5.33 Circuito assíncrono

ABC

49  
UEM - Digital I

### 5.4.4 Sistemas Síncronos

Se o sinal de Ck for ligado a todos os elementos de memória o circuito diz-se **Síncrono**

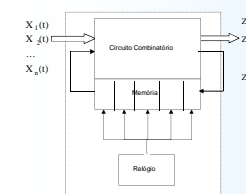


Fig. 5.34 Circuito síncrono

ABC

50  
UEM - Digital I

Este circuito tem a vantagem de que todos os elementos são sincronizados.

Mas tem a desvantagem de ter constrangimento de fan-out do circuito do relógio pois não é possível obter uma porta capaz de alimentar um número elevado de portas. Por outro lado é sensível aos defasamentos no sinal de Ck

### 5.4.5 Sistemas Pseudo-Síncronos

É possível num mesmo sistema misturar circuitos síncronos e assíncronos. Desse modo obtemos um circuito **Pseudo-síncrono**

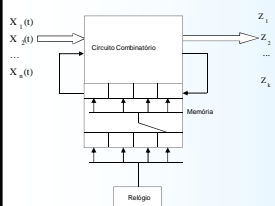


Fig. 5.35 Circuito pseudo-síncrono

ABC

51  
UEM - Digital I

Este circuito tenta fazer o aproveitamento das vantagens dos dois anteriores.

Porém há sempre atrasos na parte assíncrona e limitações de fan-out na parte síncrona, embora numa escala reduzida

## 5.5 CONTADORES

### 5.5. Contadores

Contador é qualquer circuito sequencial cujas saídas mudam a cada comando de Ck respeitando uma sequência predeterminada.

As saídas que se tomam na determinação da sequência são exactamente as variáveis de estado que são as saídas dos flip-flops.

#### TIPIFICAÇÃO DOS CONTADORES

##### A. QUANTO À LIGAÇÃO DO CK

Um contador é um CS que pode ser **assíncrono** ou **síncrono**, conforme o estabelecido no Sub-Capítulo 5.4

➤ Contadores **assíncronos** é uma classe de contadores em que o sinal principal de Ck afecta um flip-flop. O sinal é propagado pelos restantes flip-flop pelo efeito dominó, ou seja, cada flip-flop passa em diante o sinal.

➤ Contadores **Síncronos** é uma classe de contadores nos quais o comando de Ck age em simultâneo em todos os flip-flops.

ABC

53  
UEM - Digital I

### 5.5. Contadores

#### B. QUANTO AO TIPO DE CONTAGEM

➤ **Binários** quando contam na sequência binária natural. Normalmente eles tem  $n$  bits e contam  $2^n$  estados.

➤ **Não-binários** quando contam em qualquer sequência pre-estabelecida

#### C. QUANTO À FORMA DE INICIAÇÃO

➤ **Auto-iniciados ou auto-correctores** quando automaticamente entram na sequência correcta caso calhem fora dela. Esta falha normalmente sucede na altura da ligação da fonte de alimentação e em situação de interferência

➤ **Não auto-iniciados ou forçados** quando precisam dum estímulo externo para entrarem numa sequência

ABC

54  
UEM - Digital I

## 5.5. Contadores

### D. QUANTO AO SENTIDO

- **Crescentes** quando realizam um contagem numérica em que cada estado representa um número maior que o do estado anterior
- **Decrescentes** quando realizam um contagem numérica em que cada estado representa um número menor que o do estado anterior
- **Bi-direcionais** quando um mesmo contador pode ser tanto crescente como decrescente

### E. QUANTO AO TIPO DE SEQUÊNCIA

- **Cíclicos** quando contam numa sequência sem fim, isto é, quando chegam ao último estado regressam à primeira
- **Acíclicos** quando contam e páram no último estado

ABC

55  
UEM - Digital I

## 5.5.1. Contadores Assíncronos

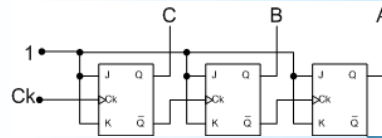


Fig. 5.37 Contador assíncrono.

Os flip-flops estão montados na configuração T e como as suas entradas estão ligadas ao nível 1, sempre que acontecer uma transição útil de Ck, irão mudar o estado de Q.

Por outro lado, como apenas um está ligado ao Ck externo, apenas este irá obedecer a este comando imediatamente. Os restantes aguardam o comando nos seus Ck respectivos que vem do Q do flip-flop anterior.

A Fig. 5.38 a seguir ilustra o fluxo de acontecimentos.

ABC

56  
UEM - Digital I

## 5.5.1. Contadores Assíncronos

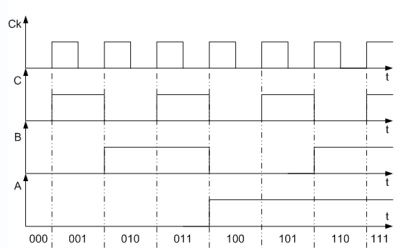


Fig. 5.38. Diagrama temporal do ciclo do contador da Fig. 5.37

O diagrama temporal acima mostra que o circuito da Fig. 5.37 muda de estado a cada impulso de Ck e neste caso realiza um contagem binária

ABC

57  
UEM - Digital I

## 5.5.1. Contadores Assíncronos

### VANTAGENS DOS CONTADORES ASSÍNCRONOS

- Simples de realizar para contagem em binário natural
- Baratos dado que exigem poucos componentes

### DESVANTAGENS DOS CONTADORES ASSÍNCRONOS

- Não são práticos para contagens de qualquer sequência
- Lentos. A frequência de Ck deve ter em conta o tempo de atraso em toda a cadeia
- Forte efeito de trepidação

O efeito da trepidação pode ser visto se entrarmos no detalhe dos acontecimentos na Fig. 5.38, transformando-a na Fig. 5.39

Tomemos o caso pior da passagem do estado 111 ao estado 000 assim que acontecer o impulso de Ck principal (Vide Fig. 5.39)

ABC

58  
UEM - Digital I

## 5.5.1. Contadores Assíncronos

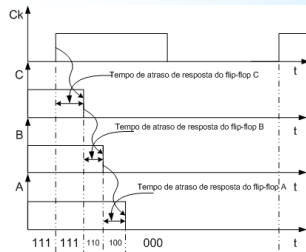


Fig. 5.39. Efeito da trepidação num contador assíncrono

Embora o sinal de Ck tenha dado o comando para o contador passar do estado 111 para 000, o flip-flop A leva o seu tempo a reagir. Depois da reação do A, o B leva o seu tempo a reagir e finalmente o C.

Desta forma, o Sinal de Ck não deve ser mais rápido que a soma destes tempos

ABC

59  
UEM - Digital I

## 5.5.2. Contadores Síncronos

Contadores Síncronos é uma classe de contadores nos quais o comando de Ck age em simultâneo em todos os flip-flops.

### VANTAGENS DOS CONTADORES SÍNCRONOS

- Realizam qualquer sequência
- Reduzem o efeito da trepidação
- São fáceis de projectar para qualquer sequência

### DESVANTAGENS DOS CONTADORES SÍNCRONOS

- Consomem mais recursos na sua construção
- São sensíveis a desfaseamentos do sinal de Ck

ABC

60  
UEM - Digital I

### 5.5.2. Contadores Síncronos

#### PROJECTO DUM CONTADOR SÍNCRONO

##### EXEMPLO 5.2:

PROJECTAR UM CONTADOR SÍNCRONO, CÍCLICO, QUE REALIZA A CONTAGEM DE 0 À 9 NA FORMA CRESCENTE.

O projecto simplificado dum contador síncrono usa também flip-flops do tipo T e segue algumas etapas que facilitam o desenho final do circuito:

1. Determinar a sequência a realizar e com isso as variáveis intervenientes (entrada e de estado)
2. Elaborar uma tabela de estados, em que aparece a combinação actual e a seguinte.
3. Verificar que estados actuais precedem estados em que um dado flip-flop terá mudado de estado. Aqueles estados são usados para definir o valor 1 da entrada T do flip-flop.
4. Encontrar dessa observação as equações de entradas dos flip-flops
5. Simplificar as expressões encontradas
6. Implementar o circuito

61

ABC

UEM - Digital I

### 5.5.2. Contadores Síncronos

Voltando ao EXEMPLO proposto seguimos para o **passo 1**:

Como o contador conta de 0 à 9 e é cíclico então a sequência será: 0, 1, 2, ..., 9, 0...

**Passo 2:** como conta de 0 à 9 e não tem variáveis de entrada usaremos apenas as de estado que devem ser 4 (A, B, C e D) para codificar 10 estados

A <sub>0</sub> B <sub>0</sub> C <sub>0</sub> D <sub>0</sub>	A <sub>1</sub> B <sub>1</sub> C <sub>1</sub> D <sub>1</sub>	A <sub>0</sub> B <sub>0</sub> C <sub>0</sub> D <sub>0</sub>	A <sub>1</sub> B <sub>1</sub> C <sub>1</sub> D <sub>1</sub>
0000	0001	0110	0111
0001	0010	0111	1000
0010	0011	1000	1001
0011	0100	1001	0000
0100	0101		
0101	0110		

ABC

UEM - Digital I

### 5.5.2. Contadores Síncronos

**Passo 3.** Observando a tabela anterior vemos que:

1. A variável A muda de estado quando se está nos estados 0111 e 1001
2. A variável B muda de estado quando se está nos estados 0011 e 0111
3. A variável C muda de estado quando se está nos estados 0001, 0011, 0101 e 0111
4. A variável D muda de estado quando se está nos estados 0000, 0010, ..., 1001, ou seja, está sempre a mudar de estado.

**Passo 4 e 5.** Das ilações tiradas do passo 3 vem:

$$T_A = \overline{A}BCD + A\overline{B}CD = BCD + AD$$

$$T_B = \overline{A}BCD + A\overline{B}CD = \overline{A}CD$$

$$T_C = \overline{A}BCD + \overline{A}BCD + \overline{A}BCD + \overline{A}BCD = \overline{A}D$$

$$T_D = \sum m(0,1,2,3,4,5,6,7,8,9) = 1$$

63

ABC

UEM - Digital I

### 5.5.2. Contadores Síncronos

**Passo 6.** Implementar o circuito

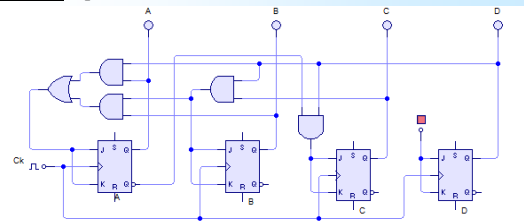


Fig. 5.40. Circuito do contador do exemplo 5.2

TPC: Explicar o como é que as expressões de  $T_A$  e  $T_D$  saíram tão simples.

ABC

UEM - Digital I

### 5.5.3. Contadores Auto-iniciados

O contador da Fig. 5.40 embora bem projectado, tem uma anomalia. Verifique como é que se comportaria se ao ligar a fonte entrasse num estado acima de 9. É provável que ele nunca entre na sequência, dando a impressão que há algum erro.

Este problema resolve-se com os contadores inicializados: Auto-iniciados ou forçados. A inicialização consiste em forçar os flip-flops a irem para um estado pré-determinado. Isto é feito através das entradas prioritárias.

Existem 3 modos de auto-inicialização:

- a) Ao ligar a fonte de alimentação
- b) Ao atingir um estado crítico
- c) Ao cair num estado falso

65

ABC

UEM - Digital I

### 5.5.3. Contadores Auto-iniciados

#### AUTO-INICIALIZAÇÃO PELA FONTE

Esta é feita pela ligação dum circuito que ao se ligar a fonte de alimentação impoe por certo tempo (curto) uma condição nas entradas prioritárias

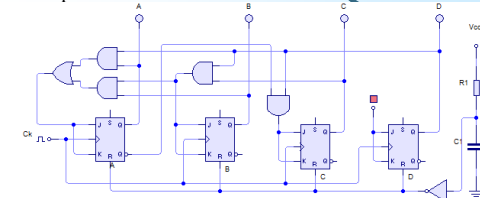


Fig. 5.45. Contador auto-iniciado pela fonte

Ao ligar a fonte de alimentação o condensador entra em curto-circuito instantâneo injectando o nível 0 no circuito. Passado algum tempo carrega e injecta 1 que permanecerá até desligar-se o circuito.

ABC

UEM - Digital I

### 5.5.3. Contadores Auto-iniciados

#### AUTO-INICIALIZAÇÃO PELO ESTADO CRÍTICO

Esta é feita normalmente nos contadores crescentes ou decrescentes. Consiste na detecção do estado a seguir ao último estado da sequência. A detecção pode ser feita através dum minitermo ou maxtermo.

A saída do circuito detector é ligada às entradas prioritárias de acordo com o estado seguinte que se pretende.

#### AUTO-INICIALIZAÇÃO AO CAIR EM ESTADOS FALSO

Quando um contador não esgota todas as combinações possíveis para o número de bits, existirão estados fora da sequência (estados falsos). É possível remeter o contador a qualquer estado da sequência através da previsão de transições adequadas que levam o contador a entrar rapidamente na sequência.

Consolidaremos estes conceitos nas aulas práticas.

ABC

67  
UEM - Digital I

### Considerações Finais Sobre Contadores

#### 1. Estados falsos

São os estados fora da sequência quando um contador de  $n$  bits não esgota todas as  $2^n$  combinações. Para evitar os estados falsos o contador deve ser auto-iniciado

#### 2. Uso de dont care

O uso dos X implica que o contador está autorizado a passar pelos estados com X. Embora o uso dos X ajude na simplificação há o perigo de o CNT perder tempo a flutuar pelo estados falsos.

Para minimizar o efeito nefasto dos X, o CNT deve ser auto-iniciado.

#### 3. Módulo dum Contador

Um contador é de módulo  $m$  se na sua sequência tem  $m$  estados.

ABC

68  
UEM - Digital I, Fev-Jun08

## 5.6 REGISTOS

ABC

69  
UEM - Digital I

### 5.6.1. Registo SISO

Registos são circuitos lógicos sequenciais construídos por flip-flops com propósito de manipular a posição de bits

Registos são também usados como elementos de memórias onde conservam-se inertes os dados até que ocorra um impulso de ck que os movimentam conforme o tipo de registo.

O primeiro registo que analisaremos tem os dados a serem introduzidos através dum flip-flop a cada impulso de ck. Deste flip-flop são transferidos para o seguinte e deste para diante.

Enquanto o sinal de ck activar o registo, os bits são deslocados até atingirem o último e saem um a um

Como os dados são introduzidos um a um e saem também um a um no outro extremo, o registo diz-se SISO – Serial In – Serial Out (Entrada Serial – Saída Serial). São registos usados na transmissão serial, onde há necessidade de conservação temporária de dados

ABC

70  
UEM - Digital I, Fev-Jun08

### 5.6.1. Registo SISO

Como o objectivo deste circuito é transferir o dado que existe na entrada do flip-flop para a saída, a montagem a realizar deve ser a que permite que se execute a 2ª e 3ª linhas da tbv do JK.

Quer isto dizer que é usado o flip-flop JK na configuração D.

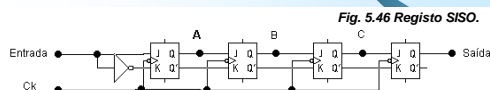


Fig. 5.46 Registo SISO.

Suponha que no início todos os ff estão em 0. Coloquemos à entrada o bit 1 e depois activemos o Ck. Esta acção faz com que o 0 que esteve em C passe para a saída, o que estava em B para C e o que estava em A passe para B

Finalmente o bit 1 que estava à espera em J e K do primeiro flip-flop passa para A.

ABC

71  
UEM - Digital I, Fev-Jun08

### 5.6.1. Registo SISO

Voltemos a colocar 0 na entrada e de seguida activamos o Ck. Esta acção move o 0 em C para a saída, o que está em B para C e o 1 em A para B. A tabela a seguir ilustra isso

Entrada	Ck	A	B	C	Saída
1	↓	1	0	0	0
0	↓	0	1	0	0
0	↓	0	0	1	0
0	↓	0	0	0	1

Verificamos da tabela de verdade que houve um deslocamento dum 1 da entrada para a saída. Na verdade houve também deslocamento dos 0 que sempre estiveram presente dentro e na entrada do registo.

ABC

72  
UEM - Digital I, Fev-Jun08

### 5.6.2. Registo SIPO

Em algumas ocasiões ligamos equipamentos que tratam o transporte de informação de modo diferenciado.

Se o equipamento emissor trata a informação de modo serial, ele disponibiliza à sua saída os dados bit a bit. Tem apenas um ponto de acesso ao exterior.

O receptor processa a informação de modo paralelo de modo que tem na sua entrada  $n$  pontos de acesso e necessita de receber todos os bits ao mesmo tempo

O registo Serial In-Parallel Out (Entrada Serial-Saída Paralela) faz a conversão dos dados seriais em dados paralelos (Fig. 5.46)

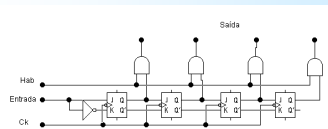


Fig. 5.47 Registo SIPO.

ABC

UEM - Digital I, Fev\_Jun08 73

### 5.6.2. Registo SIPO

Analise o circuito da Fig. 5.47.

Inicialmente colocamos o sinal Hab (habilitador) no nível lógico 0, de modo que as portas AND bloqueiem as saídas dos flip-flops

Com o Hab=0, o registo por baixo funciona como um SISO visto antes. Após 4 impulsos de Ck os dados que se pretendem introduzir ocupam os seus lugares dentro do registo.

Após os 4 impulsos de Ck, habilitamos a saída do registo colocando a entrada Hab no nível lógico 1. Nessa altura todos os bits residente nos pinos Q dos flip-flop passam para a saída.

Deste modo foi feita a conversão de dados que chegaram em série para saírem em paralelo.

ABC

UEM - Digital I, Fev\_Jun08 74

### 5.6.3. Registo PISO

Imagine que o equipamento que no item 5.6.2 recebeu os dados em paralelo precisa de devolver os dados para o ambiente em que os dados são tratados de modo serial.

Para conseguir ligar os dois ambientes devemos converter dados paralelos em seriais. Para tal usamos o circuito apresentado na Fig. 5.47 que representa o Registo PISO - Parallel In - Serial Out (Entrada Paralela - Saída Paralelo)

O funcionamento do registo é dividido, como no SIPO, em 2 momentos: o da introdução e o da extracção

No momento de introdução colocam-se os dados em Di e passa-se o habilitador para 1. Nessa altura os dados entram nos flip-flops independentemente do sinal de Ck.

Se  $Di=0$ , a entrada Clr do flip-flop fica em Low e a Pr em High e com isso limpa-se a saída Q.

Se  $Di=1$ , a entrada Pr do flip-flop fica em Low e a Clr em High, fazendo com que o Q seja forçado a ir para High

### 5.6.3. Registo PISO

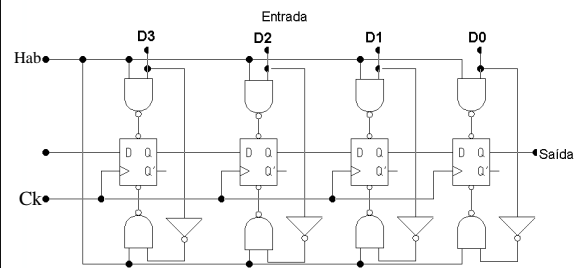


Fig. 5.48 Registo PISO

ABC

UEM - Digital I, Fev\_Jun08 76

### 5.6.3. Registo PISO

No momento de extracção coloca-se o habilitador em 0. Esta operação faz com que ambas entradas Pr e Clr fiquem em 1 tornando-as inativas.

Como cada flip-flop tem a entrada ligada à saída do anterior, o circuito torna-se um registo SISO

No momento de extracção activa-se o Ck e em cada transição deste os bits deslocam-se para a direita

### 5.6.4. Registo PIPO

Momentos existem em que pretendemos ligar dois sistemas que tratam a informação de modo paralelo mas por qualquer motivo (como diferenças de velocidade ou simplesmente a necessidade de retenção) precisamos de reter os dados por algum momento

Para conseguirmos isso construímos o registo PIPO - Parallel In - Parallel Out (Entrada Paralela-Saída Paralela)

A obtenção desse circuito consiste na derivação de acesso paralelo no registo PISO. Assim que os dados forem introduzidos podem ser retirados pela saídas  $S_i$

ABC

UEM - Digital I, Fev\_Jun08 77

ABC

UEM - Digital I, Fev\_Jun08 78

#### 5.6.4. Registo PIPO

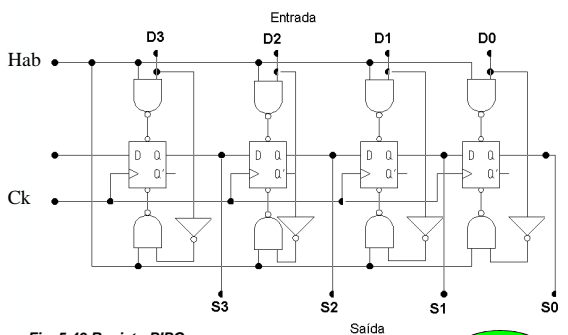


Fig. 5.49 Registo PIPO

ABC

UEM - Digital I, Fev\_Jun/08 79

#### Conclusão

Os circuito registradores aqui apresentados são puramente didáticos, apresentando algumas anomalias como:

##### SISO

A saída tem sempre um dado que pode ser lido pelo circuito adiante. Note-se que 0 é também um dado

##### SIPO

Quando o habilitador fecha a saída, na verdade coloca nesta o valor 0. Mas 0 é um dado válido que pode ser lido adiante.

##### PISO

Idem a SISO

##### PIPO

Os dados são logo apresentados na saída mesmo que não tenha chegado o momento desejado.

ABC

UEM - Digital I, Fev\_Jun/08 80

#### Conclusão

A apresentação indevida de dados é resolvida facilmente pela introdução dA porta com terceiro estado – o chamado Alta Impedância

A porta de 3 estados (buffer tri-state) quando activa corta por completo o circuito entre a sua entrada e a saída, como se fosse exactamente um interruptor mecânico

Existem vários tipos de porta tri-state como ilustra a tabela a seguir

<table><tr><th>CA</th><th>B</th></tr><tr><td>00</td><td>0</td></tr><tr><td>01</td><td>1</td></tr><tr><td>10</td><td>Z</td></tr><tr><td>11</td><td>Z</td></tr></table>	CA	B	00	0	01	1	10	Z	11	Z	<table><tr><th>CA</th><th>B</th></tr><tr><td>00</td><td>1</td></tr><tr><td>01</td><td>0</td></tr><tr><td>10</td><td>Z</td></tr><tr><td>11</td><td>Z</td></tr></table>	CA	B	00	1	01	0	10	Z	11	Z	<table><tr><th>CA</th><th>B</th></tr><tr><td>00</td><td>Z</td></tr><tr><td>01</td><td>Z</td></tr><tr><td>10</td><td>0</td></tr><tr><td>11</td><td>1</td></tr></table>	CA	B	00	Z	01	Z	10	0	11	1	<table><tr><th>CA</th><th>B</th></tr><tr><td>00</td><td>Z</td></tr><tr><td>01</td><td>Z</td></tr><tr><td>10</td><td>1</td></tr><tr><td>11</td><td>0</td></tr></table>	CA	B	00	Z	01	Z	10	1	11	0
CA	B																																										
00	0																																										
01	1																																										
10	Z																																										
11	Z																																										
CA	B																																										
00	1																																										
01	0																																										
10	Z																																										
11	Z																																										
CA	B																																										
00	Z																																										
01	Z																																										
10	0																																										
11	1																																										
CA	B																																										
00	Z																																										
01	Z																																										
10	1																																										
11	0																																										

Z=Alta impedância

ABC

Fig. 5.50 Portas Tri-state

UEM - Digital I, Fev\_Jun/08 81