



UNIVERSIDADE EDUARDO MONDLANE
 FACULDADE DE ENGENHARIA
 DEPARTAMENTO DE ENGENHARIA ELECTROTÉCNICA

Microprocessadores

Eng.º. Albino B. Cuinhane

(P)(C) A.B. Cuinhane UEM - Microprocessadores

AULA 1

SUMÁRIO

- 2. Arquitectura do Microprocessador Z80

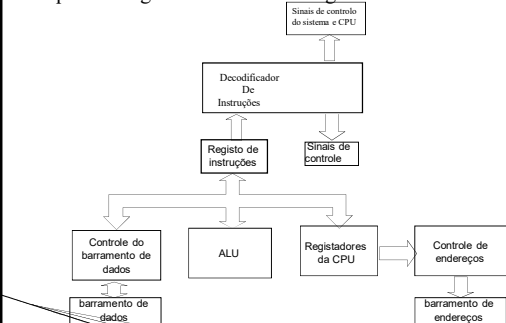
ABC UEM - Digital

2. Arquitectura do Microprocessador Z80

ABC UEM - Digital

2. Arquitectura do Microprocessador Z80

- Para começarmos a entender o Z80 convém iniciar pela arquitectura geral mostrada no diagrama funcional a seguir.



(P)(C) A.B. Cuinhane UEM - Digital II

2. Arquitectura do Microprocessador Z80

- A Unidade Central de Processamento, ou CPU, tem disponível 208bits de memória de escrita e leitura (R/W) que são agrupados para formarem 18 registadores de 8 bits e 4 de 16 e são de uso geral para o utente. São feitos à base de memórias estáticas RAM.

REGISTOS PRINCIPAIS

Acumulador	A	B	D	H
FLAGs	F	C	E	L

REGISTOS ALTERNATIVOS

Acumulador	A'	B'	D'	H'
FLAGs	F'	C'	E'	L'

Fig.A10.2

REGISTOS ESPECIAIS

REGISTO I	REGISTO R
REGISTO INDEXADO (IX)	REGISTO INDEXADO (IY)
STACK POINTER (SP)	PROGRAM COUNTER (PC)

•Este grupo de registos inclui 6 de uso geral que podem ser usados individualmente como registos de 8 bits ou emparelhados formando os pares BC, DE e HL de 16 bits.

(P)(C) A.B. Cuinhane UEM - Digital II

2. Arquitectura do Microprocessador Z80

ALU - Arithmetic Logic Unit (Unidade Lógica e Aritmética)

Esta unidade tem a função de executar diversas operações lógicas e aritméticas. Tem acesso aos registos e ao barramento de dados. As funções realizadas pela ALU são :

- Subtração
- Adição
- Set bit (colocar um bit em 1)
- Testar bit
- Incrementar
- Decrementar
- Comparação
- AND
- OR
- XNOR
- Shift right, shift left
- Rotações
- Reset bit(zerar um bit)

•**ACUMULADOR**

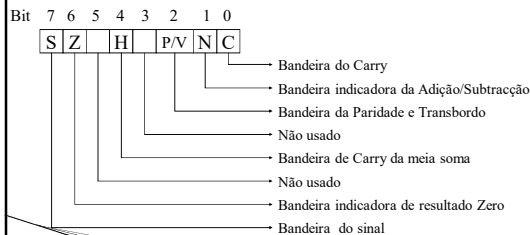
Acumulador é um registo de uso geral que tem a função de conservar os dados a entregar à ALU bem com os resultados das operações realizadas, nesta unidade. Todas as operações lógicas e aritméticas de 8 bits são executadas na ALU e o resultado é mantido no acumulador.

(P)(C) A.B. Cuinhane UEM - Digital II

2. Arquitectura do Microprocessador Z80

REGISTO DE BANDEIRAS

- O registo de bandeira serve para sinalizar certas condições relevantes para o funcionamento do sistema, e a prossecução do programa. É composto por 8 bits como se segue cuja descrição será feita à posterior



(P)(C) A.B.Cuinhane UEM - Digital II

2. Arquitectura do microprocessador Z-80

REGISTO DE INSTRUÇÕES/CONTROLE DA CPU

A cada ciclo de instrução uma instrução é trazida da memória, pela via de dados, para o registo de instruções onde é decodificada. Com base nesta decifração, a unidade de controle fornece os sinais de controle necessários para ler ou escrever dados num registo, na memória ou num dispositivo de entrada e saída, controlar a ALU e fornecer todos os sinais externos de controle

REGISTO I

É usado para o endereçamento indirecto da memória em face duma interrupção. O registo I contém o BMS do endereço enquanto o solicitante da interrupção entrega o Bms.

(P)(C) A.B.Cuinhane UEM - Digital II

2. Arquitectura do microprocessador Z-80

PROGRAM COUNTER, PC (Contador de Programa, CP)

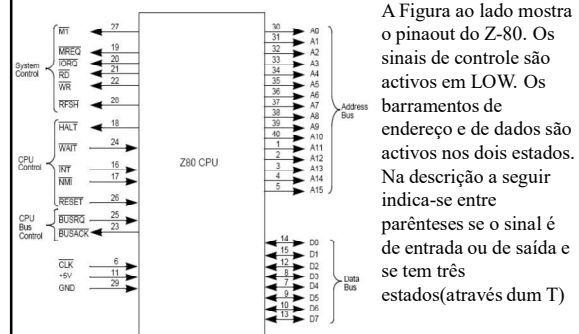
O contador de programa é formado por um registo de 16 bits no qual é mantido o endereço da última instrução que está sendo acedida na memória. O PC é automaticamente incrementado em 1 após a transferência do seu conteúdo para as linhas de endereçamento. Num caso de salto(Jump) o refrescamento é feito com novo valor

STACK POINTER, SP (Ponteiro de Pilha, PP)

O SP ou ponteiro de pilha, é um registo de 16 bits inicializado pelo usuário com o endereço inicial de um campo da RAM usado para a pilha. A pilha é organizada como um arquivo LIFO e os dados podem ser buscados ou enviados para esta pilha. Esta pilha permite uma simples implementação de múltiplos níveis de interrupção, subrotinas e manipulação de dados

(P)(C) A.B.Cuinhane UEM - Digital II

2. Arquitectura do Microprocessador Z80



A Figura ao lado mostra o pinout do Z-80. Os sinais de controle são activos em LOW. Os barramentos de endereço e de dados são activos nos dois estados. Na descrição a seguir indica-se entre parênteses se o sinal é de entrada ou de saída e se tem três estados(atraves dum T)

(P)(C) A.B.Cuinhane UEM - Digital II

2. Arquitectura do Microprocessador Z80

A0 - A15 (SAÍDA-T)

ADDRESS BUS: 16 pinos que compõem as linhas de endereçamento. Esta via de endereços permite a locação de memória assim como dos dispositivos de I/O. Com as 16 linhas pode-se endereçar 256 dispositivos através dos 8 bits menos significativos. No entanto pode-se endereçar 65.536 localidades de memória.

D0 - D7 (ENTRADA/SAÍDA-T)

DATA BUS: 8 linhas bidireccionais para troca de dados entre a UCP e os dispositivos I/O e memória.

MI (SAÍDA)

MACHINE CYCLE ONE: Indica que a UCP está realizando um ciclo de busca. Para instruções de 2 bytes, este sinal é gerado para cada byte que for buscado. Este sinal é usado em conjunto com o IORQ para indicar o reconhecimento de interrupção.

(P)(C) A.B.Cuinhane UEM - Digital II

2. Arquitectura do Microprocessador Z80

MREQ (SAÍDA-T)

MEMORY REQUEST: Indica que a via de endereços possui um endereço para efectuar leitura ou gravação na memória

RFSH (SAÍDA)

REFRESH: Indica que os 7 bits menos significativos do barramento de endereço contem a posição da memória a ser restaurada

WR (SAÍDA-T)

MEMORY WRITE: Indica que o barramento de dados contem dados a enviar para a memória ou dispositivo de I/O

RD(SAÍDA-T)

MEMORY READ: Indica que a UCP vai ler dados na memória ou num dispositivo de I/O

(P)(C) A.B.Cuinhane UEM - Digital II

2. Arquitectura do Microprocessador Z80

IORQ (SAÍDA-T)

INPUT/OUTPUT REQUEST: Indica que os 8 bms do barramento de endereços possuem o endereço dum dispositivo I/O no qual será feita uma leitura ou gravação de dados

WAIT (ENTRADA)

WAIT: Indica à UCP que a memória ou periférico endereçado não está pronto para a transferência de dados. Este sinal possibilita a sincronização entre a UCP e outros elementos

INT (ENTRADA)

INTERRUPT REQUEST: É gerado por periféricos para pedir uma interrupção. Este sinal será reconhecido no fim da instrução que de momento esteja sendo executado, a menos que o BUSRQ esteja activo. Quando o pedido de interrupção é aceite pela UCP, esta envia o IORQ e MI

(P)(C) A.B. Coimbra UEM - Digital II

2. Arquitectura do Microprocessador Z80

HALT (SAÍDA)

HALT STATE: Indica que a UCP está parado por instrução de software aguardando uma interrupção

NMI (ENTRADA)

NON MASKABLE INTERRUPT: Este sinal tem prioridade superior ao INT e faz com que o CP vá para o endereço 0066 H. O conteúdo do CP é armazenado na pilha por forma a poder retornar-se ao programa original no ponto onde NMI foi gerado

RESET (ENTRADA)

RESET: Este sinal carrega o CP com o endereço 0000H que inicializa a UCP. Durante este sinal, todos os sinais ficam inactivos e os dois barramentos ficam em alta impedância

(P)(C) A.B. Coimbra UEM - Digital II

2. Arquitectura do Microprocessador Z80

BUSRQ (ENTRADA)

BUS REQUEST: Requisita à UCP os barramentos de dados, de endereço e de controle fazendo com que a UCP os coloque em tri-state. Deste modo a UCP deixa de os usar permitindo que os periféricos o façam

BUSAK(SAÍDA):

BUS ACKNOWLEDGE: Indica o sinal BUSRQ foi reconhecido e que os periféricos podem controlar os três barramentos solicitados

CLK (ENTRADA)

CLOCK PHASE: Entrada de relógio requerendo um resistor de 330Ohm para servir de pull-up ligado À Vcc

(P)(C) A.B. Coimbra UEM - Digital II