

Institut Supérieur d'Informatique et de Mathématiques de Monastir (ISIMM)	Matière : Systèmes logiques et architecture des Ordinateurs	Enseignant : Dr. Teboulbi Safa
Calculatrice et documents non autorisés	Filière : LF 1 Info	Nombre de pages : 06
Nom et Prénom :		Numéro d'inscription :

Signature des surveillants

Exercice 1 (10 points) :

A. Dans un premier lieu, on désire réaliser un décompteur synchrone modulo 8 en code Gray, à l'aide de bascule JK synchronisées sur front montant.

1/ Donner la table de transition d'une bascule JK.

.....

.....

.....

.....

.....

.....

2/ Remplir le tableau ci-dessous.

Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0									
1	0	0									
1	0	1									
1	1	1									
1	1	0									
0	1	0									
0	1	1									
0	0	1									

Ne rien écrire ici

3/ Donner les équations de J_0, K_0, J_1, K_1, J_2 et K_2 .

$q_2 \backslash q_1 q_0$	00	01	11	10
0				
1				

$q_2 \backslash q_1 q_0$	00	01	11	10
0				
1				

.....

.....

.....

.....

$q_2 \backslash q_1 q_0$	00	01	11	10
0				
1				

$q_2 \backslash q_1 q_0$	00	01	11	10
0				
1				

.....

.....

.....

.....

$q_2 \backslash q_1 q_0$	00	01	11	10
0				
1				

$q_2 \backslash q_1 q_0$	00	01	11	10
0				
1				

.....

.....

.....

.....

Donner le schéma de câblage de ce décompteur.

.....

.....

.....

.....

.....

.....

.....

.....

B. On désire maintenant de faire la synthèse d'un décompteur synchrone à base de bascule D synchronisée sur front descendant qui décompte selon la valeur de sélecteur S tel que :

S = 0	0 - 6 - 4 - 2 - 0
S = 1	1 - 7 - 5 - 3 - 1

1/ Donner la table de transition d'une bascule D.

.....

.....

.....

.....

2/ Remplir le tableau ci-dessous.

s	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
0						
1						

3/ Donner les équations de D_0 , D_1 et D_2 .

S = 0

$q_2 \backslash q_1 q_0$	00	01	11	10
0		x	x	
1		x	x	

$q_2 \backslash q_1 q_0$	00	01	11	10
0		x	x	
1		x	x	

$q_2 \backslash q_1 q_0$	00	01	11	10
0		x	x	
1		x	x	

S = 1

$q_2 \backslash q_1 q_0$	00	01	11	10
0	x			x
1	x			x

$q_2 \backslash q_1 q_0$	00	01	11	10
0	x			x
1	x			x

$q_2 \backslash q_1 q_0$	00	01	11	10
0	x			x
1	x			x

Exercice2 (5 points):

1/ Expliquer les abréviations suivantes :

a/ USB:

b/ VGA:

c/ CISC:

d/ PROM:

2/ Compléter les phrases suivantes par le nom convenable choisi parmi la liste suivante :

HARVARD – RISC –Registre d'instruction – Simple – VON Neumann – élevé – Un processeur – Rapide – L'Unité de virgule flottante.

a/ Le permet de stocker l'instruction en cours de traitement.

b/ accomplit les calculs complexes non entiers que ne peut réaliser l'UAL.

c/ La conception de l'architecture de est simple.

d/ Les processeurs ont des instructions simples prenant environ un cycle d'horloge.

e/ Le cerveau de l'ordinateur est appelé Il permet les échanges de données entre des différents composants (disque dur, mémoire, ...) et de manipuler des informations numériques.

f/ L'architecture CISC possède un coût et se caractérise par un décodage et

g/ Le coût de l'architecture de est relativement élevé.

Exercice 3 (5 points) :

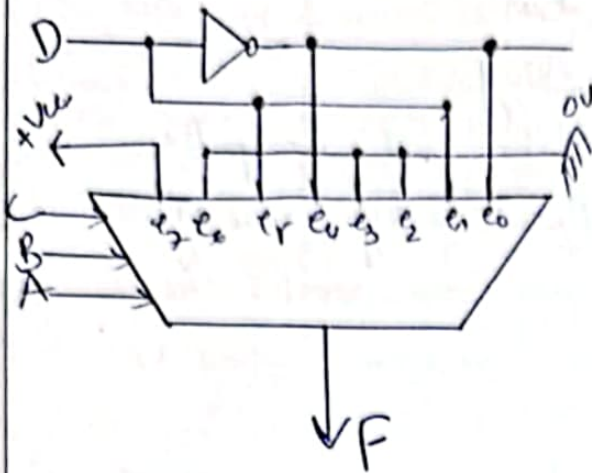
Soit F une fonction booléenne représentée par la forme suivante :

$F(A,B,C,D) = \sum(0,3,8,11,14,15)$, sachant que : (A= MSB , D=LSB).

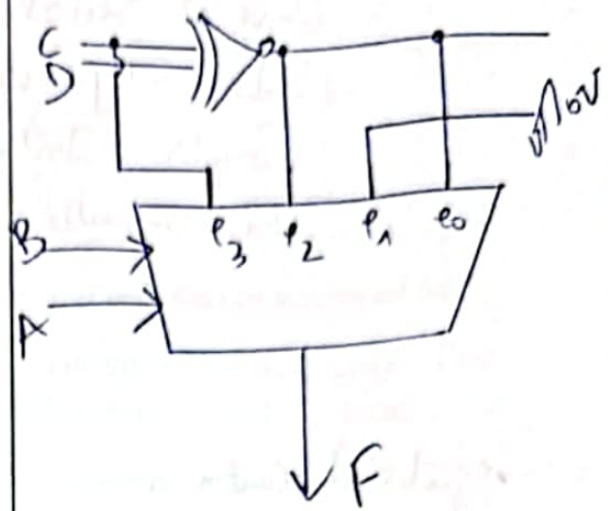
1/ Réaliser F avec un multiplexeur 16/1 et sans portes logiques

2/ Réaliser F avec un multiplexeur 8/1 et des portes logiques	3/ Réaliser F avec un multiplexeur 4/1 et des portes logiques
4/ Réaliser F avec un démultiplexeur 1/16 et des portes logiques	5/ Réaliser F avec un décodeur 2/4 et un multiplexeur 4/1 et des portes logiques

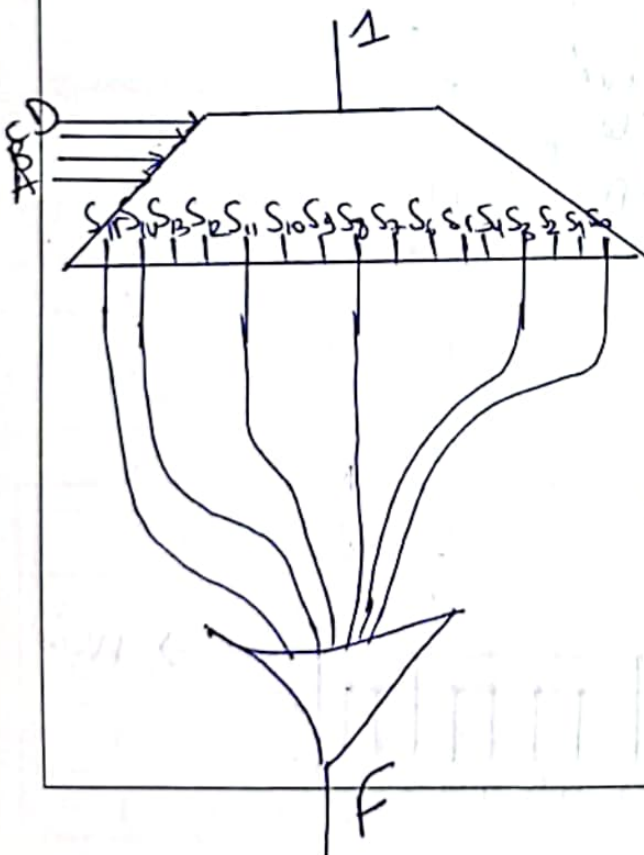
2/ Réaliser F avec un multiplexeur 8/1 et des portes logiques



3/ Réaliser F avec un multiplexeur 4/1 et des portes logiques



4/ Réaliser F avec un démultiplexeur 1/16 et des portes logiques



5/ Réaliser F avec un décodeur 2/4 et un multiplexeur 4/1 et des portes logiques

