



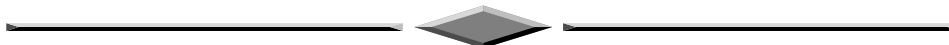
Institut Supérieur d'Informatique et
de Mathématiques de Monastir



Département de Technologie



Fascicule de Travaux Pratiques D'Electronique



Pour les étudiants de 1^{ère} année

**Licence en Informatique : Computer Science
(L₁ INF)**

Année Universitaire : 2022 – 2023

Semestre -I-

Manipulation

- Manipulation N° 1 :

Etudes des portes logiques de base

- Manipulation N° 2 :

Multiplexage et Démultiplexage

- Manipulation N° 3 :

Transcodage B.C.D 7 Segments

- Manipulation N° 4 :

Compteurs

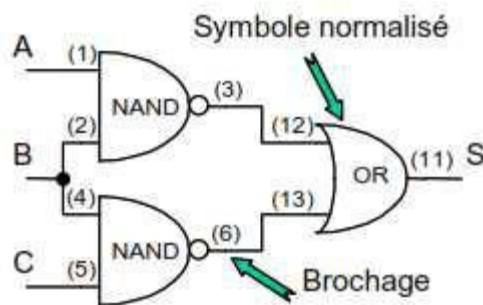
RÈGLEMENT

Les travaux pratiques sont obligatoires :

La présence à toutes les séances de Travaux Pratiques est obligatoire et toute absence sera sanctionnée par l'attribution de la note zéro.

Conseils Généraux pour les TP :

- ✧ Les Travaux pratiques doivent être préparés, c'est à dire que le polycopié doit avoir été lu et compris en arrivant à la séance. Les préparations préalable (formules, calcul théorique) doivent être faites avant le démarrage de la séance.
- ✧ Le compte rendu doit présenter clairement et de manière concise ce que l'étudiant a fait. Ce compte rendu est à remettre à l'enseignant à la fin de chaque séance.
- ✧ Le compte-rendu doit comporter pour chaque TP :
 - ✓ Des objectifs clairs
 - ✓ une partie théorique,
 - ✓ Formules et schémas électroniques avec des symboles normalisés et le brochage.



- ✓ Les résultats doivent être commentés et critiqués si nécessaire

Quelques conseils de sécurité et de propreté

Les tables doivent être rangées à la fin de la séance de travaux pratiques. Le cas échéant, l'enseignant se réserve le droit de retenir des points aux étudiants qui n'auraient pas nettoyé et rangé correctement leurs tables.

MAQUETTES UTILISEES

Les schémas électroniques seront réalisés sur l'une des deux maquettes suivantes :

➤ Maquette DLZ-301

Aperçu

Le système de formation de circuit numérique est un équipement d'enseignement de base pour "circuit numérique" et "circuit d'impulsion". La carte mère du système de formation complet du circuit numérique adopte des cartes de circuits imprimés en épaisseur de 2mm, la face avant imprime les symboles graphiques des composants et la connexion correspondante, le verso est un circuit imprimé et soudé avec des composants connexes, la carte mère dispose d'un certain nombre de sortie de collecteur multifonction très fiable (20 P, 40 P), une pluralité de cuivre long argenté très fiable pour brancher des résistances, des condensateurs, des diodes, et transistors, Etc., et une planche à pain universelle pour insérer divers composants.



Caractéristiques techniques

Puissance d'entrée : monophasé, triphasé AC 220V \pm 10% 50Hz/60Hz

Puissance de sortie :

- DC \pm 5V réglable en continu, alimentation cc réglable continue
- DC \pm 12V
- DC variable de + 5 V à + 27 V
- Source de signal variable
 - Fréquences : 2 à 20 kHz, ○ Amplitude réglable
 - Trois types de sortie de signal, la Fréquence grossière et fine

➤ Maquette M 16

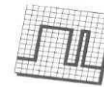
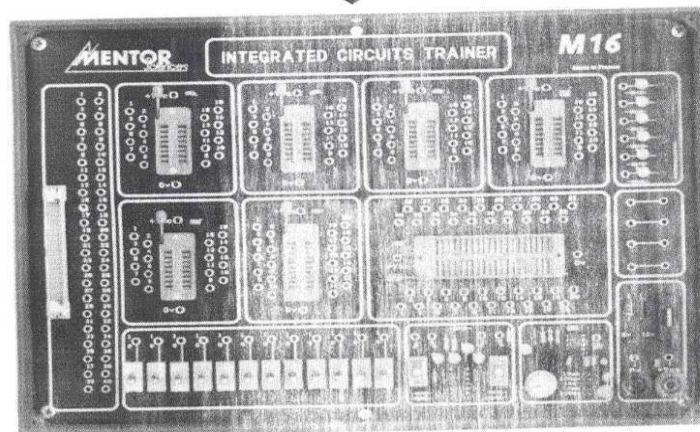
Descriptif technique :

Le module EFD016, Etude des Circuits Intégrés, permet l'implémentation et l'étude de tous types de circuits DIL (DUAL IN LINE) de 8 à 40 broches. Il comprend :

- 7 supports à insertion nulle avec connexion 2 mm, dont :
- 5 supports 16 broches, 1 support 20 broches, 1 support 40 broches,
- 12 clefs avec sorties 0 / 5V,
- 2 poussoirs traités antirebond,

- 1 horloge programmable de 10 μ s à 100 ms,
- 6 LEDs de visualisation, interfacées par transistors,
- 1 adaptateur connecteur 40 points / 2 mm,
- 1 entrée alimentation avec protection contre les surtensions et inversions.

ELECTRONIQUE NUMERIQUE



EFD016

Explicatif technique :

- Supports (à 16, 20 et 40 broches) : Supports à force d'insertion nulle pour des boîtiers DIL (*dual in line*) de 16 à 40 broches espacées de 2 mm, permettant d'insérer des circuits intégrés.
- Clef avec sorties 0 / 5V : Interrupteur permettant d'interrompre ou d'autoriser le passage d'un flux de tension 0 / 5V (état digital : 0 / 1).
- Poussoir traité anti-rebond : Bouton poussoir mis en place pour pouvoir maintenir le niveau logique (bas ou haut). La broche du poussoir est maintenue à un potentiel de 5V, lors de l'appui sur le poussoir, elle est connectée directement à la masse, elle sera donc active sur niveau bas. La résistance R du poussoir limite le courant sur la broche, la résistance R évite de court-circuiter l'alimentation quand le poussoir est enfoncé. La capacité C sert d'anti-rebonds dus à l'action mécanique sur le bouton poussoir.
- Horloge programmable de 10 μ s à 100 ms : Horloge à temps réel intégrée permet des processus très précis de commande en fonction du temps. Cette horloge nous permet de définir (de choisir) les périodes de fonctionnement de nos circuits.
- LEDs de visualisation, interfacées par transistors : Diodes alimentées en 5V et connectées en série avec des résistances pour limiter le courant qui les traverse. Leurs cathodes sont connectées à la masse, elles seront donc actives sur un niveau haut à la sortie des broches des Circuits Intégrés et éteintes sur le niveau bas.
- Adaptateur connecteur 40 points / 2 mm : adaptateur / connecteur d'alimentation point à point.

Manipulation N° 1

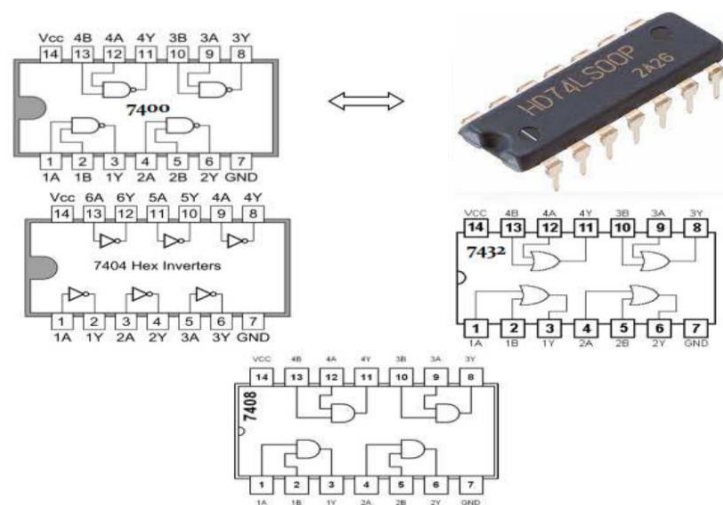
ETUDE DES PORTES LOGIQUES DE BASE

I. But :

- ✚ Etudier les portes logiques élémentaires (AND, OR NAND, NOR, NOT).
- ✚ Savoir établir et exploiter une table de vérité d'un circuit logique
- ✚ Savoir simplifier les équations logiques à l'aide des relations de l'algèbre de Boole et des tables de Karnaugh
- ✚ Comprendre les éléments clé des spécifications techniques des portes logiques TTL

II. Rappel Théorique :

Les portes logiques sont la base de tous les circuits numériques et les portes ET, OU et NON sont trois des portes de base. Toutes ces portes sont emballées dans des circuits intégrés (CI) contenant plusieurs portes. Les pates (broches) de tous les CI utilisés dans ce TP sont disposées en double ligne (DIP) permettant une insertion facile dans la maquette et un accès facile. Chaque CI utilisé



possède une fiche de spécifications (datasheet) du fabricant disponible sur Internet. Ces portes logiques réagissent aux niveaux des tensions présentes à leurs entrée : approximativement de + 5V pour le niveau « HAUT » et de 0V pour niveau « BAS ». De plus, seule la logique positive est prise en compte au cours des différents TP. Un niveau haut correspond à une logique booléenne 1 et un niveau bas correspondra à une logique booléenne 0.

1. Variable binaire

En électronique numérique les circuits fonctionnent généralement en utilisant deux états de leurs caractéristiques électriques (tension ou courant). On les appelle circuits logiques. En mathématique, une variable qui ne dépend que de deux valeurs désignées par '0' et '1' est une variable binaire. De même, une fonction d'une ou plusieurs variables binaire ne prendra que ces deux valeurs. On parlera de variable ou de fonction booléenne.

En électronique, le '0' correspond en général à 0 Volt appelé niveau bas et le '1' correspond à une certaine tension qui dépend de la famille de circuits utilisés (par exemple 5 Volt) appelée niveau haut.

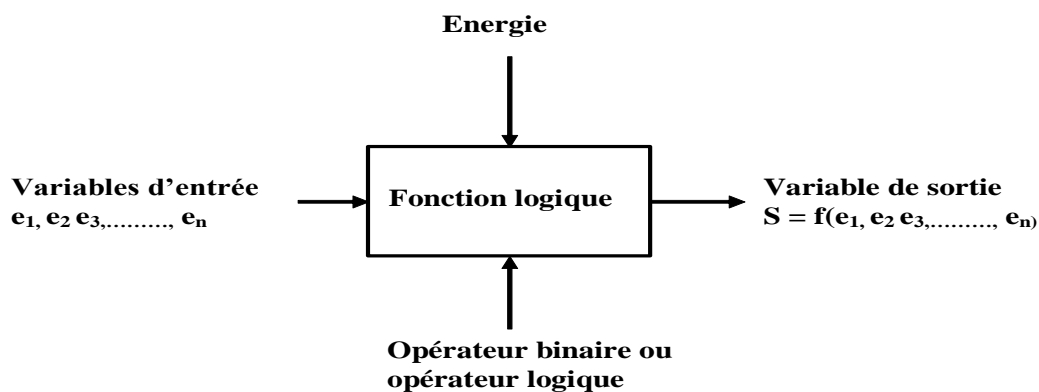
2. Niveau logique

Dans tous les systèmes (pneumatiques, électriques, électroniques ...) qui utilisent des variables booléennes, les grandeurs représentatives des informations sont des grandeurs physiques. Ce seront par exemple une pression, une tension, un courant. Les niveaux de la variable physique, sont appelés : Niveau Bas (L : low) et Niveau Haut (H : high). Dans le cas de l'électronique, un niveau est une plage de tension.

À un niveau on fait, par convention, correspondre un état logique : L= 0 (en logique positive qui représente la majorité des applications).

3. Fonction logique et opérateur binaire

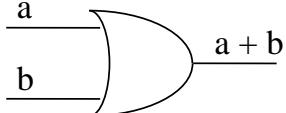
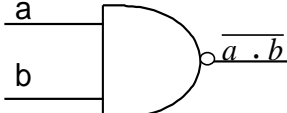
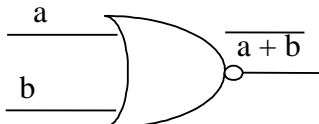
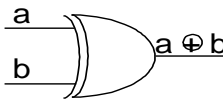
Une fonction logique traduit la relation qui existe entre les états logiques des variables d'entrée et de sortie.



4. Fonctions logiques élémentaires

Tableau 2 : Les fonctions logiques élémentaire

Fonction	Symbole
OUI $S = a$	
NON (Complément) $S = \bar{a}$	
ET (produit logique) AND $S = a \bullet b$	

OU (somme logique) OR $S = a + b$	
NON-ET NAND $S = \overline{a \cdot b}$ \Leftrightarrow $S = \overline{\overline{a + b}}$	
NON-OU NOR $S = \overline{a + b}$ \Leftrightarrow $S = \overline{\overline{a \cdot b}}$	
OU EXCLUSIF XOR $S = a \oplus b$ \Leftrightarrow $S = \overline{a}b + a\overline{b}$	

5. Définition et représentation d'un opérateur binaire ou logique

a. Table de vérité

Pour les opérateurs binaires de la logique combinatoire dans lesquels à une combinaison d'états des variables d'entrée ne correspond qu'un état de la sortie, la table de vérité précise toutes les relations possibles entre ces états.

Lorsqu'il y a "n" variables d'entrées (n colonnes sur la table de vérité), alors il y a "2ⁿ" combinaisons possibles (2ⁿ lignes sur la table de vérité).

Variable d'entrée		Variable de sortie
a	b	L
0	0	
0	1	
1	0	
1	1	

b. Equation logique

L'équation logique traduite, selon les règles de l'algèbre de Boole, la relation qui lie entre elles les variables de sorties et les variables d'entrées.



Une fonction logique peut se présenter sous deux formes :

- Une somme de produits appelés forme disjonctive
- Un produit de somme appelé forme conjonctive

Si dans chaque terme toutes les variables sont présentes, on parle de forme normale ou canonique. Dans le cas contraire, de forme simplifiée.

La réalisée par un circuit électronique d'une fonction logique se fait en deux étapes :

- Détermination de la forme normale (sous sa forme disjonctive ou conjonctive) à partir de la table de vérité

- Simplification éventuelle de cette forme en utilisant :
 Soit les théorèmes généraux (méthode algébrique : utilisant les règles de l'algèbre de Boole)
 Soit la méthode des diagrammes de Karnaugh.
 Un diagramme de Karnaugh est une forme particulière de la table de vérité qui permet une simplification rapide des fonctions logiques.

Algèbre de Boole

C'est une algèbre particulière dans laquelle une variable A ne peut prendre que deux valeurs (états) logiques **0** ou **1**. Jamais les deux en même temps.

Dans le **tableau 1** qui suit quelques règles de l'algèbre de Boole.

Tableau 1 : Résumé des règles de l'algèbre de Boole

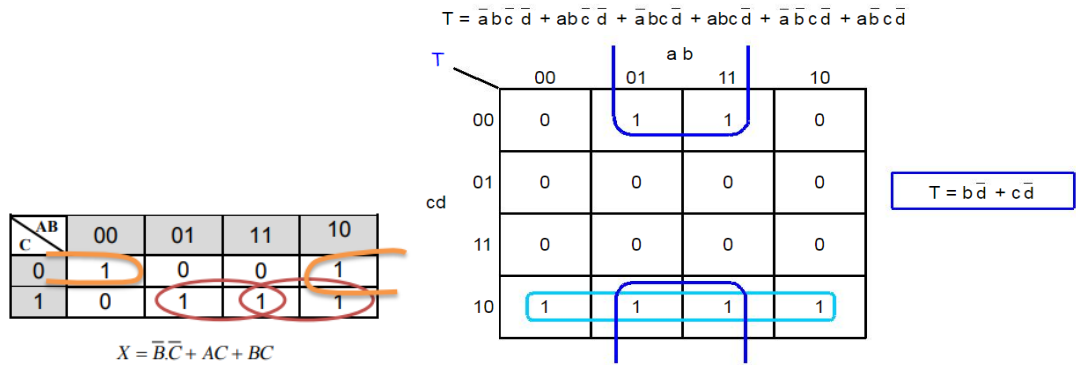
Commutativité	$A + B = B + A$ $A.B = B.A$
Associativité	$A + B + C = A + (B + C) = (A + B) + C$ $A.B.C = A.(B.C) = (A.B).C$
Distributivité	de la somme par rapport au produit $A + (B.C) = (A + B).(A + C)$ du produit par rapport à la somme $A.(B + C) = (A.B) + (A.C)$
Idempotence	$A . A = A$ $A + A = A$
Formule de Morgan	$\overline{\sum A_i} = \prod \overline{A_i}$ $\overline{\prod A_i} = \sum \overline{A_i}$
Élément neutre	$A . 1 = A$; $A . 0 = 0$ $A + 0 = A$; $A + 1 = 1$
Complémentarité	$A + \overline{A} = 1$ $A . \overline{A} = 0$
Double négation	$\overline{\overline{A}} = A$

Règles de simplification d'un diagramme de Karnaugh

- On ne peut regrouper qu'un nombre de cases correspond à une puissance de 2
- La taille du groupement et le nombre de variables de son expression sont liés.
- Il faut utiliser tous les '1' au moins une fois dans les groupements. Le résultat est donné par la réunion de différents groupements.
- Pour obtenir une expression simplifiée minimale il faut :
 - ✓ Rechercher les groupements les plus grands.
 - ✓ Rechercher les groupements en commençant par les cases qui n'ont qu'une seule façon de se grouper (utiliser chaque '1' un minimum de fois).

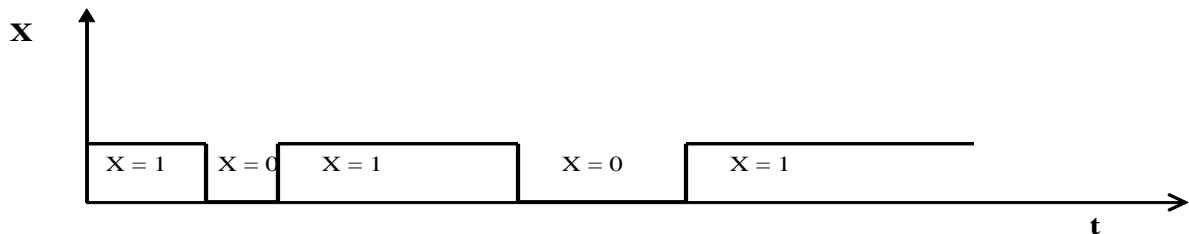
Remarque : il est préférable de regrouper les '0' dans les cas où on a les '1' plus que les '0' et déterminer l'équation complémentaire de la sortie \overline{F} .

Exemples :



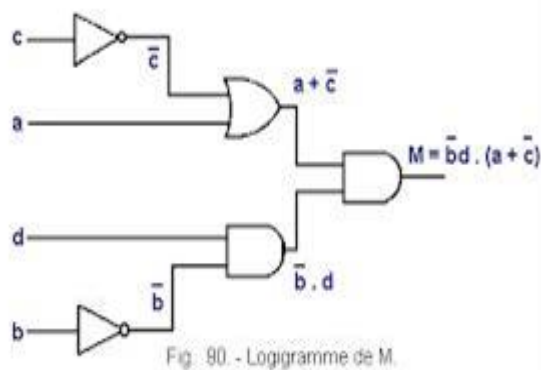
c. Chronogramme

Le chronogramme est une représentation graphique qui permet de visualiser, en fonction du temps, toutes les combinaisons d'états logiques des entrées avec l'état correspondant de la sortie.



d. Logigramme

Le logigramme est une représentation graphique qui permet de représenter une fonction logique F en fonction des portes logiques élémentaires.



III. Matériel utilisé :

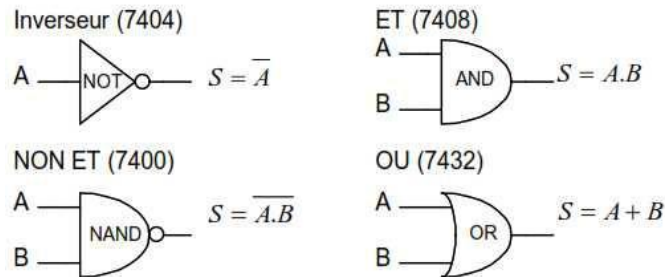
Les fonctions logiques seront réalisées sur une maquette en utilisant des circuits logiques. Les matériels utilisés sont :

- Maquette DLZ-SD301, Maquette M16 (Réf.: EDF016)
- **2 CI 74LS00** (comporte 4 NAND à 2 entrées)
- **1 CI 74LS04** (comporte 6 NOT)

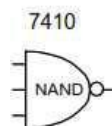
- 1 CI **74LS08** (portes AND à 2 entrées, comporte 4 AND à 2 entrées)
- 1 CI **74LS10** (portes NAND à 3 entrées, comporte 3 NAND à 3 entrées)
- 1 CI **74LS32** (portes OR à 2 entrées, comporte 4 OR à 2 entrées)

IV. Manipulation :

1. Portes logiques élémentaires



- 1- Donner les tables de vérité des circuits ci-dessus (NON, ET, OU, NON-ET).
- 2- Faire fonctionner ces circuits sur la maquette (Voir **Datasheet**) et vérifier la table de vérité de la question précédente.
- 3- Donner le logigramme d'une fonction ET à trois entrées en utilisant une fonction ET à deux entrées seulement,
- 4- Vérifier le fonctionnement du logigramme précédent en donnant sa table de vérité (Voir **Datasheet**).
- 5- Donner le logigramme d'une fonction NON-ET à trois entrées en utilisant une fonction NON-ET à deux entrées seulement,
- 6- Vérifier alors son fonctionnement du logigramme précédent en donnant sa table de vérité (Voir **Datasheet**).
- 7- Vérifier le fonctionnement du circuit 7410 en dressant sa table de vérité (Voir **Datasheet**).



2. Simplification des Fonctions logiques

Soit les fonctions logiques suivantes :

$$F_1 = \overline{a} . \overline{b} . \overline{c} + \overline{a} . b . \overline{c} + a . \overline{b} . \overline{c} + a . b . c$$

$$F_2 = \overline{a} . b . c + \overline{a} . b . \overline{c} + \overline{c} . b + c$$

- 1- Donner la table de vérité de chaque fonction.
- 2- Simplifier les équations ci-dessus en utilisant l'algèbre de BOOLE.
- 3- Donner les logigrammes de deux fonctions. On n'utilisant que des NAND (2 et 3 entrées).
- 4- Réaliser le montage des deux fonctions sur la maquette.
- 5- Vérifier la table de vérité de chaque fonction.
- 6- Simplifier les équations en utilisant les tableaux de Karnaugh.
- 7- Vérifier avec les résultats trouvés dans 1.

Fonction logique

Datasheets



June 1986
Revised March 2000

DM74LS32

Quad 2-Input OR Gate

General Description

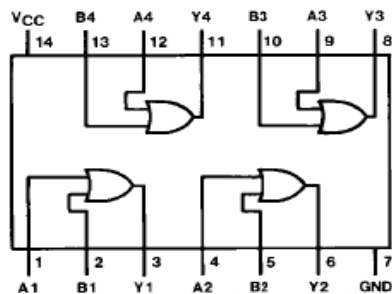
This device contains four independent gates each of which performs the logic OR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS32M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS32SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS32N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

DM74LS32 Quad 2-Input OR Gate

DM74LS00

Quad 2-Input NAND Gate

General Description

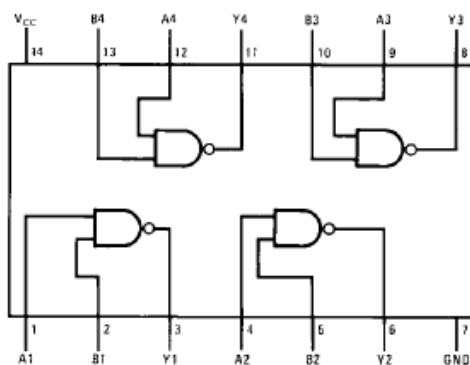
This device contains four independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

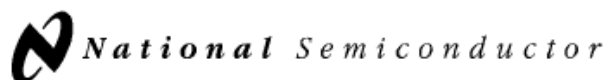


Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level



June 1989

5410/DM5410/DM7410 Triple 3-Input NAND Gates

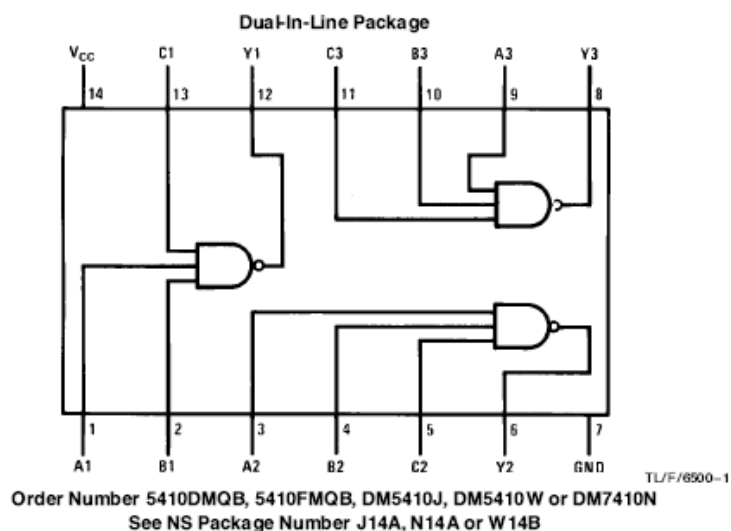
General Description

This device contains three independent gates each of which performs the logic NAND function.

Features

- Alternate Military/Aerospace device (5410) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Function Table

$$Y = \overline{ABC}$$

Inputs			Output
A	B	C	Y
X	X	L	H
X	L	X	H
L	X	X	H
H	H	H	L

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

5410/DM5410//DM7410 Triple 3-Input NAND Gates

Manipulation N° 2

MULTIPLEXEUR, DEMULTIPLEXEUR

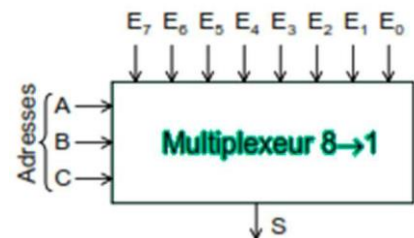
I. But :

- ✚ Découvrir de nouveaux circuits logiques : les multiplexeurs et les démultiplexeurs.
- ✚ Étudier et tester quelques applications de multiplexeur et démultiplexeur.

II. Rappel Théorique :

1. Multiplexage

Le multiplexeur est un circuit à 2^n entrées d'information, n entrées d'adresse et 1 sortie. On obtient en sortie l'information de la ligne de rang i si on applique l'adresse binaire i sur les entrées d'adresse. Par exemple, dans un multiplexeur $8 \rightarrow 1$ représenté à la figure ci-contre, on obtient en sortie S l'entrée E_5 si on affiche à l'entrée d'adresse la valeur binaire $A=1, B=0, C=1$.



Donc, pour un signal de contrôle donné, définissant une adresse, on obtient à la sortie un bit de l'entrée sélectionnée.

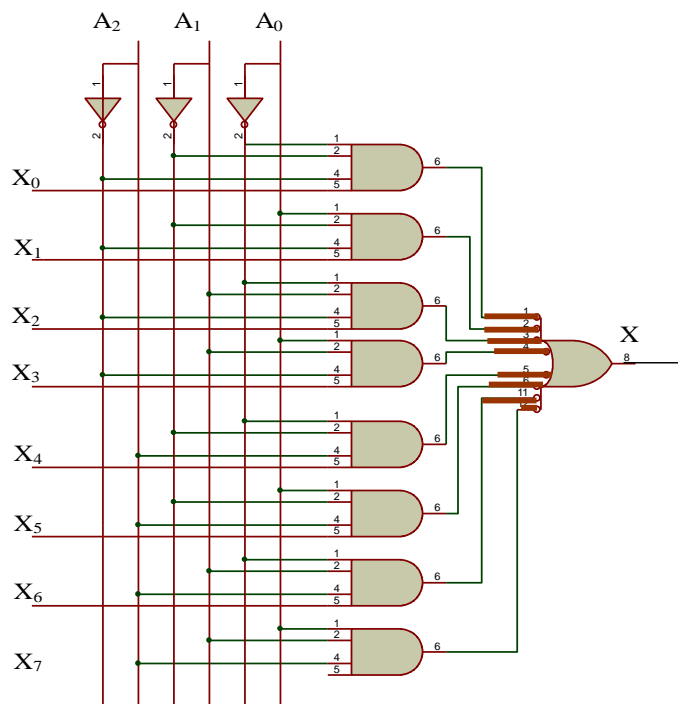
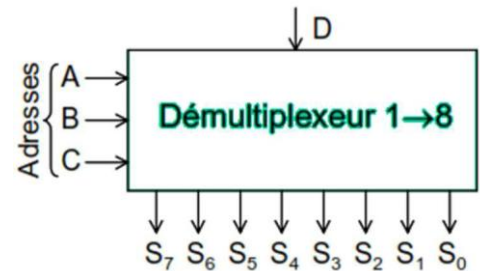


Figure 1 : Logigramme d'un Multiplexeur 8/1

2. Démultiplexage

Un démultiplexeur est un circuit ayant une entrée de donnée D , n entrées d'adresse et 2^n sorties, où une seule sortie est active à la fois. L'entrée D est reliée à la sortie si on applique l'adresse binaire i sur les entrées d'adresse. La figure ci-contre illustre un exemple de démultiplexeur 1→8.



On voit bien qu'on l'obtient à partir du schéma précédent en réunissant les entrées, et en supprimant la porte « ou » à la sortie.

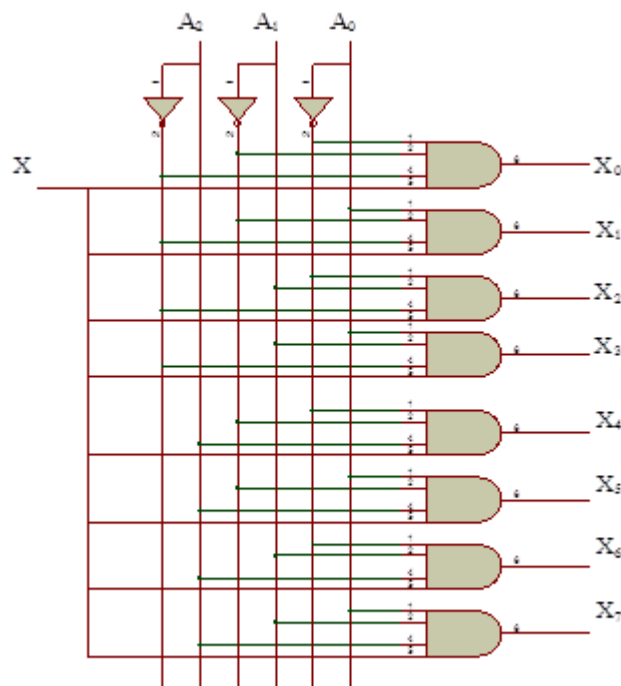


Figure 2 : Logigramme d'un Démultiplexeur 1/8

3. Exemples d'applications

Le multiplexage et le démultiplexage ont diverses applications :

- Connaître l'état d'une source,
- Effectuer l'aiguillage d'information,
- Transformer parallèle-série en série-parallèle

III. Matériel utilisé :

Les fonctions logiques seront réalisées sur une maquette en utilisant des circuits logiques. Les matériels utilisés sont :

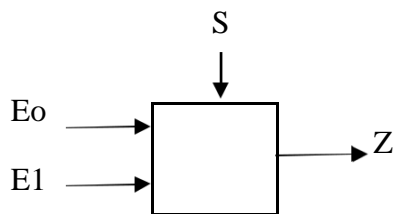
- Maquette DLZ-SD301, maquette, Maquette M16 (Réf.: EDF016)
- **1 CI 74LS00** (comporte 4 NAND à 2 entrées)
- **1 CI 74LS151** (multiplexeur 8→1)
- **1 CI 74LS153** (multiplexeur 4→1)
- **1 CI 74LS157** (multiplexeur 2→1)
- **1 CI 74LS139** (démultiplexeur 1→4)

IV. Manipulation :

1. Multiplexeur 2→1

C'est un circuit qui permet de sélectionner une information parmi deux. Il a donc un seul bit d'adresse (sélection) S et une sortie Z . Sa table de vérité est présentée dans le tableau ci-dessous et son équation s'écrit :

$$Z = \bar{S}.E_0 + S.E_1$$



S	Z
0	E0
1	E1

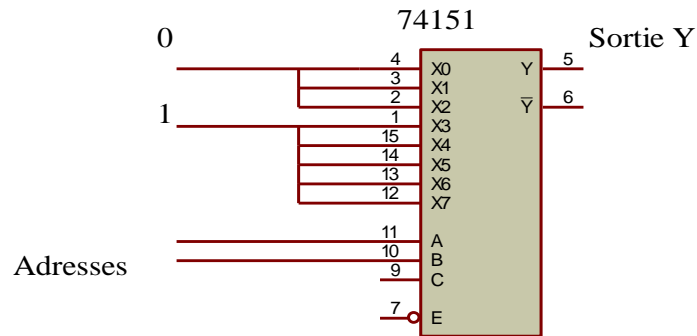
- Donner le logigramme du multiplexeur 2→1 en utilisant un seul circuit NAND (74LS00).
- Réaliser le montage d'un multiplexeur 2→1, en utilisant le 74157 (Voir **Datasheet**).

2. Multiplexeur 4→1

- Donner la table de vérité et l'équation d'un multiplexeur à 4 entrées d'informations.
- Dessiner (sans réaliser le montage) leur logigramme avec des portes NAND à 3 entrées et à 4 entrées.
- C) Tester le fonctionnement du circuit intégré 74153 (double multiplexeur 4→1) (Voir **Datasheet**)

3. Multiplexeur 8→1

- Donner l'équation d'un multiplexeur 8→1.
- Vérifier le fonctionnement du multiplexeur 8→1 en utilisant le CI 74151 (Voir **Datasheet**).
- Câbler le montage suivant du multiplexeur 8/1.



d) Compléter le tableau suivant :

X_i	C	B	A	Y
$X_0 =$	0	0	0	
$X_1 =$	0	0	1	
$X_2 =$	0	1	0	
$X_3 =$	0	1	1	
$X_4 =$	1	0	0	
$X_5 =$	1	0	1	
$X_6 =$	1	1	0	
$X_7 =$	1	1	1	

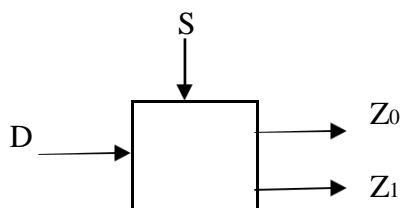
e) Déterminer la relation entre Y et A, B et C.

f) Soit $S = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + \overline{A}C$, réaliser cette fonction à l'aide du multiplexeur 74151 en complétant le tableau suivant :

X_i	C	B	A	S
$X_0 =$	0	0	0	
$X_1 =$	0	0	1	
$X_2 =$	0	1	0	
$X_3 =$	0	1	1	
$X_4 =$	1	0	0	
$X_5 =$	1	0	1	
$X_6 =$	1	1	0	
$X_7 =$	1	1	1	

4. Réalisation de démultiplexeurs

C'est un circuit qui permet d'aiguiller l'entrée D vers une des sorties Z_i . La table de vérité d'un démultiplexeur 1→2 est présenté dans le tableau ci-dessous dans le cas où les sorties non actives sont à 0.



S	Z_0	Z_1
0	D	0
1	0	D

- Ecrire les fonctions logiques et donner un schéma de réalisation avec des portes NAND.
- Faire la table de vérité d'un démultiplexeur 1→2 dans le cas où les sorties non actives sont à 1, et réaliser le montage avec des portes NAND.
- Tester le fonctionnement du circuit intégré 74LS139 (démultiplexeur 1→4) et écrire la table de vérité complète du circuit. (Voir **Datasheet**)

Datasheets

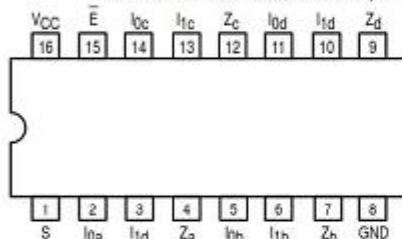


QUAD 2-INPUT MULTIPLEXER

The LSTTL/MSI SN54/74LS157 is a high speed Quad 2-Input Multiplexer. Four bits of data from two sources can be selected using the common Select and Enable inputs. The four buffered outputs present the selected data in the true (non-inverted) form. The LS157 can also be used to generate any four of the 16 different functions of two variables. The LS157 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- Schottky Process for High Speed
- Multifunction Capability
- Non-Inverting Outputs
- Input Clamp Diodes Limit High Speed Termination Effects
- Special Circuitry Ensures Glitch Free Multiplexing
- ESD > 3500 Volts

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

S	Common Select Input
E	Enable (Active LOW) Input
I0a-I0d	Data Inputs from Source 0
I1a-I1d	Data Inputs from Source 1
Za-Zd	Multiplexer Outputs (Note b)

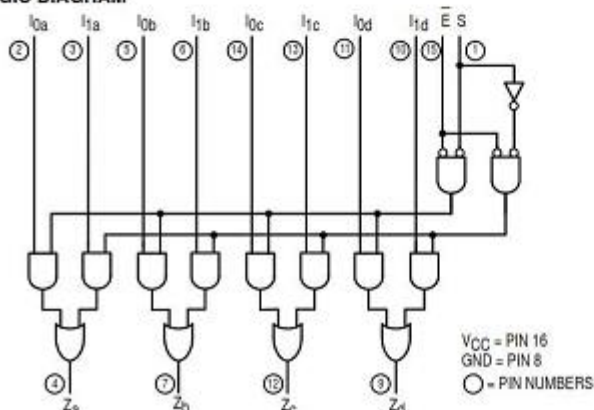
LOADING (Note a)

HIGH	LOW
1.0 U.L.	0.5 U.L.
1.0 U.L.	0.5 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.

NOTES:

- a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC DIAGRAM



SN54/74LS157

QUAD 2-INPUT MULTIPLEXER LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

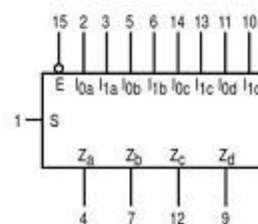


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

LOGIC SYMBOL



VCC = PIN 16
GND = PIN 8

SN54/74LS157

FUNCTIONAL DESCRIPTION

The LS157 is a Quad 2-Input Multiplexer fabricated with the Schottky barrier diode process for high speed. It selects four bits of data from two sources under the control of a common Select Input (S). The Enable Input (E) is active LOW. When E is HIGH, all of the outputs (Z) are forced LOW regardless of all other inputs.

The LS157 is the logic implementation of a 4-pole, 2-position switch where the position of the switch is determined by the logic levels supplied to the Select Input. The logic equations for the outputs are:

$$\begin{aligned} Z_a &= \bar{E} \cdot (I_{1a} \cdot S + I_{0a} \cdot \bar{S}) & Z_b &= \bar{E} \cdot (I_{1b} \cdot S + I_{0b} \cdot \bar{S}) \\ Z_c &= \bar{E} \cdot (I_{1c} \cdot S + I_{0c} \cdot \bar{S}) & Z_d &= \bar{E} \cdot (I_{1d} \cdot S + I_{0d} \cdot \bar{S}) \end{aligned}$$

A common use of the LS157 is the moving of data from two groups of registers to four common output busses. The particular register from which the data comes is determined by the state of the Select Input. A less obvious use is as a function generator. The LS157 can generate any four of the 16 different functions of two variables with one variable common. This is useful for implementing highly irregular logic.

TRUTH TABLE

ENABLE	SELECT INPUT	INPUTS		OUTPUT
E	S	I ₀	I ₁	Z
H	X	X	X	L
L	H	X	L	L
L	H	X	H	H
L	L	L	X	L
L	L	H	X	H

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

SN74LS153

Dual 4-Input Multiplexer

The LSTTL/MSI SN74LS153 is a very high speed Dual 4-Input Multiplexer with common select inputs and individual enable inputs for each section. It can select two bits of data from four sources. The two buffered outputs present data in the true (non-inverted) form. In addition to multiplexer operation, the LS153 can generate any two functions of three variables. The LS153 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all ON Semiconductor TTL families.

- Multifunction Capability
- Non-Inverting Outputs
- Separate Enable for Each Multiplexer
- Input Clamp Diodes Limit High Speed Termination Effects

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA

SN74LS153



ON Semiconductor

Formerly a Division of Motorola

<http://onsemi.com>

**LOW
POWER
SCHOTTKY**

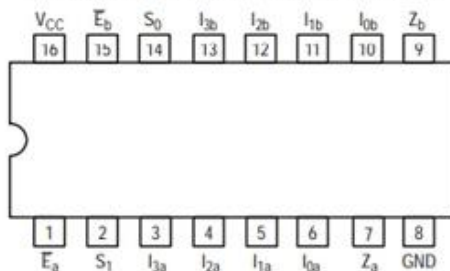


PLASTIC
N SUFFIX
CASE 648



SOIC
D SUFFIX
CASE 751B

CONNECTION DIAGRAM DIP (TOP VIEW)



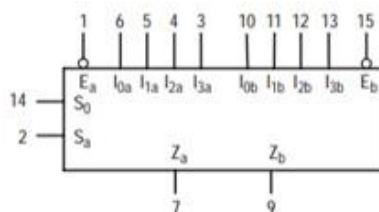
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a)	
		HIGH	LOW
S_0	Common Select Input	0.5 U.L.	0.25 U.L.
E	Enable (Active LOW) Input	0.5 U.L.	0.25 U.L.
I_0, I_1	Multiplexer Inputs	0.5 U.L.	0.25 U.L.
Z	Multiplexer Output	10 U.L.	5 U.L.

NOTES:

a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.

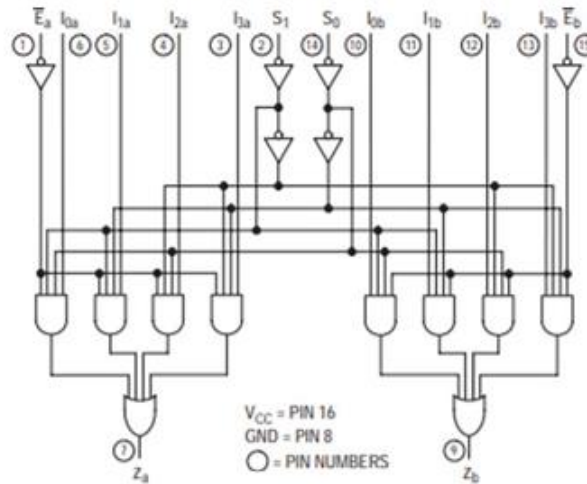
LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

SN74LS153

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The LS153 is a Dual 4-input Multiplexer fabricated with Low Power, Schottky barrier diode process for high speed. It can select two bits of data from up to four sources under the control of the common Select Inputs (S_0, S_1). The two 4-input multiplexer circuits have individual active LOW Enables ($\overline{E}_a, \overline{E}_b$) which can be used to strobe the outputs independently. When the Enables ($\overline{E}_a, \overline{E}_b$) are HIGH, the corresponding outputs (Z_a, Z_b) are forced LOW.

The LS153 is the logic implementation of a 2-pole, 4-position switch, where the position of the switch is determined by the logic levels supplied to the two Select Inputs. The logic equations for the outputs are shown below.

$$Z_a = \overline{E}_a \cdot (I_{0a} \cdot \overline{S}_1 \cdot \overline{S}_0 + I_{1a} \cdot \overline{S}_1 \cdot S_0 + I_{2a} \cdot S_1 \cdot \overline{S}_0 + I_{3a} \cdot S_1 \cdot S_0)$$

$$Z_b = \overline{E}_b \cdot (I_{0b} \cdot \overline{S}_1 \cdot \overline{S}_0 + I_{1b} \cdot \overline{S}_1 \cdot S_0 + I_{2b} \cdot S_1 \cdot \overline{S}_0 + I_{3b} \cdot S_1 \cdot S_0)$$

The LS153 can be used to move data from a group of registers to a common output bus. The particular register from which the data came would be determined by the state of the Select Inputs. A less obvious application is a function generator. The LS153 can generate two functions of three variables. This is useful for implementing highly irregular random logic.

TRUTH TABLE

SELECT INPUTS		INPUTS (a or b)					OUTPUT
S_0	S_1	\overline{E}	I_0	I_1	I_2	I_3	Z
X	X	H	X	X	X	X	L
L	L	L	L	X	X	X	L
L	L	L	H	X	X	X	H
H	L	L	X	L	X	X	L
H	L	L	X	H	X	X	H
L	H	L	X	X	L	X	L
L	H	L	X	X	H	X	H
H	H	L	X	X	X	L	L
H	H	L	X	X	X	H	H

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

54150/DM54150/DM74150, 54151A/DM54151A/DM74151A Data Selectors/Multiplexers

General Description

These data selectors/multiplexers contain full on-chip decoding to select the desired data source. The 150 selects one-of-sixteen data sources; the 151A selects one-of-eight data sources. The 150 and 151A have a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output high and the Y output (as applicable) low.

The 151A features complementary W and Y outputs, whereas the 150 has an inverted (W) output only.

The 151A incorporates address buffers which have symmetrical propagation delay times through the complementary paths. This reduces the possibility of transients occurring at the output(s) due to changes made at the select inputs, even when the 151A outputs are enabled (i.e., strobe low).

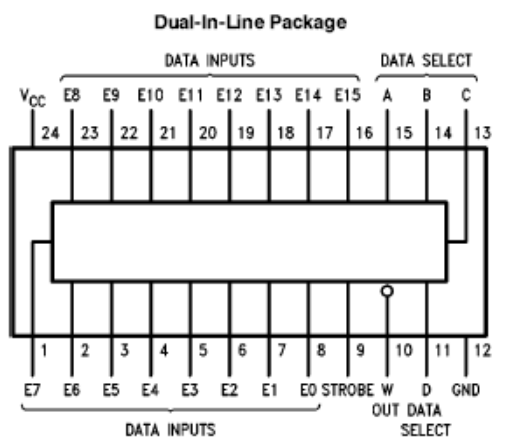
Features

- 150 selects one-of-sixteen data lines
- 151A selects one-of-eight data lines
- Performs parallel-to-serial conversion
- Permits multiplexing from N lines to one line
- Also for use as Boolean function generator
- Typical average propagation delay time, data input to W output

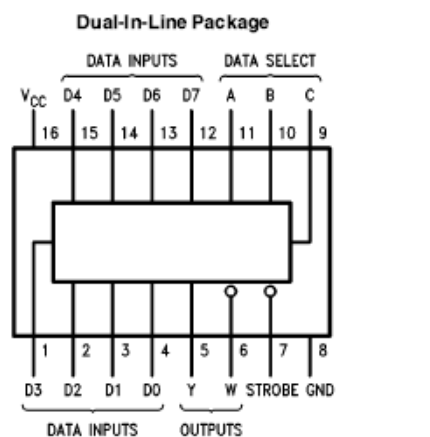
150	11 ns
151A	9 ns
- Typical power dissipation

150	200 mW
151A	135 mW
- Alternate Military/Aerospace device (54150, 54151A) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagrams

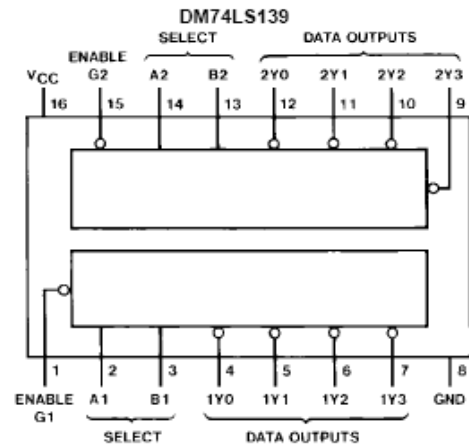
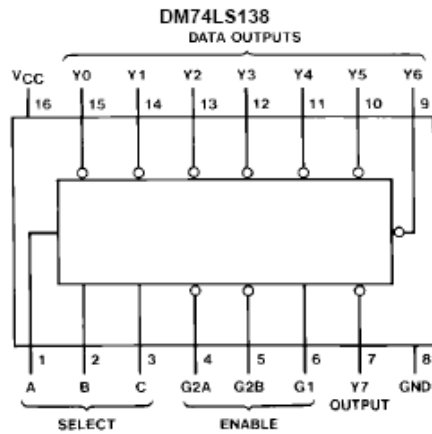


Order Number 54150DQMB, 54150FMQB,
DM54150J or DM74150N
See NS Package Number J24A, N24A or W24C



Order Number 54151ADMQB, 54151AFMQB,
DM54151AJ, DM54151AW or DM74151AN
See NS Package Number J16A, N16E or W16A

Connection Diagrams



Function Tables

DM74LS138

Inputs				Outputs								
Enable		Select										
G1	G2 (Note 1)	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	L	H	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

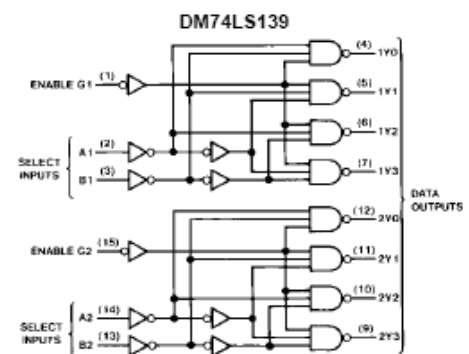
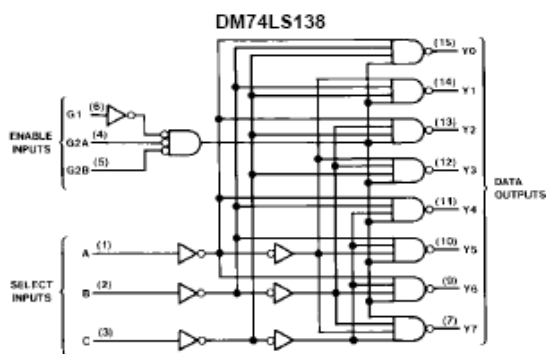
DM74LS139

Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = HIGH Level
L = LOW Level
X = Don't Care

Note 1: $G2 = G2A + G2B$

Logic Diagrams



Manipulation N° 3

TRANSCODAGE B.C.D 7 SEGMENTS

I. But :

- ✚ Comprendre les principes de construction des circuits de codage et décodage numérique
- ✚ Etudier le transcodage de l'information est plus précisément le transcodage BCD (Binaire Codé Décimal)

II. Rappel Théorique :

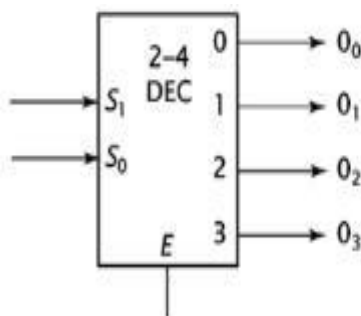
Un code est la représentation des nombres par des configurations de '0' et '1' de telles manières qu'à chaque nombre corresponde une configuration est une seule. En général, le codage d'un nombre décimal s'effectue en codant chaque chiffre qui le compose et le nombre codé est obtenu en juxtaposant leurs représentations. Pour coder les chiffres de 0 à 9 il faut au moins quatre digits.

1. Décodeur

Un décodeur est un circuit logique qui détecte la présence d'un nombre binaire spécifique ou un mot. L'entrée du décodeur est un nombre binaire et la sortie est un signal binaire indiquant la présence ou l'absence de ce numéro spécifique.

C'est un circuit combinatoire qui convertit les informations binaires codé sur n bits d'entrée en une information décodée sur 2^n lignes en sortie validée (soit à un niveau haut, soit à un niveau bas selon le type de décodeur).

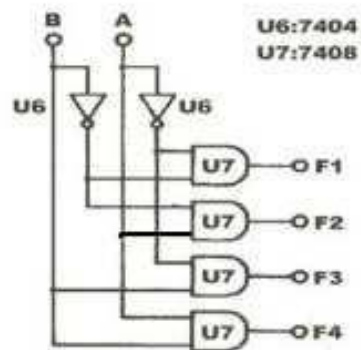
Exemple : Décodeur 2-4



S_1	S_0	E	O_0	O_1	O_2	O_3
X	X	0	0	0	0	0
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

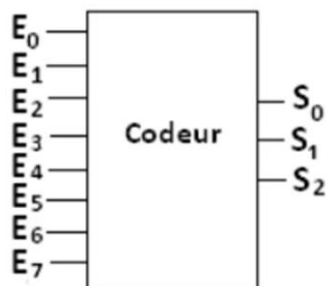
Inputs		Outputs			
B	A	F1	F2	F3	F4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

- o $F1 = \bar{A}.B.$
- o $F2 = A.\bar{B}.$
- o $F3 = \bar{A}.B.$
- o $F4 = A.B.$



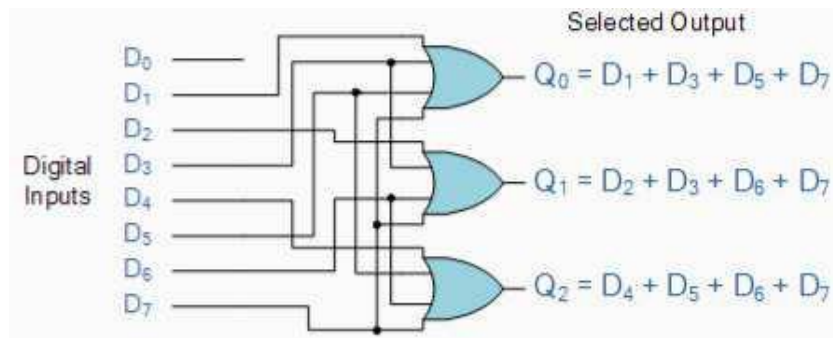
2. Codeur

Un codeur est un circuit qui réalise la fonction inverse d'un décodeur. Il convertit une information en un code. Un codeur n bits possède 2^n entrées. L'exemple ci-dessous illustre un codeur à 8 entrées qui donne le numéro (code) de l'entrée activée selon le tableau de vérité suivant.

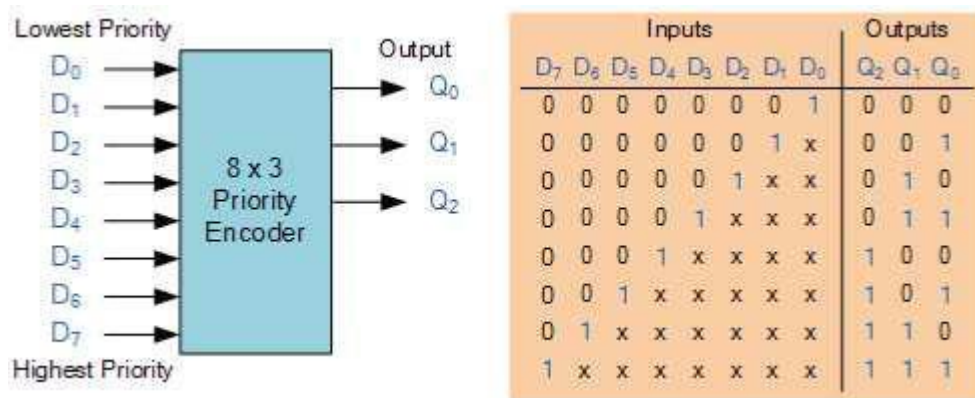


Entrées								Sorties		
E ₀	E ₁	E ₂	E ₃	E ₄	E ₅	E ₆	E ₇	S ₂	S ₁	S ₀
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Logigramme :

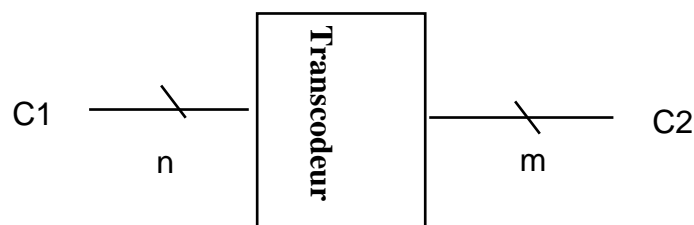


Un autre exemple : Codeur prioritaire



3. Transcodeur

Un transcodeur est un dispositif permettant de passer du nombre N écrit dans le code C1 au même nombre N écrit dans le code C2.



Les différentes applications qu'on trouve :

- Transcodeur permettant la conversion du code de Gray au code binaire naturel.

- **Transcodeur B.C.D 7segment** : est un dispositif de transcodage permettant de passer du code B.C.D ou (Binaire à 4 bits) au code d'affichage du chiffre. L'opération de transcodage du chiffre est réalisée visuellement.

Codage Décimal- Binaire :

C'est l'opération de conversion d'un nombre décimal en son équivalent binaire. Si on se limite aux nombres décimaux de 0 à 15, quatre bits suffisent pour la conversion

Le code D.C.B :

Le code D.C.B., qui signifie décimal codé binaire, est un code binaire pur, mais qui ne code que les chiffre et non les nombres.

L'afficheur 7 segments :

L'afficheur 7 segments intègre 7 LEDs, qu'on appelle segments permet, par une indication visuelle, d'afficher un chiffre grâce à 7 segments lumineux. Chaque segment est identifié par une lettre (a, b, c, d, e, f et g). Ces types d'afficheurs sont très utilisés.

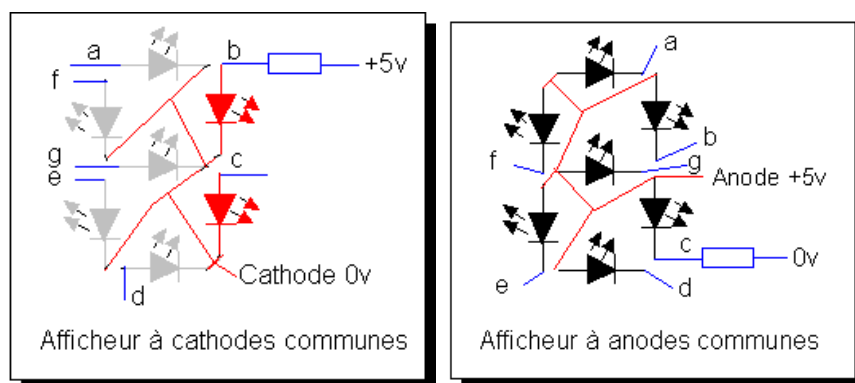


Figure 1 : les deux cas possibles :

- afficheurs 7 segments à cathodes communes
- afficheurs 7 segments à anodes communes

- ✓ **Afficheur à anode commune** : toutes les anodes sont reliées et connectées au potentiel haut. La commande du segment se fait par sa cathode mise au potentiel bas.
- ✓ **Afficheur à cathode commune** : toutes les cathodes sont reliées et connectées au potentiel bas. La commande du segment se fait par son anode mise au potentiel haut.

Exemple : si l'on veut afficher le chiffre 9, les segments a, b, c, d, f et g doivent être activés et les autres désactivés. Si l'on veut afficher le chiffre 5, les segments a, f, g, c et d doivent être activés et les autres désactivés.

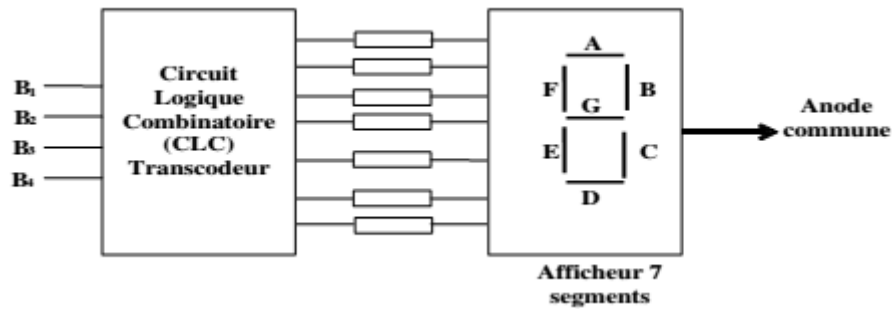


Figure 2 : Schéma bloc du Transcodage B.C.D

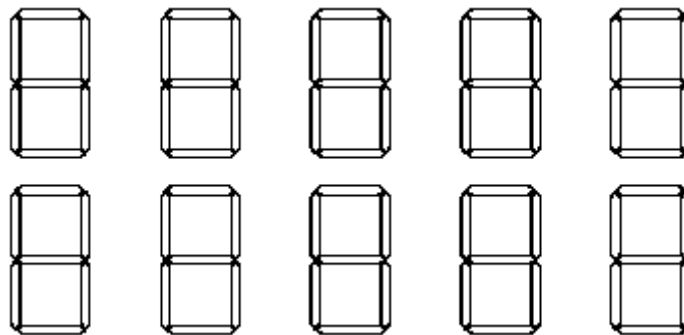
III. Matériel utilisé :

Les fonctions logiques seront réalisées sur une maquette en utilisant des circuits logiques.
Les matériels utilisés sont :

- Maquette DLZ-SD301, maquette, Maquette M16 (Réf.: EDF016)
- Circuit intégré de type 7447
- Circuit intégré de type 74LS08 et 74LS32
- Afficheur 7 segment à anode commune

IV. Manipulation :

1/ Compléter, en noircissant, les segments allumés pour chaque chiffre.



2/ Compléter le tableau suivant

Exemple d'affichage d'un nombre : si $B_4 B_3 B_2 B_1 = 1001$, à la sortie du CLC il faut avoir $ABCDEF = 111101$, c'est-à-dire, il faut allumer les segments ABCDFG de l'afficheur, et les autres restent éteints.

Chiffre	Code B.C.D.				7 Segments						
	B ₄	B ₃	B ₂	B ₁	A	B	C	D	E	F	G
0											
1											
2											
3											
4											
5											
6											
7											
8											
9											

3/ Compléter chaque tableau de Karnaugh

A	B ₁ B ₂				B ₃ B ₄	B ₁ B ₂			
	00	01	11	10		00	01	11	10
	00					00			
	01					01			
	11					11			
	10					10			
B	B ₁ B ₂				B ₃ B ₄	B ₁ B ₂			
	00	01	11	10		00	01	11	10
	00					00			
	01					01			
	11					11			
	10					10			
C	B ₁ B ₂				B ₃ B ₄	B ₁ B ₂			
	00	01	11	10		00	01	11	10
	00					00			
	01					01			
	11					11			
	10					10			
D	B ₁ B ₂				B ₃ B ₄	B ₁ B ₂			
	00	01	11	10		00	01	11	10
	00					00			
	01					01			
	11					11			
	10					10			
E	B ₁ B ₂				B ₃ B ₄	B ₁ B ₂			
	00	01	11	10		00	01	11	10
	00					00			
	01					01			
	11					11			
	10					10			
F	B ₁ B ₂				B ₃ B ₄	B ₁ B ₂			
	00	01	11	10		00	01	11	10
	00					00			
	01					01			
	11					11			
	10					10			
G	B ₁ B ₂				B ₃ B ₄	B ₁ B ₂			
	00	01	11	10		00	01	11	10
	00					00			
	01					01			
	11					11			
	10					10			

4/ Ressortir les équations de chaque segment.

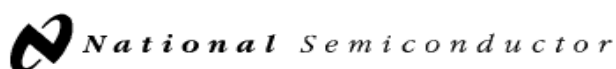
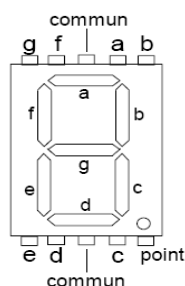
5/ Réaliser le logigramme complet du transcodage DCB-7 segment.

6/ On veut réaliser un transcodeur avec deux bits qui peut afficher les chiffres suivant : 0, 1, 2 et 3. Ressortir les équations de chaque segment et faire le logigramme complet de transcodeur et ensuite câbler ce logigramme sur la maquette.

7/ Câbler le montage de la figure 2 (Voir **Datasheet**) et vérifier avec le résultat de la question 2.

Datasheets

Brochage de l'afficheur 7 segments à cathodes communes



June 1989

DM7446A, DM5447A/DM7447A BCD to 7-Segment Decoders/Drivers

General Description

The 46A and 47A feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. All of the circuits have full ripple-blanking input/output controls and a lamp test input. Segment identification and resultant displays are shown on a following page. Display patterns for BCD input counts above nine are unique symbols to authenticate input conditions.

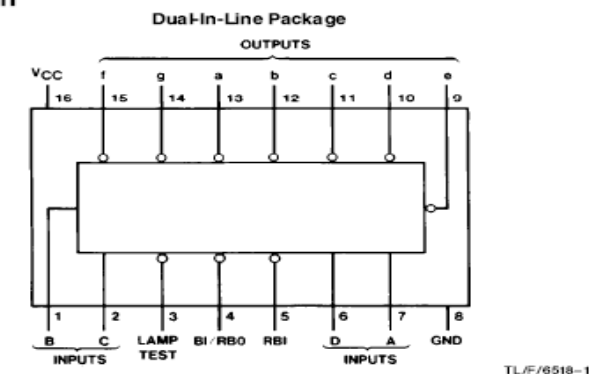
All of the circuits incorporate automatic leading and/or trailing-edge, zero-blanking control (RBI and RBO). Lamp test (LT) of these devices may be performed at any time when the BI/RBO node is at a high logic level. All types contain

an overriding blanking input (BI) which can be used to control the lamp intensity (by pulsing) or to inhibit the outputs.

Features

- All circuit types feature lamp intensity modulation capability
- Open-collector outputs drive indicators directly
- Lamp-test provision
- Leading/trailing zero suppression

Connection Diagram



Order Number DM5447AJ, DM7446AN or DM7447AN
See NS Package Number J16A or N16E

TL/F/6518-1

DM7446A, DM5447A/DM7447A BCD to 7-Segment Decoders/Drivers

Manipulation N° 4

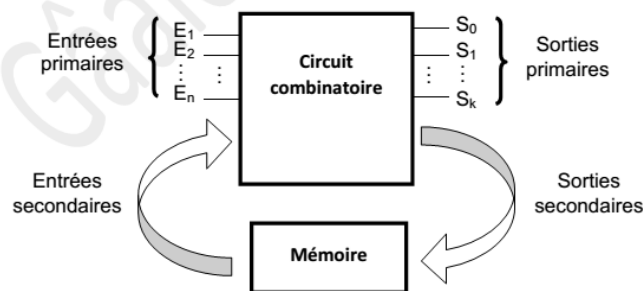
COMPTEURS

I. But :

- + Traiter en détails les systèmes séquentiels et comprendre les bascule
- + Familiariser avec les compteurs.
- + Étudier leur diagramme logique, leur table d'état et leur chronogramme.
- + Faire différencier entre compteurs asynchrones et compteurs synchrones et compteur modulo-n.
- + Réaliser quelques exemples de tels compteurs sur une maquette.

II. Rappel Théorique :

Dans un système combinatoire, les sorties ne dépendent que de l'état des entrées à un instant donné. Alors que dans les systèmes séquentiels, les sorties dépendent en plus des états des entrées (entrées primaires) des états antérieurs des sorties (entrées secondaires). On dit que le circuit séquentiel possède une fonction mémoire.

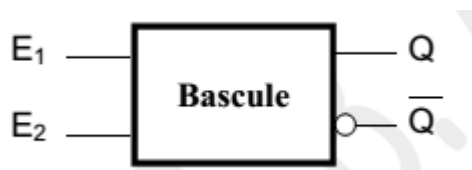


Les systèmes séquentiels sont classés en 2 catégories :

- ✓ Circuits séquentiels asynchrones : les sorties changent d'états dès qu'il y a changements des états des entrées.
- ✓ Circuits séquentiels synchrones : les sorties changent d'états après avoir eu une autorisation d'un signal de synchronisation appelé souvent signal « Horloge » noté H ou CLK.

1. Les bascules

La bascule est le circuit de mémorisation. Elle a aussi pour rôle d'élaborer un diviseur de fréquence par deux. Elle est un système séquentiel constitué par une ou deux entrées et deux sorties complémentaires.



On distingue 4 types de bascules : RS, JK, D et T.

1.1.Bascule asynchrone :

Une bascule est dit asynchrone, dont la sortie évolue dès lors qu'un changement a lieu sur l'une des entrées

Bascule RS



Table de vérité						Equation des sorties	
Entrées			Sorties		Mode de fonctionnement		
R	S	Q_n	Q_{n+1}	\bar{Q}_{n+1}			
0	0	0	0	1	Etat précédent	$Q_{n+1} = \bar{R}Q_n + S$	
0	0	1	1	0	Etat précédent		
0	1	0	1	0	Enclenchement		
0	1	1	1	0	Maintien à 1		
1	0	0	0	1	Maintien a 0		
1	0	1	0	1	Déclenchement		
1	1	0	-	-	Interdit		
1	1	1	-	-	Interdit		

Logigramme	
A l'aide des portes NAND	A l'aide des portes NOR

L'état $R=S=1$ est un état interdit puisqu'il nous donne le deux sorties complémentaires Q et \bar{Q} au même état ce qui n'est pas logique.

Bascule JK

Contrairement à la bascule RS, la condition $J=K=1$, ne donne pas lieu à une condition indéterminée, mais par contre la bascule passe à l'état opposé.

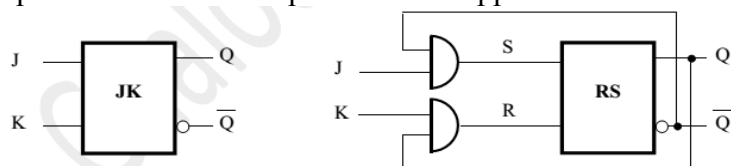
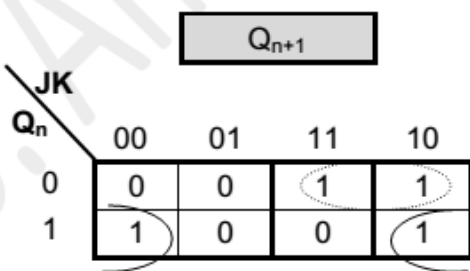


Table de vérité						Equation des sorties	
Entrées			Sorties		Mode de fonctionnement		
J	K	Q_n	Q_{n+1}	Q_{n+1}			
0	0	0	0	1	Etat précédent	$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n$	
0	0	1	1	0	Etat précédent		
0	1	0	0	1	Maintien à 0 : μ_0		
0	1	1	0	1	Déclenchement : δ		
1	0	0	1	0	Enclenchement : ε		
1	0	1	1	0	Maintien à 1 : μ_1		
1	1	0	1	0	Enclenchement : ε		
1	1	1	0	1	Déclenchement : δ		

1.2. Bascule synchrone :

Une bascule est synchrone quand ses sorties ne changent d'état que si un signal supplémentaire est appliquée sur une entrée, dite entrée d'horloge (notée H ou CLK). On distingue deux types de synchronisation :

- Synchronisation au niveau (bas ou haut)
- Synchronisation sur front (montant ou descendant)

2. Les compteurs

L'élément de base d'un compteur ou décompteur est la bascule. La fonction comptage ou décomptage est présente dans de nombreux systèmes automatisés où la répétition d'un événement déclenche, à partir d'un certain nombre de fois l'évolution du cycle. Elle est réalisée par un circuit séquentiel permettant :

- La modification d'un mot binaire en sortie chaque fois qu'une information est appliquée à l'entrée.
- La mémorisation de l'état de sortie.

Il existe deux types de compteurs qui sont les compteurs asynchrones et les compteurs synchrones.

2.2. Compteurs asynchrones

Un compteur asynchrone est un circuit logique composé de n bascules. Il reçoit le signal de comptage seulement sur l'entrée (H) de la première bascule. Pour les autres bascules, l'entrée (H) est reliée à la sortie (Q) de la bascule de rang $(i-1)$ si elles sont à front descendant. Alors que si elles sont à front montant, on doit relier (H_i) à la sortie (\bar{Q}) de la bascule précédente.

Exemple : Compteur asynchrone modulo-8

La figure 1 donne l'exemple d'un compteur asynchrone à 3 bits, réalisé à partir de trois bascules JK active sur front descendant. On note que toutes les bascules utilisés ont leurs

entrées à l'état haut ($J_i=K_i=1$) de telle sorte qu'à chaque front descendant du signal d'horloge, il y a basculement des sorties des bascules.

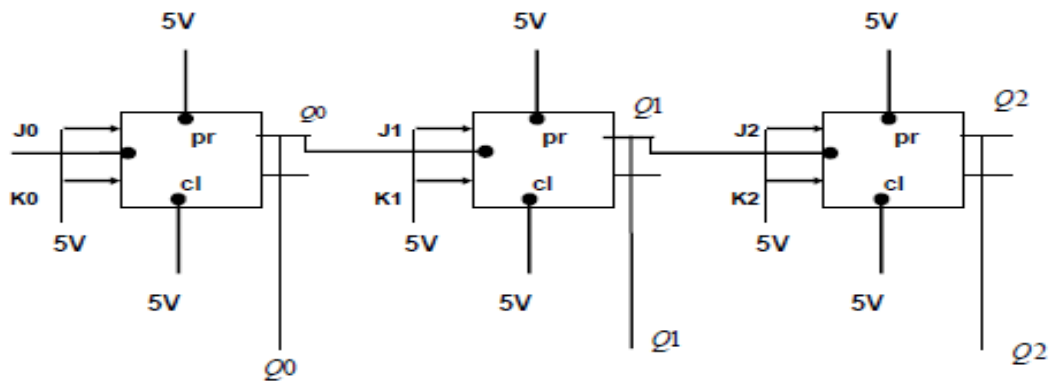


Figure 1 : Compteur asynchrone à 3 bits

Sa table d'état est la suivante :

Tableau 1 : Etats de sortie du compteur asynchrone à 3 bits

Nombre d'impulsions	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

D'après le tableau 1, le compteur possède 8 états distincts (000 à 111), on dit que c'est un compteur MODULO-8.

Son chronogramme est la suivante :

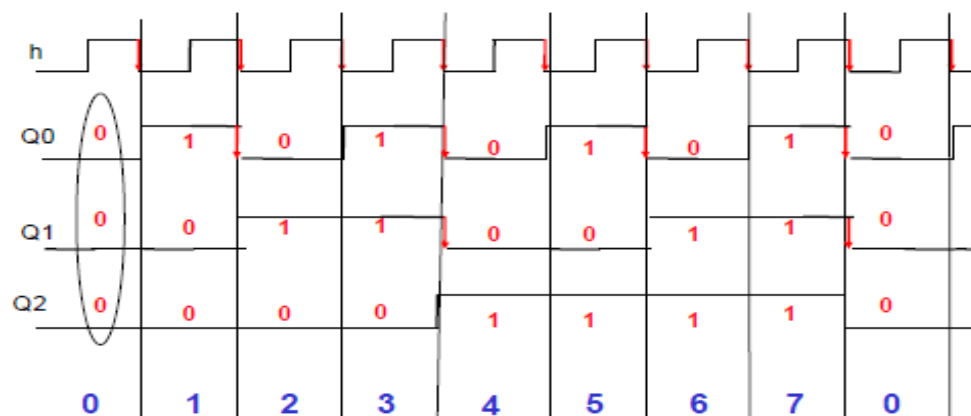


Figure 2 : Chronogramme du compteur modulo-8

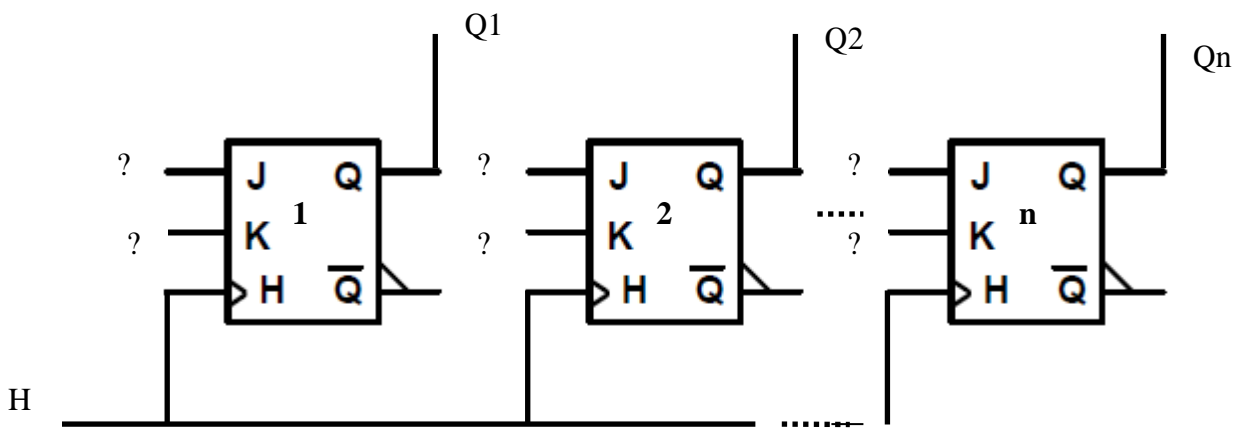
2.3 Décompteur asynchrone

Comme les compteurs asynchrones, l'information à décompter est reliée à l'entrée d'horloge de la première bascule, mais la sortie (\bar{Q}) de cette dernière est reliée à l'entrée d'horloge de la bascule suivante si elle est à front descendant et ainsi de suite, alors que si la bascule est à front montant c'est la sortie (Q) qui doit être reliée à l'entrée (H) de la bascule du rang supérieur.

2.4 Compteurs synchrones

Dans un compteur synchrone, l'horloge H est reliée simultanément à toutes les horloges de chacune des bascules constituant les différents étages du compteur. Le basculement ou non basculement d'un étage dépend uniquement de l'état des entrées de commande (Jk), (RS), (T) ou (D), ces dernières sont exprimées en fonction des sorties Q_i des différents étages.

Schéma de principe :



La méthode de résolution d'un tel problème consiste à :

1. Etablir la table de comptage
2. Etablir la table de fonctionnement des différentes bascules
3. Mettre en équation les entrées de commandes des différentes bascules
4. Tracer le logigramme

2.4.1 Compteurs synchrones à recyclage :

Parfois, on voulait compter jusqu'à un nombre inférieur à une valeur maximale que peut atteindre un compteur donné possédant n étages. On va illustrer ce cas à travers un exemple de compteur modulo-6 à recyclage.

Exemple : Compteur modulo-6 à recyclage

Ce compteur possède 3 bascules JK, les entrées H_i de chaque bascule sont reliées simultanément à l'unique horloge H. L'objectif est de déterminer la relation qui existe entre les entrées $J_n K_n$ et les sorties Q_i des bascules qui permet de réaliser un compteur modulo-6. C'est-à-dire un compteur qui compte de 0 à 5 puis revient à 0 et commence le cycle de comptage.

Etape 1 : Réaliser la table d'état de compteur comportant les états actuels et les états futurs de chaque étage.

Tableau 2 : Table d'état de compteur modulo-6 à recyclage

Décimal	$Q_{2(n)}$	$Q_{1(n)}$	$Q_{0(n)}$		$Q_{2(n+1)}$	$Q_{1(n+1)}$	$Q_{0(n+1)}$
0	0	0	0		0	0	1
1	0	0	1		0	1	0
2	0	1	0		0	1	1
3	0	1	1		1	0	0
4	1	0	0		1	0	1
5	1	0	1		0	0	0

Etape 2 : Déterminer les J_0K_0 , J_1K_1 et J_2K_2

Pour cela on doit se servir de la table d'excitation de la bascule JK suivante :

Tableau 3 : Table d'excitation de la bascule JK

$Q(n)$	$Q(n+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

On peut résumer les différents cas possibles dans une table de vérité comme indiqué ci-dessus :

Tableau 4: table de vérité d'un compteur synchrone modulo-6

Etats présents			Etats futurs			Entrées					
Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	0	0	0	X	1	0	X	X	1

On réalise une table de Karnaugh pour chaque entrée des trois bascules.

Pour J_0 , J_1 et J_2 on trouve :

Bascule 0

Q_1Q_0	00	01	11	10
Q_2				
0	1	X	X	1

Bascule 1

Q_1Q_0	00	01	11	10
Q_2				
0	0	1	X	X
1	0	0	-	-

Bascule 2

1	1	X	-	-
---	---	---	---	---

$$J_0 = 1$$

$$J_1 = \bar{Q}_2 \cdot Q_0$$

$Q_1 Q_0$	00	01	11	10
Q_2				
0	0	0	1	0
1	X	X	-	-

$$J_2 = Q_1 \cdot Q_0$$

Pour K_0 , K_1 et K_2 on trouve :

Bascule 0

$Q_1 Q_0$	00	01	11	10
Q_2				
0	X	1	1	X
1	X	1	-	-

$$K_0 = 1$$

Bascule 1

$Q_1 Q_0$	00	01	11	10
Q_2				
0	0	X	1	0
1	X	X	-	-

$$K_1 = Q_0$$

Bascule 2

$Q_1 Q_0$	00	01	11	10
Q_2				
0	X	X	X	X
1	0	1	-	-

$$K_2 = Q_0$$

Connaissant les relations entre les différentes entrées et les sorties ainsi déterminées on peut schématiser le diagramme logique correspondant au compteur modulo-6 à recyclage.

III. Matériel utilisé :

Les fonctions logiques seront réalisées sur une maquette en utilisant des circuits logiques. Les matériels utilisés sont :

- Maquette DLZ-SD301, maquette, Maquette M16 (Réf.: EDF016)
- Circuit intégré de type 74193
- Circuit intégré de type 74LS73
- Circuit intégré de type 74LS08

IV. Manipulation :

1. Compteur asynchrone

Soit le diagramme logique de compteur asynchrone modulo-16 suivant :

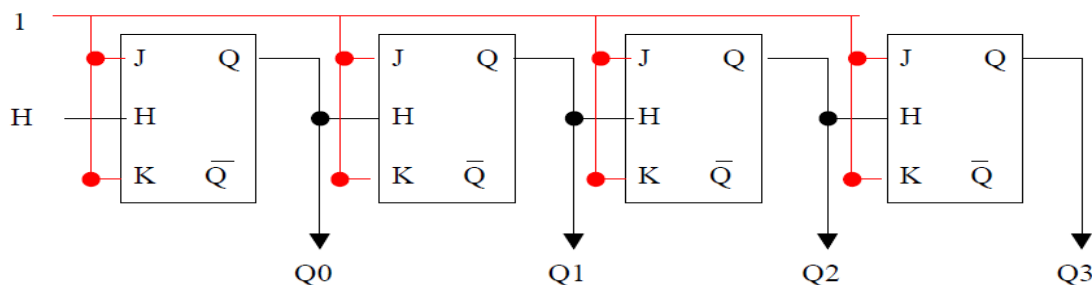


Figure 5 : compteur asynchrone modulo-16

- 1 - Décrire et expliquer le fonctionnement de ce compteur
- 2 - Réaliser le compteur sur la maquette M16 en utilisant le 74LS73
- 3 - Donner la table d'état de ce compteur

- 4 - Tracer le chronogramme de ce compteur pour H, Q_0 , Q_1 , Q_2 et Q_3 sachant que chaque bascule change son état après un temps de retard θ quand elle reçoit une impulsion d'horloge H pour la première fois. Après huit impulsions d'horloge H à combien de temps la bascule 3 change son état pour la première fois ?
- 5 - Quel est l'inconvénient de ce type de compteur
- 6- Faire le changement nécessaire sur la figure 5 pour réaliser un décompteur modulo-16.

2. Compteur synchrone

Soit le diagramme logique de compteur synchrone modulo-16 suivant :

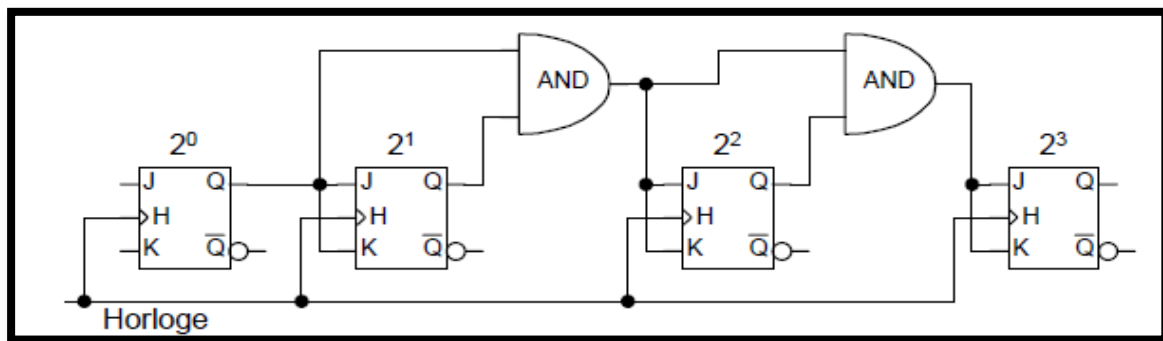


Figure 6 : Compteur synchrone modulo-16

- 1- Décrire et expliquer le fonctionnement de ce compteur en indiquant son avantage par rapport au compteur asynchrone précédent
- 2- Réaliser ce compteur sur la maquette
- 3- On veut réaliser maintenant un compteur modulo-10 à recyclage. Proposer un diagramme logique de ce compteur en s'inspirant de l'exemple de la partie théorique.
- 4- Tracer les chronogrammes de H, Q_0 , Q_1 , Q_2 et Q_3 .
- 5- Reprend les questions 3 et 4 pour réaliser un décompteur synchrone modulo-10.

3. Vérification du compteur binaire 4 bits 74193

Vérifier le fonctionnement de circuit intégré 74193 en se basant sur la fiche technique associée.

DataSheets

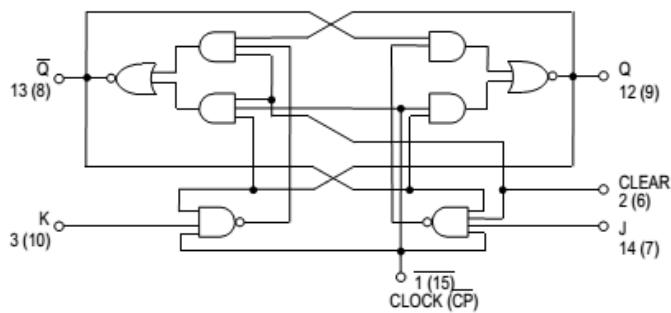


MOTOROLA

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

The SN54LS/74LS73A offers individual J, K, clear, and clock inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may be allowed to change when the clock pulse is HIGH and the bistable will perform according to the truth table as long as minimum set-up times are observed. Input data is transferred to the outputs on the negative-going edge of the clock pulse.

LOGIC DIAGRAM (Each Flip-Flop)



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	\overline{C}_D	J	K	Q	\overline{Q}
Reset (Clear)	L	X	X	\overline{Q}	H
Toggle	H	h	h	\overline{Q}	q
Load "0" (Reset)	H	l	h	L	H
Load "1" (Set)	H	h	l	H	L
Hold	H	l	l	q	\overline{q}

H, h = HIGH Voltage Level

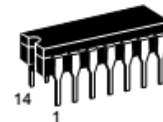
L, l = LOW Voltage Level

X = Don't Care

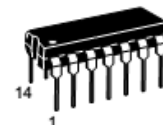
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

SN54/74LS73A

**DUAL JK NEGATIVE
EDGE-TRIGGERED FLIP-FLOP**
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

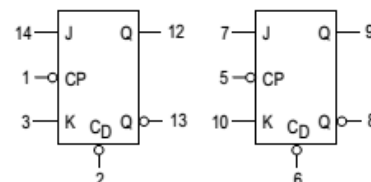


D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ Ceramic
SN74LSXXN Plastic
SN74LSXXD SOIC

LOGIC SYMBOL



VCC = PIN 4
GND = PIN 11

HD74LS193 • Synchronous Up/Down 4-bit Binary Counters (dual clock lines)

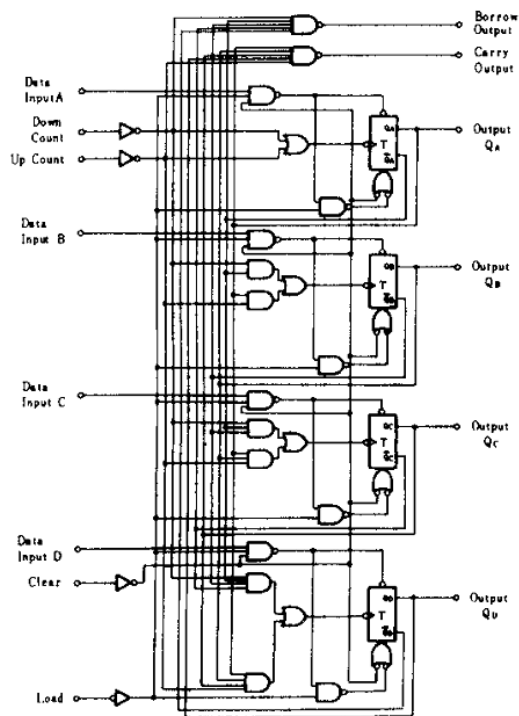
Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincidentally with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes which are normally associated with asynchronous (ripple-clock) counters. The outputs of the four master-slave flip-flops are triggered by a low-to-high-level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed while the other count input is high. This counter is fully programmable; That is, each output may be preset to either level by entering the desired data at the data inputs while the load input is low. The output will change to agree with the data inputs independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs. A clear input has been

provided which forces all outputs to the low level when high level is applied. The clear function is independent of the count and load inputs. The clear, count, and load inputs are buffered to lower the drive requirements. This reduces the number of clock drivers, etc., required for long work. This counter was designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up-and down-counting functions.

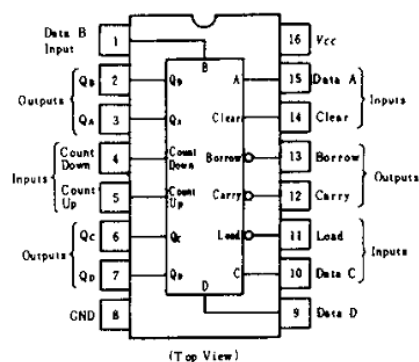
The borrow output produces a pulse equal in width to the count-down input when the counter underflows. Similarly the carry output produces a pulse equal in width to the count-up input when an overflow condition exists.

The counters can then be easily cascaded by feeding the borrow and carry outputs to the count-down and count-up inputs respectively of the succeeding counter.

■ BLOCK DIAGRAM



■ PIN ARRANGEMENT



■ RECOMMENDED OPERATING CONDITIONS

Item	Symbol	min	typ	max	Unit
Clock frequency	f_{clock}	0	—	25	MHz
Pulse width	t_w	20	—	—	ns
Setup time (Clear)	$t_{setclear}$	40	—	—	ns
Setup time	t_{su}	20	—	—	ns
Hold time	t_h	3	—	—	ns