

# FR801xH 硬件应用指南

Bluetooth Low Energy SOC

Rev: V1.0

---

2020.2.29

[www.freqchip.com](http://www.freqchip.com)

---



# 目 录

1. FR801xH 系列芯片简介.....	- 2 -
2. 封装定义.....	- 3 -
2.1 FR8012HB 封装.....	- 3 -
2.2 FR8016HA 封装.....	- 4 -
2.3 FR8018HA 封装.....	- 5 -
2.4 FR801xH 引脚定义.....	- 6 -
3. 参考设计.....	- 9 -
3.1 FR8012HB 参考设计.....	- 9 -
3.2 FR8016HA 参考设计.....	- 9 -
3.3 FR8018HA 参考设计.....	- 10 -
4. 应用设计注意事项.....	- 11 -
4.1 电源.....	- 11 -
4.2 射频.....	- 12 -
4.3 晶振.....	- 13 -
4.4 GPIO.....	- 14 -
4.5 通过 ADC 采样分压电路分压获取电池电压.....	- 14 -
4.6 中断管脚接线.....	- 14 -
4.7 LED 管脚接线.....	- 15 -
4.8 系统设计.....	- 15 -
5. PCB 天线.....	- 16 -
联系方式 Contact Information.....	- 17 -
修订历史 Revision History.....	- 17 -

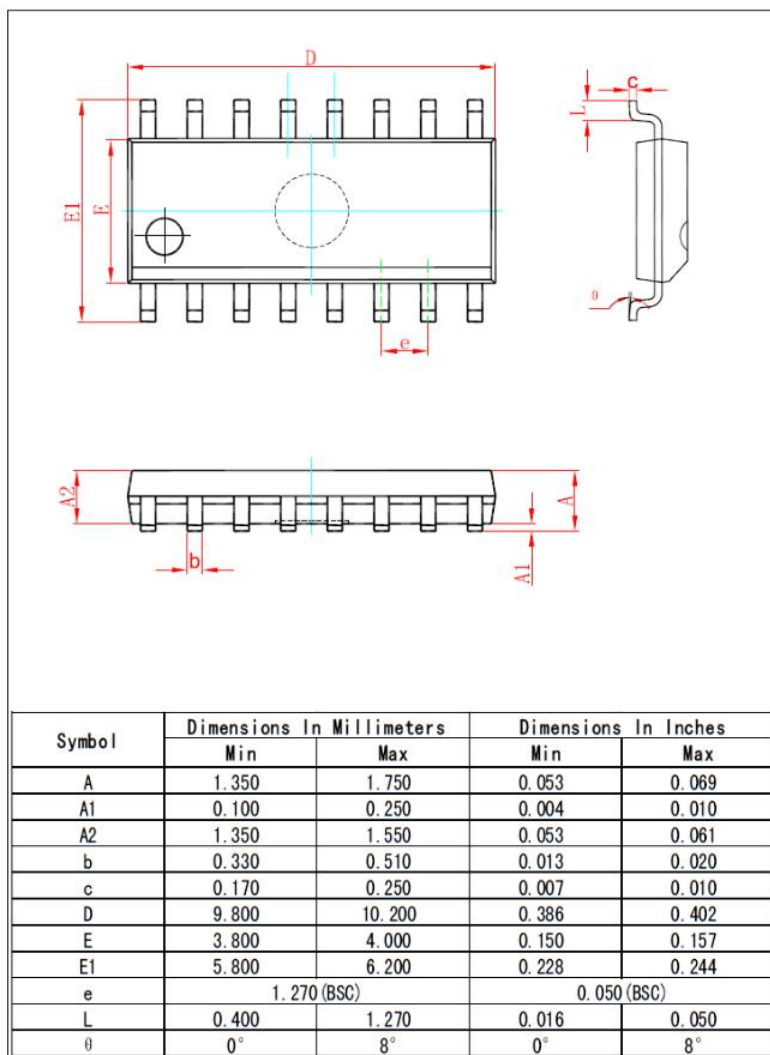
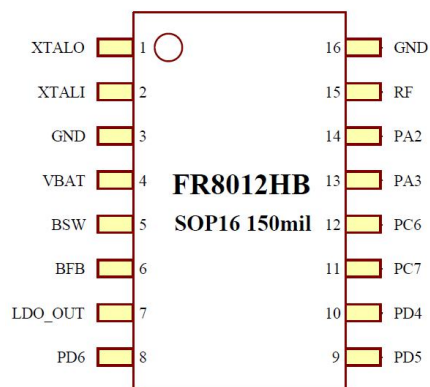
## 1. FR801xH 系列芯片简介

- FR801xH 集成 RF、Baseband、PMU、CODEC、SPI、IIC、UART、GPIO、ADC、PWM、Keyboard scan 等模块，支持蓝牙 V5.1，支持标准 SIG Mesh、HomeKit。应用于智能手环、语音遥控器、智能家居等方案。
- 布局合理，走线清晰，接地良好是做好设计的基本要求。FR801xH 较少的外围器件，可以使用双面板进行设计，从而节省成本。双面板设计时 PCB 顶层用于摆件和走信号线，底层走电源线并尽可能保证一个完整的地平面。
  - FR801xH 系列型号
  - FR8012HB，内置 2Mbits Flash，SOP16 封装。
  - FR8016HA，内置 4Mbits Flash，QFN32\_0404\_P0.4T0.75 封装。
  - FR8018HA，内置 4Mbits Flash，QFN48\_0606\_P0.4T0.75 封装。

## 2. 封装定义

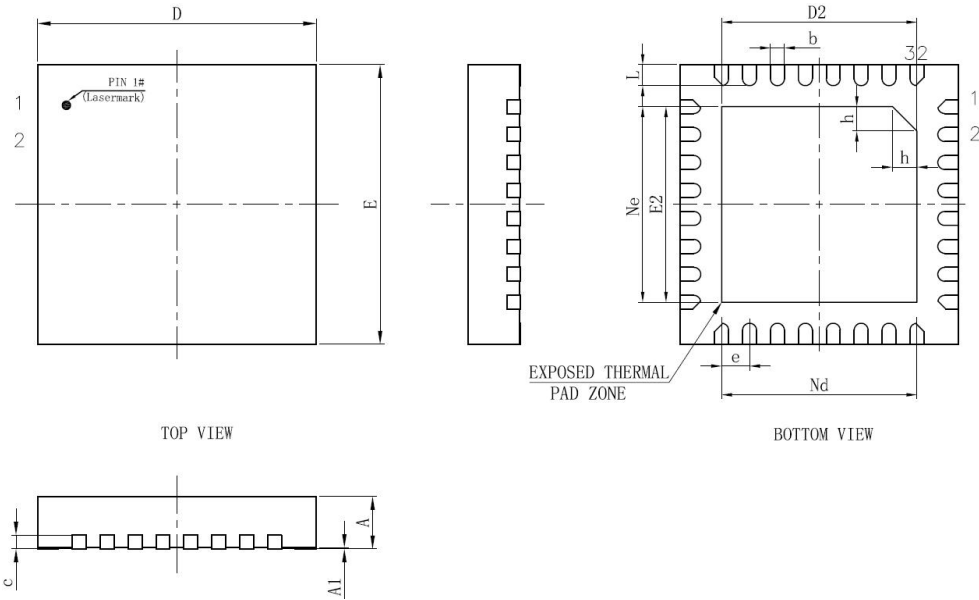
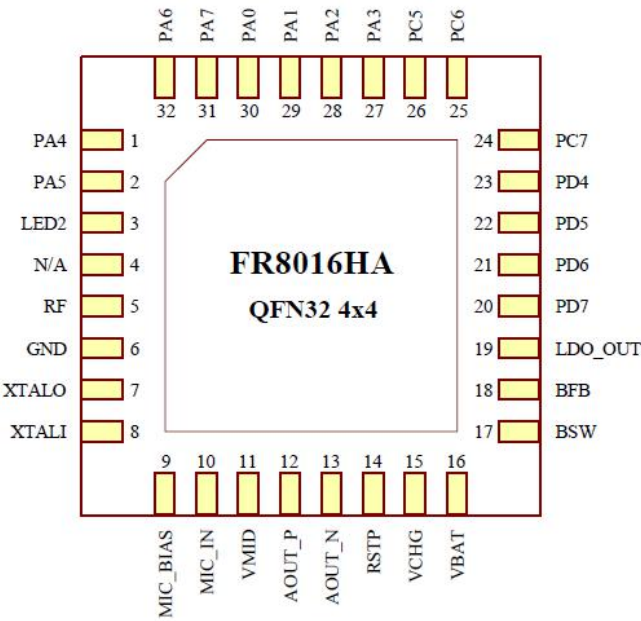
### 2.1 FR8012HB 封装

- FR8012HB 采用 SOP16 封装



2.2 FR8016HA 封装

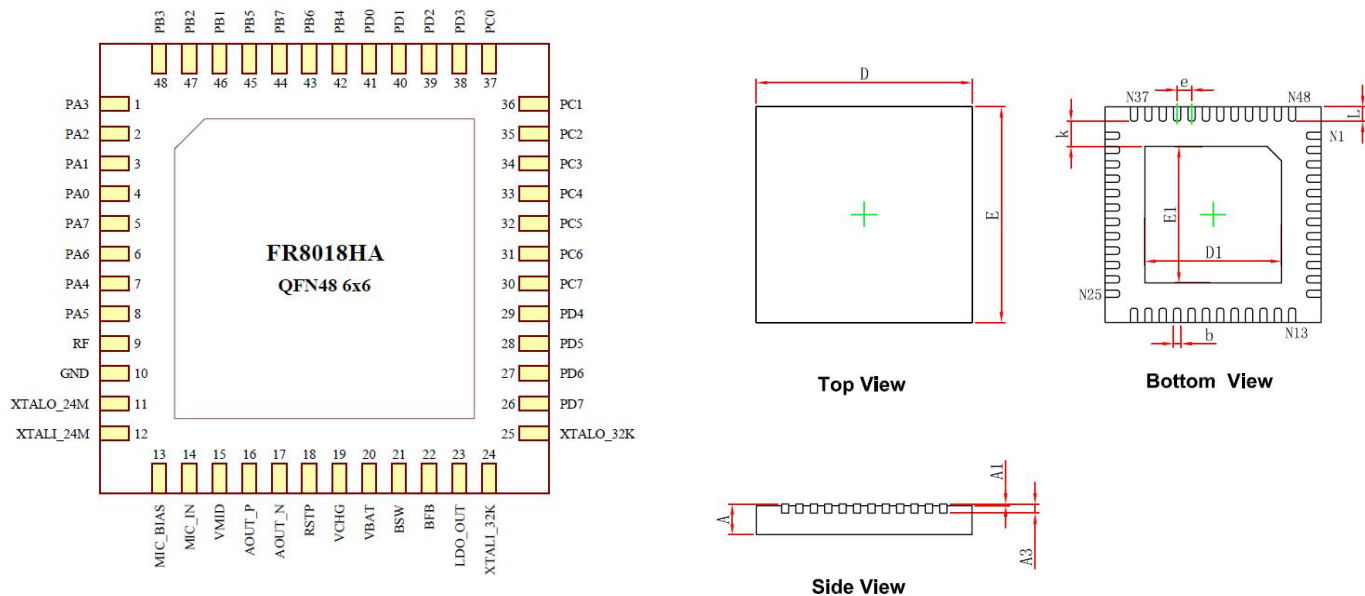
- FR8016HA 采用 QFN32 4x4 封装



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.70	2.80	2.90
e	0.40BSC		
Ne	2.80BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.70	2.80	2.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40
L/F载体尺寸	122X122		

## 2.3 FR8018HA 封装

- FR8018A 采用 QFN48 6x6 封装



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	5.924	6.076	0.233	0.239
E	5.924	6.076	0.233	0.239
D1	3.700	3.900	0.146	0.154
E1	3.700	3.900	0.146	0.154
k	0.200MIN.		0.008MIN.	
b	0.150	0.250	0.006	0.010
e	0.400TYP.		0.016TYP.	
L	0.324	0.476	0.013	0.019

## 2.4 FR801xH 引脚定义

符号	说明
I	数字输入
O	数字输出
DIO	数字双向传输
AI	模拟输入
AO	模拟输出
AIO	模拟双向传输
PWR	电源
GND	地

引脚号			引脚名	类型	引脚功能
FR8018HA	FR8016HA	FR8012HB			
1	27	13	PA3	DIO	SDA1/I2SDIN/PWM3_P/SSPDIN/UTXD0/UTXD1/ANTCTL1/PDMDAT/PWM2_N
2	28	14	PA2	DIO	SCL1/I2SDOUT/PWM2_P/SSPDOUT/URXD0/URXD1/ANTCTL0/PDMCLK/PWM3_N
3	29	-	PA1	DIO	SDA0/I2SFRM/PWM1_P/SSPCSN/UTXD0/UTXD1/ANTCTL0/PDMDAT/PWM0_N
4	30	-	PA0	DIO	SCL0/I2SCLK/PWM0_P/SSPCLK/URXD0/URXD1/CLKOUT/PDMCLK/PWM1_N
5	31	-	PA7	DIO	SDA1/I2SDIN/PWM1_P/SSPDIN/UTXD0/UTXD1/ANTCTL0/PDMDAT/PWM0_N
6	32	-	PA6	DIO	SCL1/I2SDOUT/PWM0_P/SSPDOUT/URXD0/URXD1/CLKOUT/PDMCLK/PWM1_N
7	1	-	PA4	DIO	SCL0/I2SCLK/PWM4_P/SSPCLK/URXD0/URXD1/CLKOUT/PDMCLK/PWM5_N
8	2	-	PA5	DIO	SDA0/I2SFRM/PWM5_P/SSPCSN/UTXD0/UTXD1/ANTCTL1/PDMDAT/PWM4_N
-	3	-	LED2	O	指示灯控制脚
-	4	-	N/A	-	悬空
9	5	15	RF	AIO	天线接口
10	6	3, 16	GND	GND	地

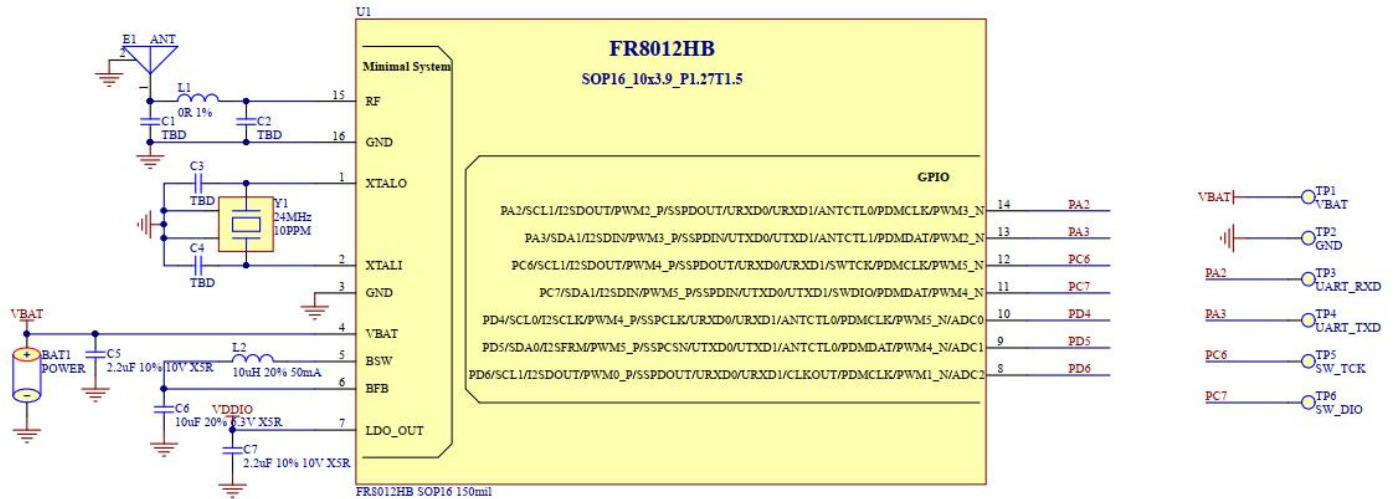
11	7	1	XTALO_24M	AO	24MHz 晶振输出端
12	8	2	XTALI_24M	AI	24MHz 晶振输入端
13	9	-	MIC_BIAS	AO	麦克风电源输出
14	10	-	MIC_IN	AI	麦克风输入
15	11	-	VMID	AI	共模电源输出
16	12	-	AOUT_P	AO	音频差分输出正端
17	13	-	AOUT_N	AO	音频差分输出负端
18	14	-	RSTP	AI	复位脚 (高电平有效)
19	15	-	VCHG	PWR	充电输入
20	16	4	VBAT	PWR	电源输入
21	17	5	BSW	AO	DC/DC 输出
22	18	6	BFB	AI	DC/DC 反馈输入端
23	19	7	LDO_OUT	AO	LDO 电源输出 (软件可配输出电源范围 1.8V-3.5V)
24	-	-	XTALI_32K	AI	32KHz 晶振输入端
25	-	-	XTALO_32K	AO	32KHz 晶振输出端
26	20	-	PD7	DIO	SDA1/I2SDIN/PWM1_P/SSPDIN/UTXD0/UTXD1/ANTCTL1/ PDMDAT/PWM0_N/ADC3
27	21	8	PD6	DIO	SCL1/I2SDOUT/PWM0_P/SSPDOUT/URXD0/URXD1/CLKO UT/PDMCLK/PWM1_N/ADC2
28	22	9	PD5	DIO	SDA0/I2SFRM/PWM5_P/SSPCSN/UTXD0/UTXD1/ANTCTL0 /PDMDAT/PWM4_N/ADC1
29	23	10	PD4	DIO	SCL0/I2SCLK/PWM4_P/SSPCLK/URXD0/URXD1/ANTCTL0/ PDMCLK/PWM5_N/ADC0
30	24	11	PC7	DIO	SDA1/I2SDIN/PWM5_P/SSPDIN/UTXD0/UTXD1/SWDIO/P DMDAT/PWM4_N
31	25	12	PC6	DIO	SCL1/I2SDOUT/PWM4_P/SSPDOUT/URXD0/URXD1/SWTC K/PDMCLK/PWM5_N
32	26	-	PC5	DIO	SDA0/I2SFRM/PWM5_P/SSPCSN/UTXD0/UTXD1/SWV/PD MDAT/PWM4_N
33	-	-	PC4	DIO	SCL0/I2SCLK/PWM4_P/SSPCLK/URXD0/URXD1/ANTCTL1/ PDMCLK/PWM5_N
34	-	-	PC3	DIO	SDA1/I2SDIN/PWM3_P/SSPDIN/UTXD0/UTXD1/SWV/PDM DAT/PWM2_N
35	-	-	PC2	DIO	SCL1/I2SDOUT/PWM2_P/SSPDOUT/URXD0/URXD1/SWV/ PDMCLK/PWM3_N
36	-	-	PC1	DIO	SDA0/I2SFRM/PWM1_P/SSPCSN/UTXD0/UTXD1/SWV/PD MDAT/PWM0_N



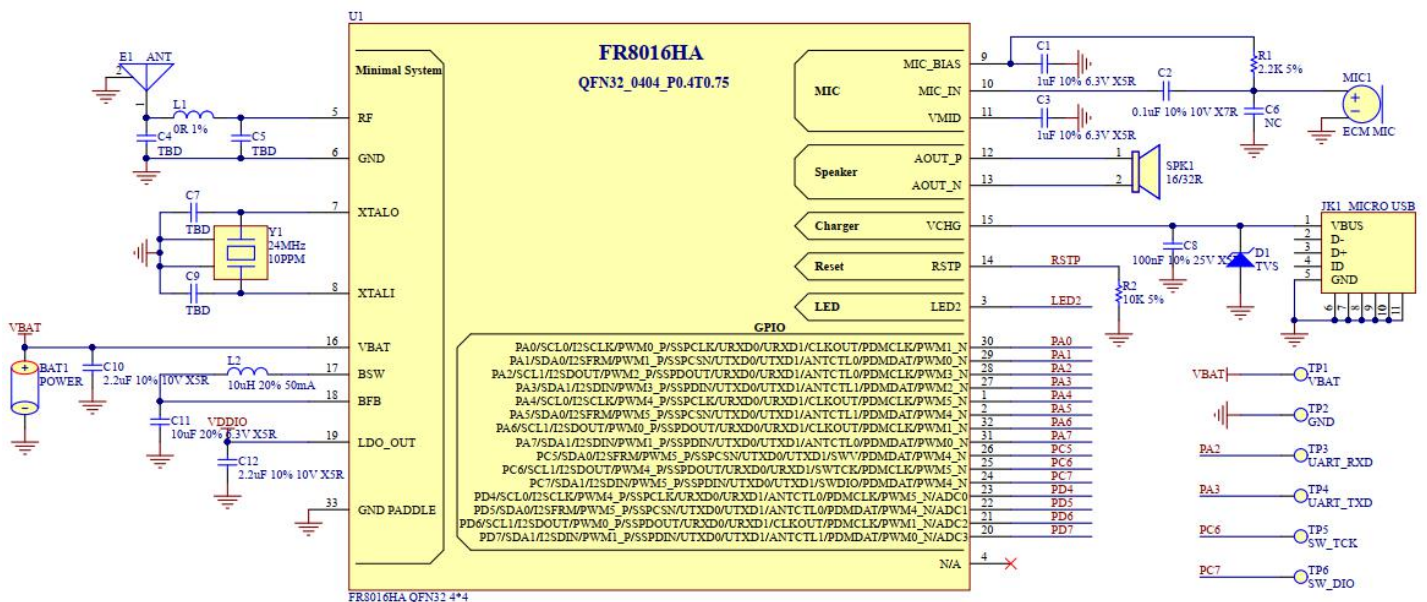
37	-	-	PC0	DIO	SCL0/I2SCLK/PWM0_P/SSPCLK/URXD0/URXD1/SWV/PDMCLK/PWM1_N
38	-	-	PD3	DIO	SDA1/I2SDIN/PWM3_P/SSPDIN/UTXD0/UTXD1/WLANRX/PDMDAT/PWM2_N
39	-	-	PD2	DIO	SCL1/I2SDOUT/PWM2_P/SSPDOUT/URXD0/URXD1/WLAN TX/PDMCLK/PWM3_N
40	-	-	PD1	DIO	SDA0/I2SFRM/PWM1_P/SSPCSN/UTXD0/UTXD1/BLERX/PDMDAT/PWM0_N
41	-	-	PD0	DIO	SCL0/I2SCLK/PWM0_P/SSPCLK/URXD0/URXD1/BLETX/PDMCLK/PWM1_N
42	-	-	PB4	DIO	SCL0/I2SCLK/PWM4_P/SSPCLK/URXD0/URXD1/CLKOUT/PDMCLK/PWM5_N
43	-	-	PB6	DIO	SCL1/I2SDOUT/PWM2_P/SSPDOUT/URXD0/URXD1/ANTCTL1/PDMCLK/PWM3_N
44	-	-	PB7	DIO	SDA1/I2SDIN/PWM3_P/SSPDIN/UTXD0/UTXD1/CLKOUT/PDMDAT/PWM2_N
45	-	-	PB5	DIO	SDA0/I2SFRM/PWM5_P/SSPCSN/UTXD0/UTXD1/ANTCTL0/PDMDAT/PWM4_N
46	-	-	PB1	DIO	SDA0/I2SFRM/PWM1_P/SSPCSN/UTXD0/UTXD1/BLERX/PDMDAT/PWM0_N
47	-	-	PB2	DIO	SCL1/I2SDOUT/PWM2_P/SSPDOUT/URXD0/URXD1/WLAN TX/PDMCLK/PWM3_N
48	-	-	PB3	DIO	SDA1/I2SDIN/PWM3_P/SSPDIN/UTXD0/UTXD1/WLANRX/PDMDAT/PWM2_N

## 3. 参考设计

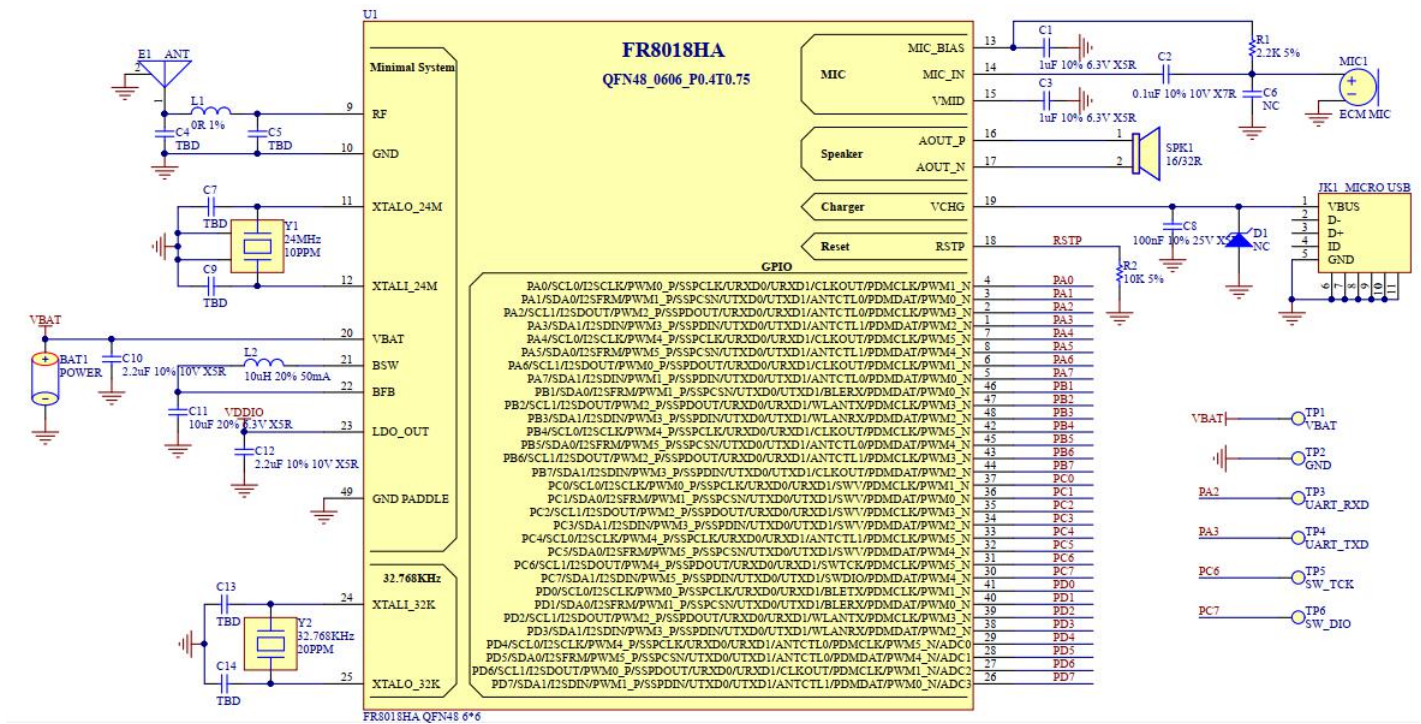
### 3.1 FR8012HB 参考设计



### 3.2 FR8016HA 参考设计



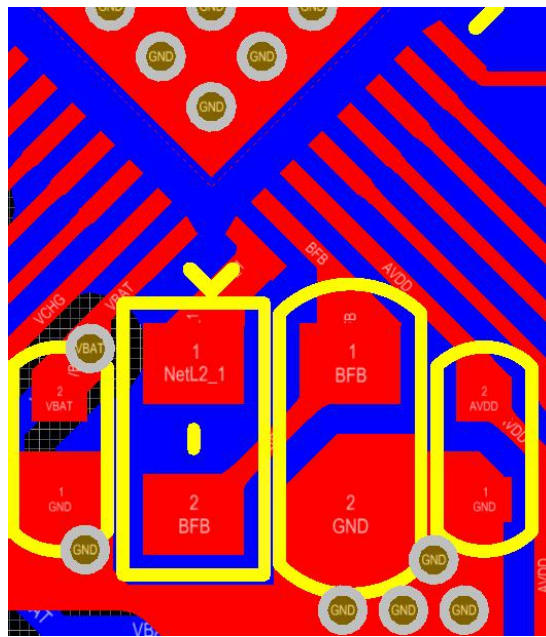
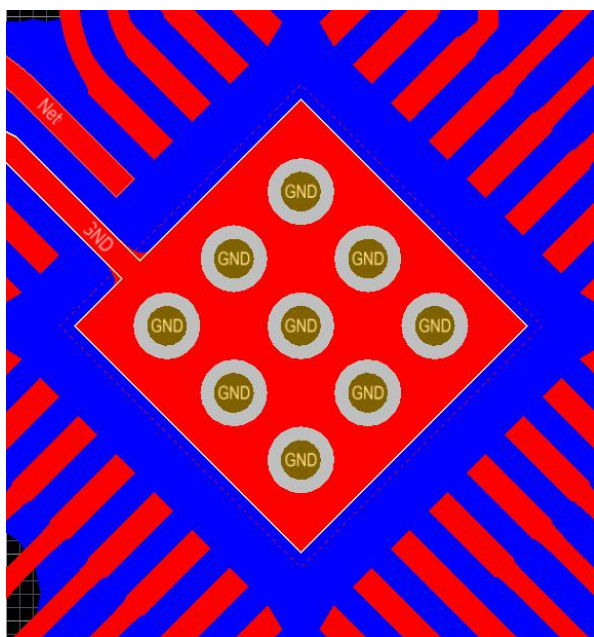
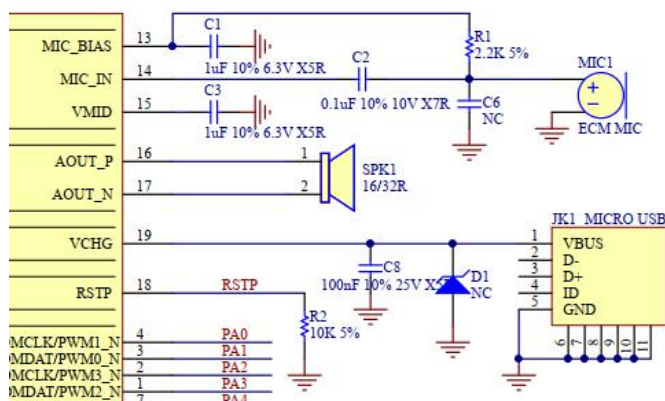
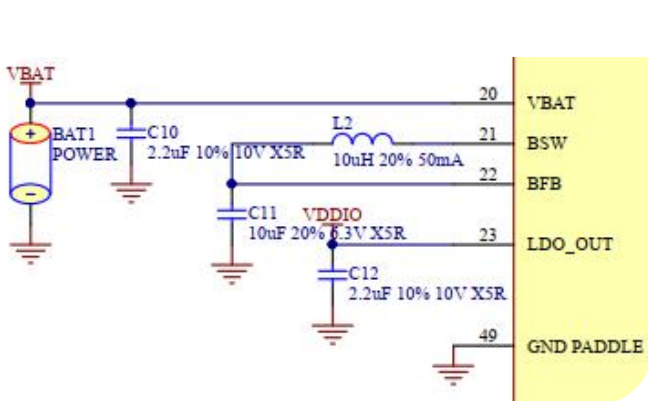
### 3.3 FR8018HA 参考设计



## 4. 应用设计注意事项

### 4.1 电源

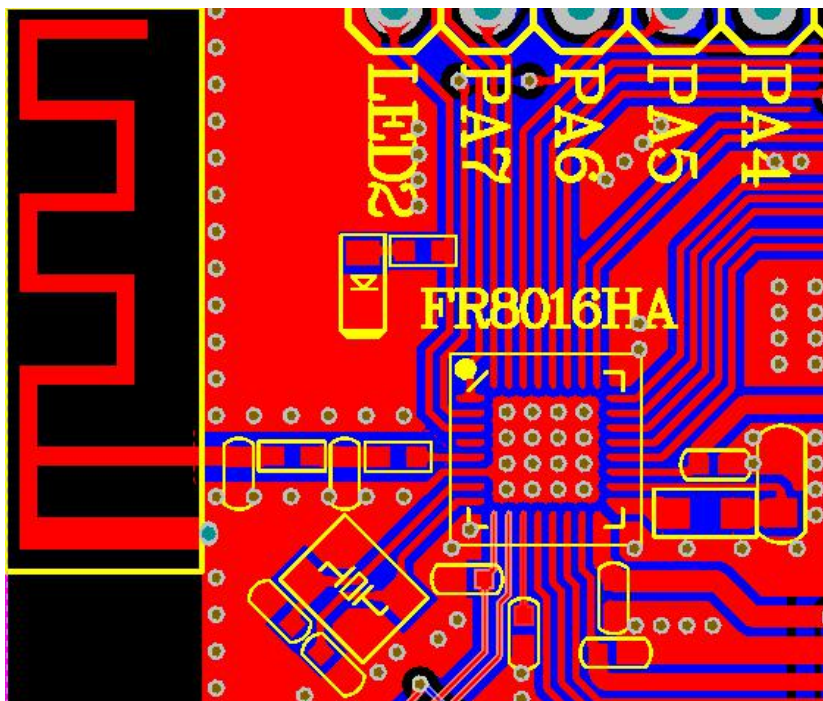
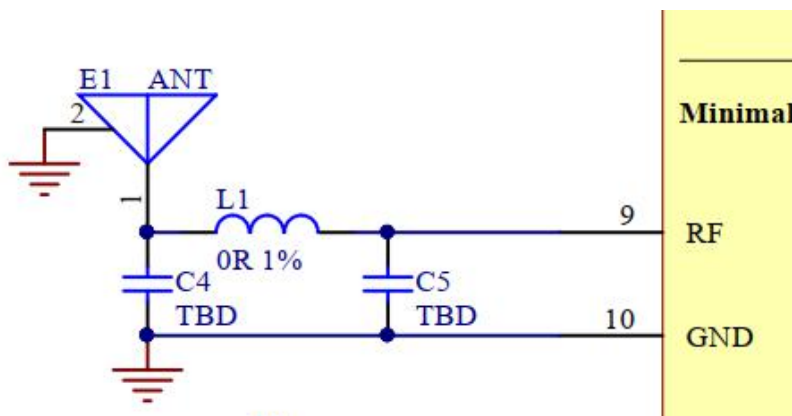
- FR801xH 系列芯片供电电源电压范围为 1.8V~4.3V，可使用锂电池、纽扣电池、干电池供电。
- 电源引脚 MIC\_BIAS、VMID、VCHG、VBAT、LDO\_OUT 的滤波电容尽量靠近 IC 相应引脚放置，滤波电容的地必须就近接到 IC 的地，确保滤波效果。
- 应用中不需要麦克风功能时，麦克风电路部分元件可以省去；VMID 脚电容可以省掉。
- 应用中不需要充电功能时，充电电路部分元件可以省去。
- BSW 为内部 DC/DC 模块 1.5M 开关信号输出脚，L2 电感靠近 BSW 脚放置，C11 滤波电容靠近 L2 放置，走线尽量短和宽且先经电容后再进芯片引脚。
- L2 电感值不小于 4.7uH，推荐 10uH，额定电流大于 50mA，直流电阻小于 1ohm，选用功率叠层电感或者绕线电感。电感因实际工作电流超过额定电流会导致饱和，造成电感发热、输出纹波、效率变低。
- 芯片底部焊盘至少放 9 个地孔连接到地平面，确保接地良好。





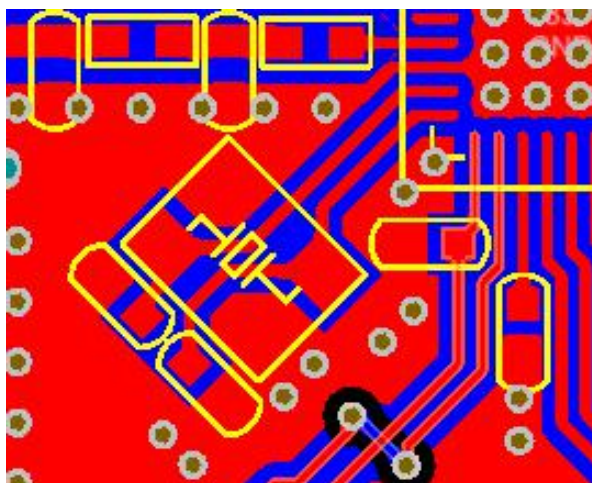
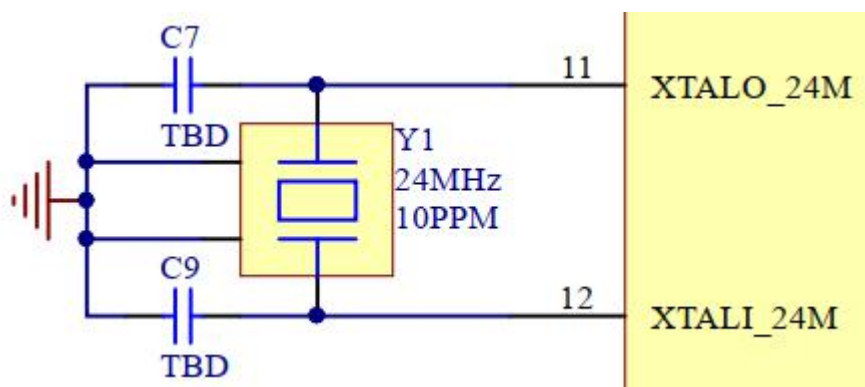
## 4.2 射频

- 射频走线需要走 50ohm 阻抗线，走线尽量短和宽，不要有过孔，最好和芯片同层。不能走直角，尽量使用圆弧走线或 135° 角走线，走线宽度保持一致，避免分支走线，周围地孔屏蔽。确保射频走线底层有完整的地平面，并且与芯片底部的 GND 相连。
- 预留  $\pi$  形匹配电路，靠近芯片 RF 脚放置，用于天线匹配，天线匹配阻抗往 50 $\Omega$  方向调，元件参数值根据天线和 PCB 布局实测后确定。
- 天线尽量使用倒 F 形。
- 天线必须放置在板边，严禁被 GND 包裹，且正反面需要净空区，远离金属和电池，远离高频噪声源。



### 4.3 晶振

- 晶振走线尽量短，尽量不要有过孔，与 RF 微带线之间用地线隔离。负载电容靠近晶振放置，晶振底层尽量不要走其它信号线，晶振周围包地处理。晶振为敏感元件，不得靠近磁感应元件，远离 BSW 脚的电感。
- 晶振选用 24MHz，频率公差 $\pm 10\text{PPM}$ ，负载电容 6pF-12pF（具体值通过实测系统后确定）。由于晶振自身频偏过大，工作温度稳定度差等原因，可能会导致 FR801xH 性能指标下降，甚至无法工作。推荐选用外壳接地的贴片晶振，性能更加稳定。
- 实际应用中，即使物料不变，由于布局、PCB 板材等差异会产生频偏，因此每个方案量产前都需要取几台样机测量一下频偏，通过调整晶振负载电容或者相应寄存器的值使得频偏控制在 $\pm 30\text{KHz}$  以内。

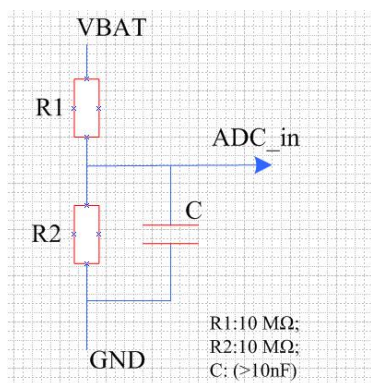


## 4.4 GPIO

- 所有管脚可以被配置为输入和输出 2 种状态。GPIO 管脚的高电平输出为 LDO\_OUT 脚电压，LDO\_OUT 脚电压值可通过 API 配置。在电池电压 VBAT 大于 3.0V 时，固定为 3.0V，电池电压 VBAT 小于 3.0V 时，LDO\_OUT = VBAT。GPIO 做为输入模式时的门限是，高电平需要  $> 0.7 * \text{LDO\_OUT}$  脚电压，低电平需要  $< 0.3 * \text{LDO\_OUT}$  脚电压。
- 管脚 PA2、PA3 在系统初始化运行时，内部固化的 rom code 会配置为 uart0 的控制管脚。PA3 会输出内部 uart 打印信息，PA2 会接收外部的打印信息。
- LED2 上电默认高电平且内部有强上拉，其它 IO 默认为 floating 状态。

## 4.5 通过 ADC 采样分压电路分压获取电池电压

- 分压电路建议采用 2 分压或 3 分压电路，ADC 的采样范围为 0~LDO\_OUT，LDO\_OUT 值可以调用 `pmu_set_aldo_voltage()` 函数在 `user_entry_before_ble_init()` 入口函数内设置。
- 如果不设置，则系统默认为 3.0V，建议测量管脚 LDO\_OUT 以确认该电压值。
- 假设 LDO\_OUT 电压值设置为 3.0V，在电池电压 VBAT 大于时，固定为 3.0V，电池电压 VBAT 小于 3.0V 时，LDO\_OUT = VBAT。
- 分压电路建议采取如下电路，分压电阻为 2 个 10M 欧，降低功耗，电容 C 大于 10nF 即可。



注意：这里只是做一个 ADC 采样的示例，VBAT 可以换其他的待测量电压值。获取电池电压，也可以直接调用 `driver_adc.c` 中 `adc_get_result` 函数，参数配置成获取 VBAT 即可获取，不需要外接分压电路。

## 4.6 中断管脚接线

- 当外部模块有中断管脚要接入芯片的 GPIO 管脚时，如果中断脚高平时电压大于 3.0V，需要在模块的中断脚与芯片的 GPIO 管脚之间加入 1 kΩ 限流电阻，否则中断管脚会拉高芯片内部的 LDO\_OUT 电压。

## 4.7 LED 管脚接线

- 使用芯片自带的 LED 管脚控制 LED 时，建议使用灌流驱动的方式（如图 4.7.1）。



图 4.7.1

## 4.8 系统设计

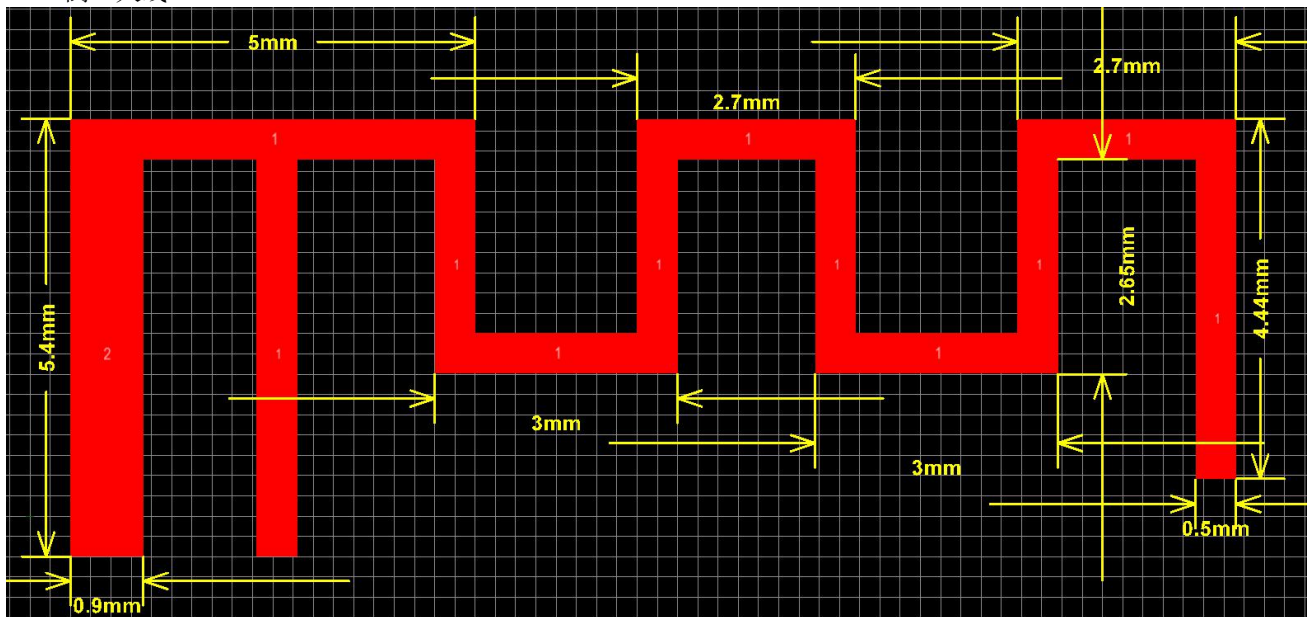
- 每个方案量产前，需要抽取几台样机，根据实际使用的晶振、天线进行频偏和天线阻抗匹配调试。如果不做频偏和天线阻抗匹配调试，会影响射频性能，表现为搜索连接时间长、收发数据不稳定、断线等等。
- 系统中有电机等高功率器件，在 PCB 设计时，务必把蓝牙部分的 GND 回路与高功率器件的 GND 回路分开，然后单点连接到电源地。



## 5. PCB 天线

- PCB 板载天线可满足一般应用需求，但是性能稍差、易受干扰，优点是成本低廉、整机组装方便。对于产品尺寸小、性能要求高的应用，请选用贴片陶瓷天线或外置天线。

- 倒 F 天线



## 联系方式 Contact Information

**Website:** [www.freqchip.com](http://www.freqchip.com)

**Sales Email:** [sales@freqchip.com](mailto:sales@freqchip.com)

**Phone:** +86-21-5027-0080

## 修订历史 Revision History

### Feedback:

Freqchip welcomes feedback on this product and this document. If you have comments or suggestions, please send an email to [doc@freqchip.com](mailto:doc@freqchip.com).

Reversion Number	Reversion Date	Description
V1.0	2020.2.29	Initial Draft