

Halbleitertechnik IV- Nano Electronics

Friedrich-Alexander-Universität Erlangen-Nürnberg | Lehrstuhl für Elektronische Bauelemente | Cauerstraße 6 | 91058 Erlangen | www.leb.tf.fau.de | Michael Jank

Organizational remarks and objectives

Introduction



Halbleitertechnik IV – Nano Electronics
FAU Erlangen-Nürnberg | Lehrstuhl für Elektronische Bauelemente | Cauer-
straße 6 | 91058 Erlangen | www.leb.tf.fau.de | Name Dozentin/ Dozent

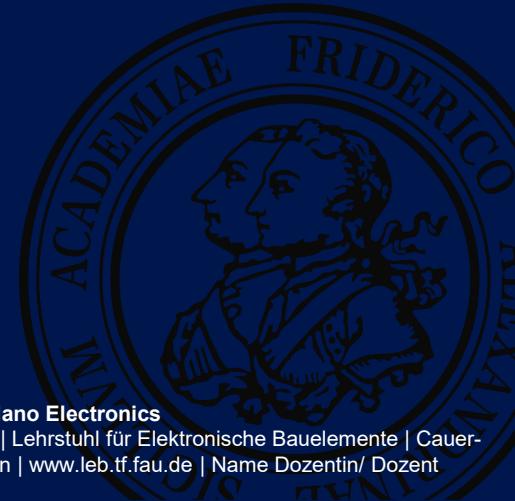


About

Lecture, scheduling and exam?



Halbleitertechnik IV – Nano Electronics
FAU Erlangen-Nürnberg | Lehrstuhl für Elektronische Bauelemente | Cauerstraße 6 | 91058 Erlangen | www.leb.tf.fau.de | Name Dozentin/ Dozent



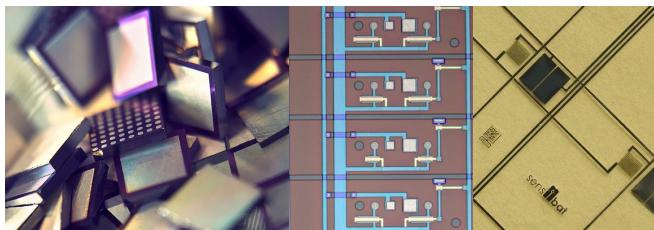
Kontaktinformationen

Ansprechpartner und weitere Informationen



Dr.-Ing. Michael Jank, Fraunhofer IISB

**Head of Department
R&D Semiconductor Devices
and Processing**



Si/SiC power devices Display-TFTs Sensors

Consultation: please make an appointment by e-mail

Weitere Informationen:

- Electronic documents are accessible via StudOn
- Detailed information regarding this lecture and other LEB courses can be found at <https://www.leb.tf.fau.de/lehre/>

LEB – Chair of Electron Devices

E-Mail michael.jank@fau.de

Website <https://www.leb.tf.fau.de>

Nano Electronics 2023 – Ordinary Lectures

- Lecture
 - *weekly on-site meeting is held in Room 0.111, Cauerstr. 6 (LEB)*

Thursday, 10:15 Uhr until 11:45 Uhr

- Contents
 - *recap of previous session*
 - incl. exercises, if applicable
 - supplementary slides (if needed)
 - *lecture*
 - *organizational remarks*
- Please indicate open questions during course hours or throughout the week by e-mail

Nano Electronics 2023 – Online Lectures

- Online substitution of single lectures
 - *due to holidays (18 MAY/8 JUNE), the number of lectures is already reduced by two*
 - *thus, in case of absence the lecture will be recorded in advance and provided via StudOn / FAU video portal*
 - *as of now, this procedure is mandatory for*
 - 25 MAY
 - 13 JULY
- Contents on StudOn
 - *lecture*
 - *Exercises (for self-evaluation and deepening of content)*
- Please indicate open questions throughout the week by e-mail

Nano Electronics 2023 – Weekly Schedule

- Documents
 - *will be provided via StudOn*
 - presentation slides
 - secondary literature (extracts)
 - links
- Exercises
 - *related to documents*
 - exercises
 - multiple choice questions, matching exercises, etc.
 - *discussion in subsequent lecture*

Nano Electronics 2023 – FAQ

- General remarks
 - *exercises and their elaboration during the course do not contribute to grading (not included in module description)*
 - *however, their content may be subject of the exam!*
- Oral exams are held in fall and spring breaks
 - *for students of Nano Technology: Top-Down-Nanostrukturierung*
 - *for other students: Nano Electronics*
- “Disclaimer“
 - *these remarks are as of 20 APRIL 2023 and may be subject to adjustment*
 - *please refer to announcements in lecture and updates to the organization slides*

ingenium, die „sinnreiche Erfindung“

Was ist das übergeordnete Ziel der Ausbildung in Halbleitertechnik und Halbleitertechnologie? Wie bringt man „die geistigen Eltern“ halbleitertechnischer Systeme hervor? Worin wollen Sie Meisterschaft erlangen?



ingenium, die „sinnreiche Erfindung“

Worin wollen Sie Meisterschaft erlangen?



**LEB & IISB, die
Meisterwerk-
stätten
„Halbleitertechnik
und -technologie“
der
FAU Erlangen-
Nürnberg**

Jungmeisterschaft in Halbleitertechnik und -technologie bedeutet:

- Grundlegendstes theoretisches Verständnis der (Halbleiter-)Physik und (Halbleiter-)Chemie und der physikalisch-chemischen Eigenschaften der für eine Halbleitertechnik und -technologie erforderlichen Materialien und Werkstoffe
- Breites theoretisches Wissen über die Halbleitertechnik (= Funktionsweise der Halbleiterbauelemente)
- Breites Wissen über „Best Practice“-Prozess- und Maskensequenzen
- Breites Wissen über die Anwendungsfelder von Halbleiterbauelementen und die Vorgaben der Anwendungsfelder für die Halbleiterbauelemente
- Breites praktisches Können in der Halbleitertechnologie, das umfasst:
 - ❖ Techniken zur Materialsynthese
 - ❖ Techniken zur Materialbearbeitung (vom „Rohmaterial“ zum fertigen Halbleiterbauelement)
 - ❖ Entwicklung von neuartigen Prozess- und Maskensequenzen
 - ❖ Messtechniken zur Material- und Bauelementcharakterisierung

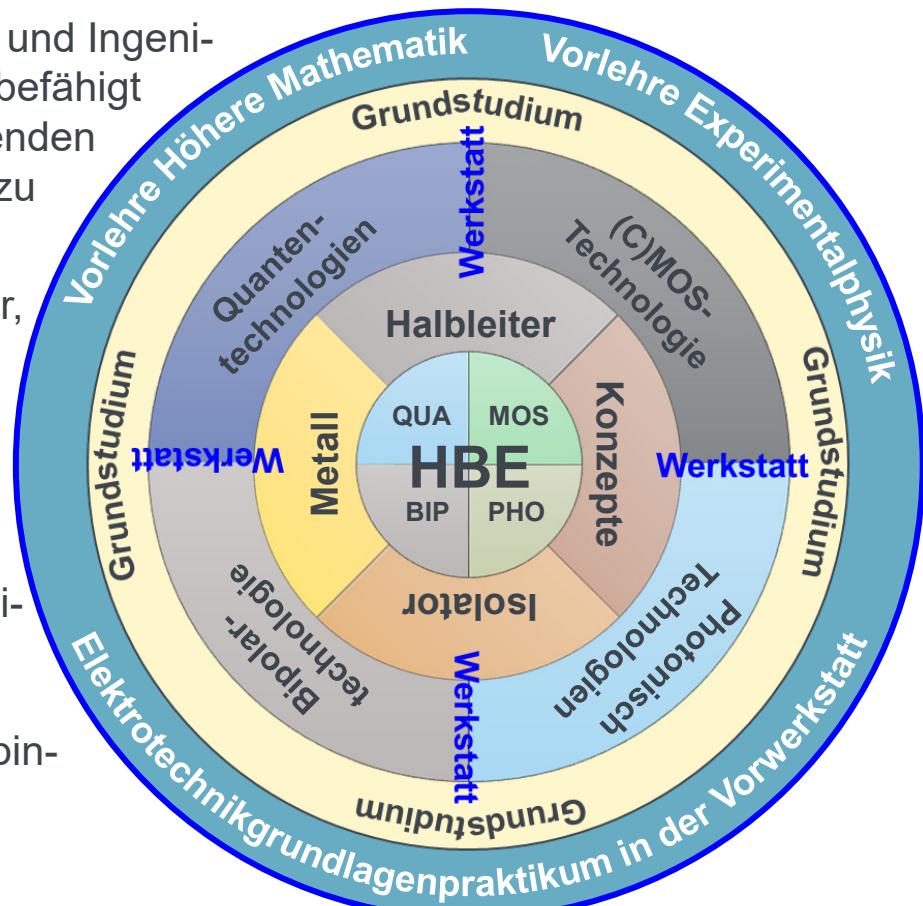
Vom Lehrling über den Gesellen zum Jungmeister ...

ingenium, die „sinnreiche Erfindung“

Zielsetzung des Lehr- & Forschungskonzeptes

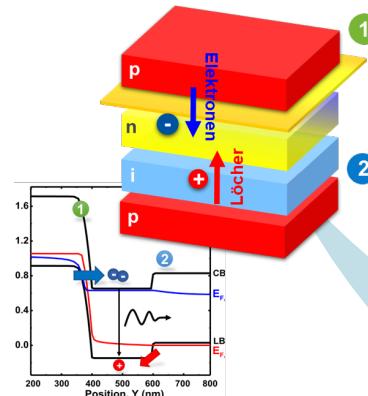
Ziel ist die Heranbildung junger Ingenieurinnen und Ingenieure (Jungmeisterinnen und Jungmeister), die befähigt sind, Halbleiterbauelemente (HBE) für die folgenden Anwendungsfelder zu erfinden, zu entwickeln, zu bauen und zu erproben:

- CMOS-Anwendungen (Digitallogik, Speicher, „Machine Learning“)
- MOS-, Bipolar- und BiCMOS-Anwendungen (RF, mmW-IC, Analog & „Mixed Signal“, Leistungselektronik, ...),
- Photonische Anwendungen (Photonische ICs, Telekommunikation, eMobility, biochemische/ medizinische Sensorik...),
- Quantentechnologische Anwendungen (KI, QComputer, QKryptographie, QSensorik, Spintronik, ...)

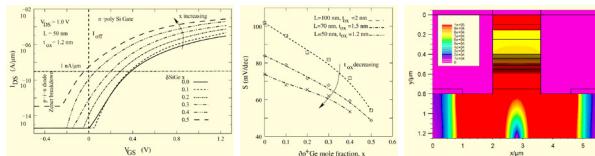


ingenium, die „sinnreiche Erfindung“

Ausbildung entlang des Designprozesses für Halbleiterbauelemente

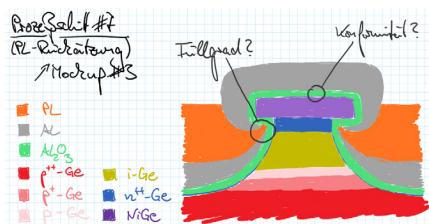


1 Von der ersten Idee ...



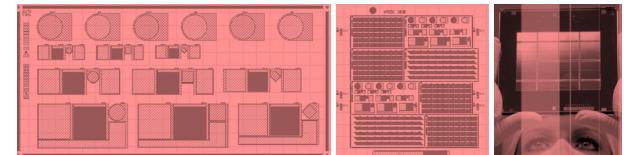
Modell- & Simulationsstudie I

Analyse der Herstellbarkeit

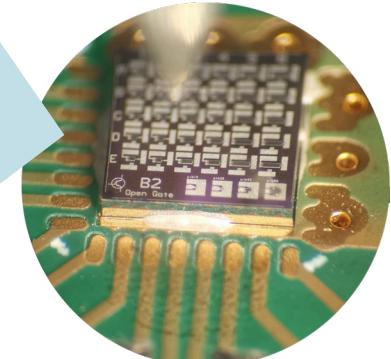


Maskenentwurf und -herstellung

Mockup-II (Gesamtprozeß)



... zum Prototypen



ingenium, die „sinnreiche Erfindung“

German only

Werkstattausbildung in Halbleitertechnik und Halbleitertechnologie



**LEB & IISB, die
Meisterwerk-
stätten
„Halbleitertechnik
und -technologie“
der
FAU Erlangen-
Nürnberg**



Vom Lehrling über den Gesellen zum Jungmeister ...



ingenium, die „sinnreiche Erfindung“

German only



Werkstattausbildung in Halbleitertechnik und Halbleitertechnologie



**LEB & IISB, die
Meisterwerk-
stätten
„Halbleitertechnik
und -technologie“
der
FAU Erlangen-
Nürnberg**



Vom Lehrling über den Gesellen zum Jungmeister ...

ingenium, die „sinnreiche Erfindung“

German only



Werkstattausbildung in Halbleitertechnik und Halbleitertechnologie



**LEB & IISB, die
Meisterwerk-
stätten
„Halbleitertechnik
und -technologie“
der
FAU Erlangen-
Nürnberg**



Vom Lehrling über den Gesellen zum Jungmeister ...

ingenium, die „sinnreiche Erfindung“

Werkstattausbildung in Halbleitertechnik und Halbleitertechnologie



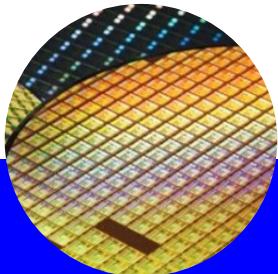
LEB & IISB, die
Meisterwerk-
stätten
„Halbleitertechnik
und -technologie“
der
FAU Erlangen-
Nürnberg



Studentische
Werkstattarbeiten
im Rahmen der
LEB/IISB-
Forschungen

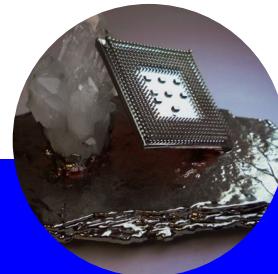
Bezahlte HiWi-
Tätigkeiten

(ab 1. Semester BS/MS)



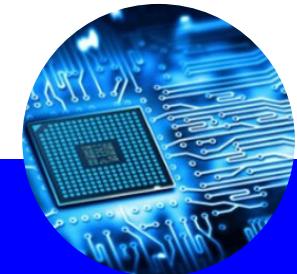
Studentische
Werkstattarbeiten
im Rahmen des
„LEB/IISB-Markt-
platzes der Ideen“

Eigenständige
Forschungstätigkeit
mit Unterstützung
der LEB/IISB-Teams
(ab 1. Semester, BS/MS)



Studentische
Qualifikations-
arbeiten im
Rahmen des
Studiums

Fachpraktika,
Bachelor-,
Forschungs- &
Masterarbeiten
(im Rahmen BS/MS)



Promotions-
forschung

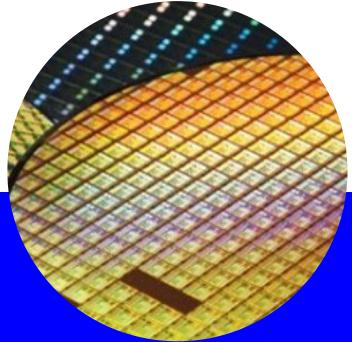
Dissertation

(nach MS)

Vom Lehrling über den Gesellen zum Jungmeister ...

ingenium, die „sinnreiche Erfindung“

Werkstattausbildung in Halbleitertechnik und Halbleitertechnologie



**Studentische
Werkstattarbeiten
im Rahmen des
„LEB/IISB-Markt-
platzes der Ideen“**

**Eigenständige
Forschungstätigkeit
mit Unterstützung
der LEB/IISB-Teams**

(ab 1. Semester, BS/MS)

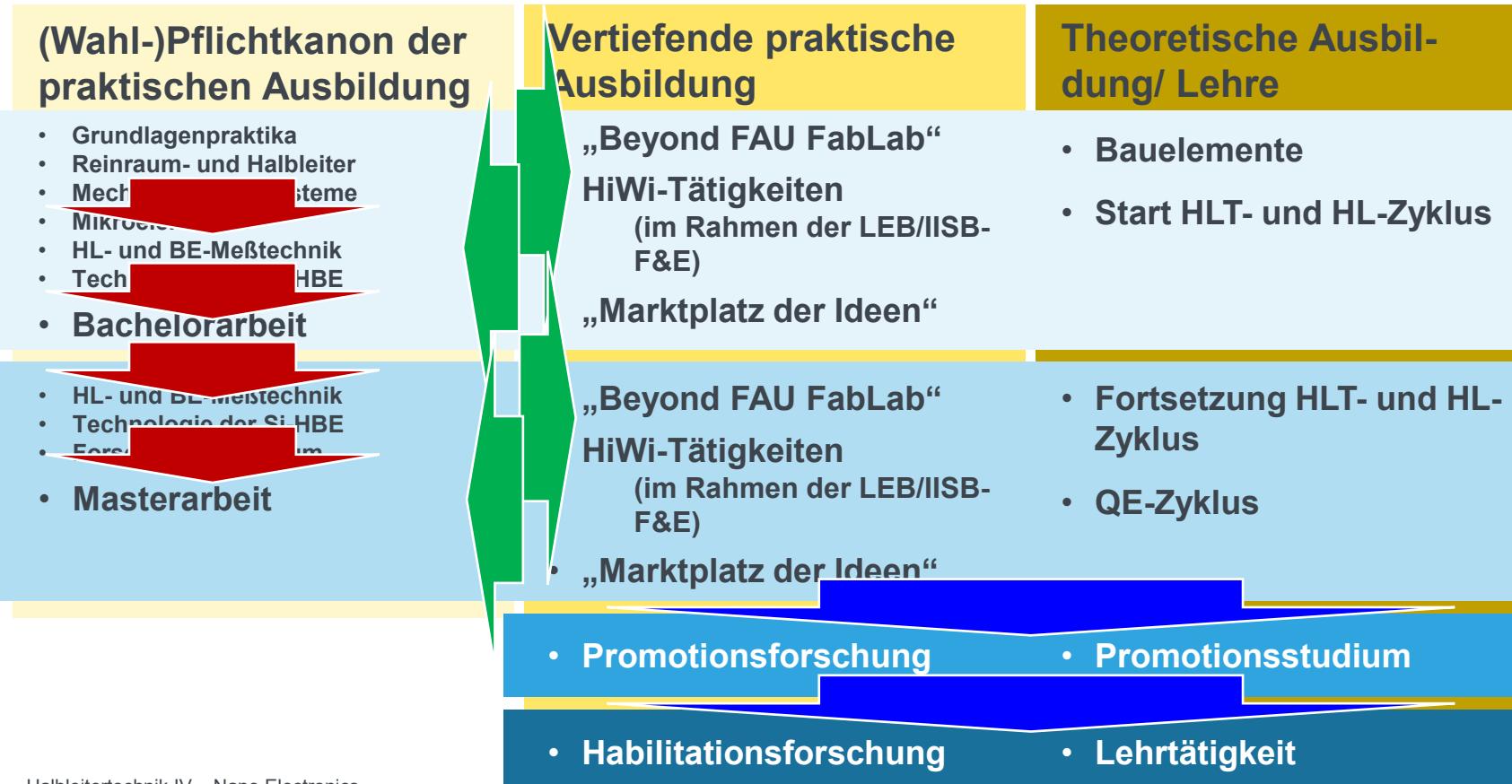
Ziel des **LEB/IISB-Marktplatzes der Ideen** ist die (zügige) Realisierung von neu aufgekommenen (Forschungs-)Ideen bzw. der Evaluierung des Potentials solcher Ideen. Es obliegt demjenigen, der die Idee vorbringt, den Forschungsplan auszuarbeiten, den Marktplatz einzuberufen und darzulegen. Zur Beurteilung der vorgebrachten Idee wird jeweils dynamisch ein Meisterrat zusammengestellt, der – bei Bewilligung – bei der Koordination der Forschungsaufgaben unterstützt und die Einarbeitung/ Unterweisung in die erforderlichen Techniken und Technologien koordiniert. Dabei unterstützen hauptsächlich die Jungmeister. Hier wird ein „Scrum“-ähnlicher Ansatz verfolgt. Dem Ideengeber/ der Ideengeberin obliegt dann primär die Umsetzung, Dokumentation und Berichtspflicht. Ziel ist dabei auch die frühestmögliche Einbindung junger Studentinnen und Studenten in die LEB/IISB-Forschungs- und Entwicklungsarbeiten (u. a. auch durch Anbietung studentischer Arbeits- und Lernplätze an den Instituten) und damit eine Stärkung der Bindung Lehrender-Lernender. Damit wird auch die Begegnung und Interaktion Lehrling-Geselle-Jungmeister-Altmeister vom frühestmöglichen Zeitpunkt an ermöglicht.

Vom Lehrling über den Gesellen zum Jungmeister ...

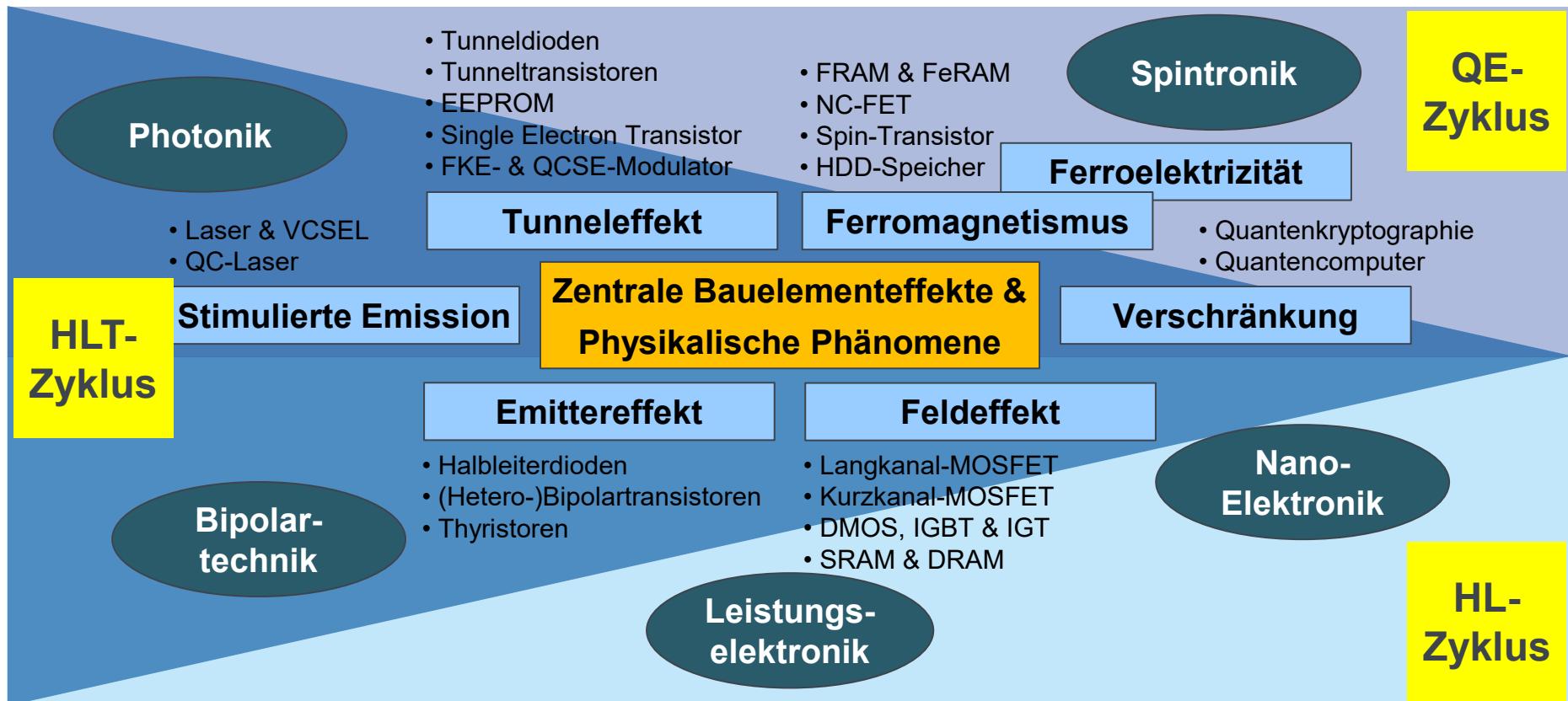


ingenium, die „sinnreiche Erfindung“

Säulen der theoretischen und praktischen Ausbildung



Theoretisches Studium der Halbleitertechnik und Halbleitertechnologie



Grundlagenvorlesung

- Halbleiterbauelemente (HBE), WiSe & SoSe

Vorlesungszyklus zur Halbleitertechnologie (HLT)

- Halbleitertechnologie I – Technologie integrierter Schaltungen (HLT I), WiSe
- Halbleitertechnologie II – Prozeß- und Bauelementesimulation (HLT II), SoSe
- Halbleitertechnologie III – Zuverlässigkeit und Fehleranalyse integrierter Schaltungen (HLT III), WiSe
- Halbleitertechnologie IV – Optische Lithographie (HLT IV), WiSe

Hinweis: Die HLT I sollte zum guten Einstieg vor allen anderen HLT-Vorlesungen gehört werden. Danach kann der HLT-Zyklus in beliebiger Reihenfolge fortgesetzt werden.

Vorlesungszyklus zur Halbleitertechnik (HL)

- Halbleitertechnik I – Bipolartechnik (HL I), SoSe
- Halbleitertechnik II – CMOS-Technik (HL II), ab WiSe 2022/23
- Halbleitertechnik III – Leistungshalbleiterbauelemente (HL III), WiSe
- Halbleitertechnik IV – Nanoelektronik (HL IV), SoSe
- Halbleitertechnik V – Halbleiter- und Bauelementemesstechnik (HL V), SoSe
- Halbleitertechnik VI – Flexible Elektronik (HL VI), WiSe

Hinweis: Die Vorlesungen HL I bis HL III bauen logisch aufeinander auf und sollten in dieser Reihenfolge absolviert werden. Die anderen HL-Vorlesungen können unabhängig davon in beliebiger Reihenfolge gehört werden.

Vorlesungszyklus zur Quantenelektronik (QE)

- Quantenelektronik I – Einführung in die Quantenmechanik (QE I), WiSe
- Quantenelektronik II – Einführung in die Quantentechnologien (QE II), SoSe
- Quantenelektronik III – Tunnel- und „Quantum Well“-Bauelemente (QE III), ab WiSe 2022/23
- Quantenelektronik IV – Spintronik und „Quantum Computation“ (QE IV), ab SoSe 2023
- Quantenelektronik Z – Ausgewählte Kapitel der höheren Physik (QE Z), Vorlesungsaufzeichnung im Rahmen der **Stuttgarter Vorlesungsreihen zur Halbleitertechnik und Halbleitertechnologie**

Hinweis: Die Vorlesungen QE I und QE II bzw. QE III und QE IV bauen logisch aufeinander auf und sollten in dieser Reihenfolge absolviert werden. Das Vorlesungspaar QE I & II kann unabhängig vom Vorlesungspaar QE III & IV gehört werden. QE Z kann unabhängig von QE I bis QE IV absolviert werden.

ingenium, die „sinnreiche Erfindung“

Ferienakademie im Sarntal, Südtirol

German only



Akademiezyklus zur Mikro- und Nanoelektronik

Leistungselektronik – Schlüsseltechnologie für
eMobilität und „Smart Grids“

Nanoelektronik I – Von CMOS zu molekularen Schalten
Nanoelektronik II – Die Grenzen der Nanoelektronik

TUM FAU

<https://ferienakademie.de/>

ingenium, die „sinnreiche Erfindung“

Pathways through LEB courses



Reference to an earlier (stage) or future course,
not offered by LEB

Reference to LEB course at earlier stage of
curriculum (basic courses)

Reference to a future or current (parallel) LEB
course

Indicative for your own research at LEB/IISB →
Workshop Concept and qualification (B.S./M.S.
theses, etc.) at LEB/IISB

Objectives of the lecture

Mission and goals?



Objectives of the lecture

Primary Goal

- Development of comprehensive knowledge about the **limitations of classical semiconductor devices** and
- How can these **limitations be overcome**, in particular by application of linewidths of single nm dimension (**ultra-large scale integrated memory and data processing architectures** for devices and systems)
- The lecture **lays a foundation** for your contribution to the establishment of **future high-performance IT systems** and for your direct involvement in basic and application-related research on **neuromorphic and quantum technologies**

Contents

Topics addressed in the lecture



Contents of the lecture

Overview of chapters

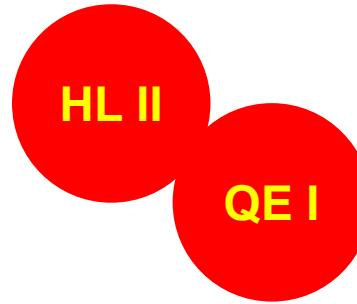
- Introduction (1)
- Basics (repetition)
 - *Carrier transport in semiconductors* (2)
 - *p-n junctions and MOS field-effect transistors* (3)
- Skaling
- Nano materials and novel IT architectures



Contents of the lecture

Overview of chapters

- Introduction (1)
- Basics (repetition)
- Skaling
 - *Rules of scaling* (4)
 - *Short-channel effects* (5)
 - *Tunneling in MOS strukturen* (6)
 - *MOS memory devices* (7)
 - *Optimization of drain currents* (8)
 - *Novel architectures* (9)
- Nano materials and novel IT architectures



Contents of the lecture

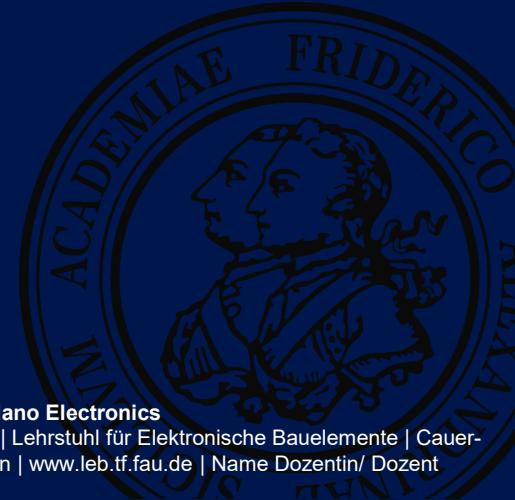
Overview of chapters

- Introduction (1)
- Basics (repetition)
- Skaling
- Nano Materials and novel IT architectures
 - *Semiconductor nanowires (10)*
 - *Crabon and 2D materials (11)*
 - *Neuromorphic Systems (12)*
 - *Integrated quantum technologies (13)*



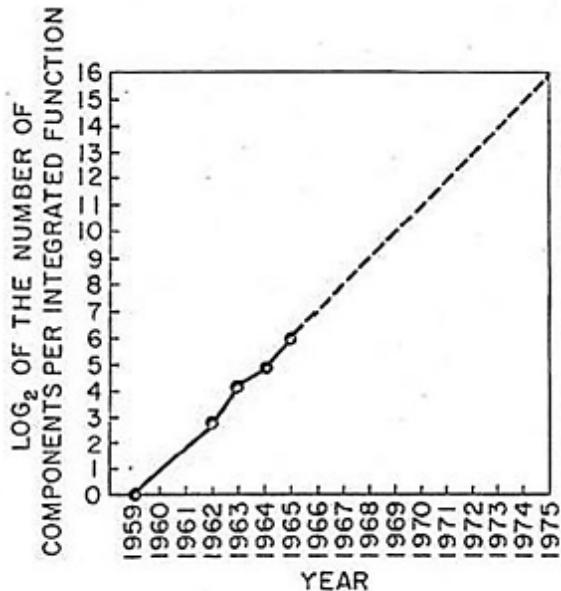
Motivation

Background to the objectives

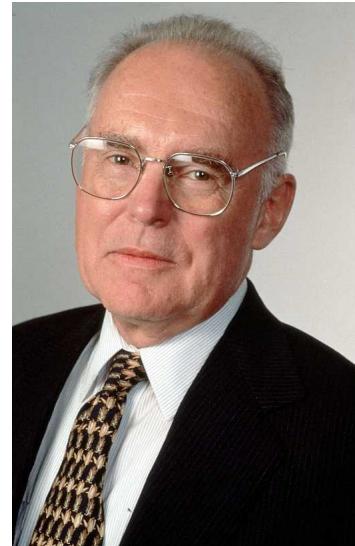


Nano Electronics

- Moore's Law (1965)



G. Moore, *Electronics* 38(1965)114–117



Gordon E. Moore

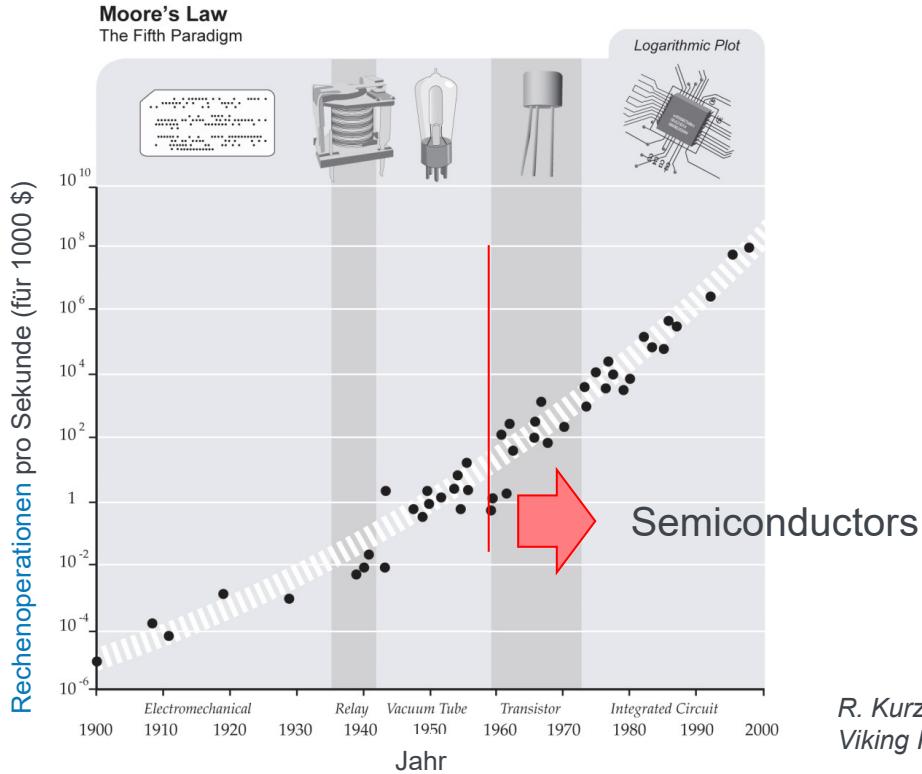
student.fortlewis.edu/~kssmith/MOORE.HTM



„Almost everything related to the semiconductor industry approximates a straight line when plotted on semi-log papers.“

Nanoelektronik

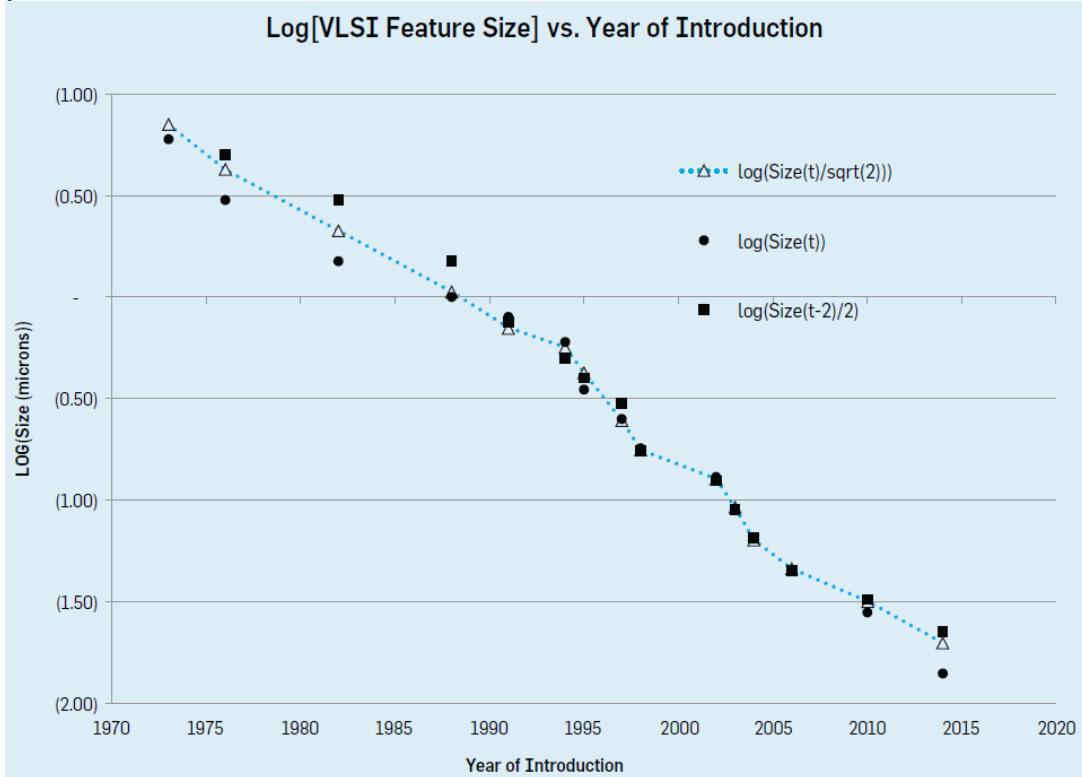
- Examples for Moore's law



R. Kurzweil, *The singularity is near*,
Viking Press, 2005

Nanoelektronik

- Examples for Moore's law



PJ Denning, TG Lewis:
Exponential Laws of
Computing Growth,
Comms. ACM, 60 (2017) 54

Nanoelektronik

- Moore's law as a mission

- *On device level:*

- Solutions for steady reduction of dimensions
 - ➡ Scaling
 - ➡ Reduction of switching losses and signal propagation times

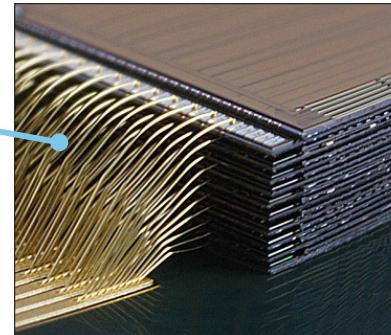
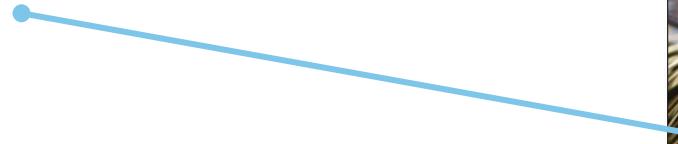
- Efficient integration

- *On system level:*

- Parallelization
- Inter-chip connections
- Networks
- Cooling

- *On societal level:*

- Acceptance of technologies
- Demand for increased performance

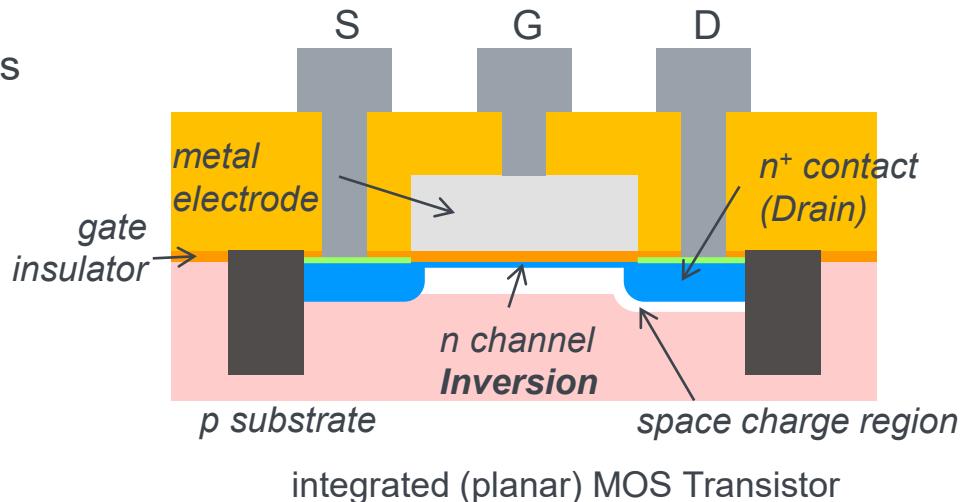


MultiChip Package, Elpida

[https://bit-tech.net/reviews/tech/memory/
the_secrets_of_pc_memory_part_2/6/](https://bit-tech.net/reviews/tech/memory/the_secrets_of_pc_memory_part_2/6/)

Nano Electronics – Definition

- Microelectronics widely adopts and produces nm-sized ($<0,1 \mu\text{m}$) features since the 1980ies
 - *gate insulators (thickness)*
 - *functional interface layers*
- Definition after Paolo Gargini, INTEL:
 - *Nano electronics is not only defined by structures sizes in the nm range (partly also in more than one direction), rather:*



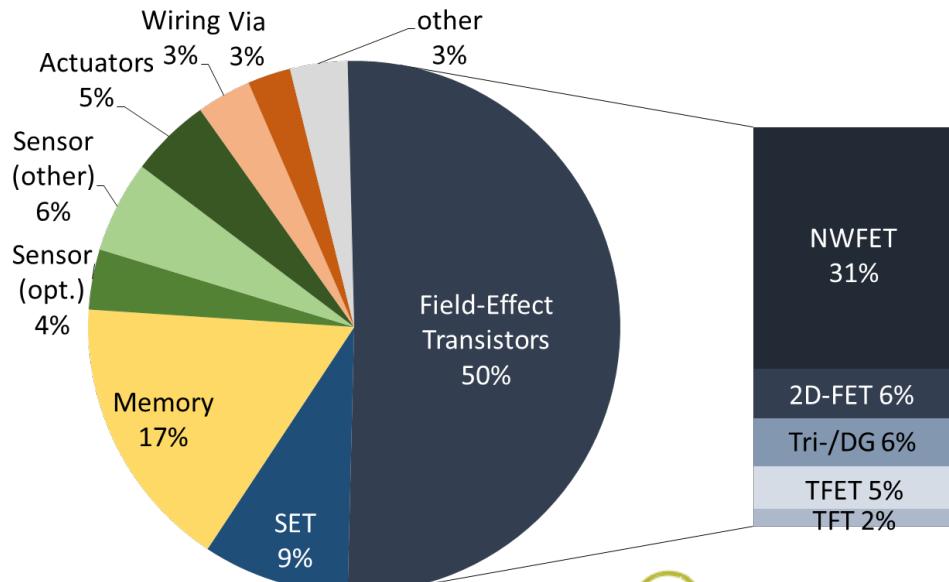
⇒ the nano structure has a direct physical effect on the device properties

Nano Electronics – Permanent Scaling

- Basis for the ever increasing density of functions per area in **silicon technology**
 - *Ultra-large scale integration – devices and technologies*
 - *Quantum mechanical effects of scaling*
 - *Novel materials and architectures*
- Ultimate-scale integrated devices
 - *3D channel architecture*
 - *Memory concepts*
 - *Quantum devices*
- Technologies for realization of nanostructures
 - ***Top-Down- vs. Bottom-up-Processing***

Nanostructures in ultimate-scale integrated devices

- Functional segmentation



Abkürzungen	
NW-FET	Nanowire field-effect transistor (FET)
2D-FET	Dual-gate FET
Tri-FET	Tri-gate FET
TFET	Tunnel FET
TFT	Thin-film transistor
SET	Single-electron transistor
Via	Through-contact between two metal layers



<http://www.nanostreem.eu/>

Nanostructures in Ultimate-scale Integration

- Development and application of nanostructures
 - *0D: Quantum Dots (QD, QDots), Nano Particles*
 - *1D: nanowires, nanotubes*
 - *2D sheet materials (e.g. graphene, MoS₂)*
- from lab to application

cf. excercise on StudON

Electron Devices

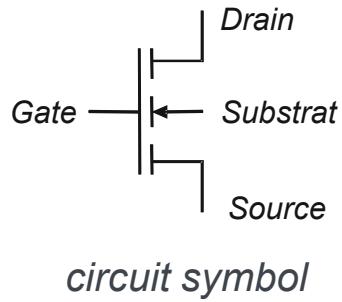
Basic functionalities



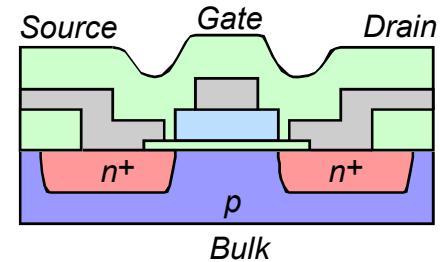
Introduction – Electron Devices

Field Effect Transistors

- Field effect transistors (FET): depending on application scenario several types are available
 - *JFET (Junction FET)*
 - *MOSFET (Metal Oxide* Silicon FET)*
 - *DMOS (Power MOSFET)*
 - *VMOS (Vertical MOSFET)*
 - *TFT (Thin-film transistor)*
 - *HEMT (high electron mobility transistor)*



circuit symbol



cross-cut schematics

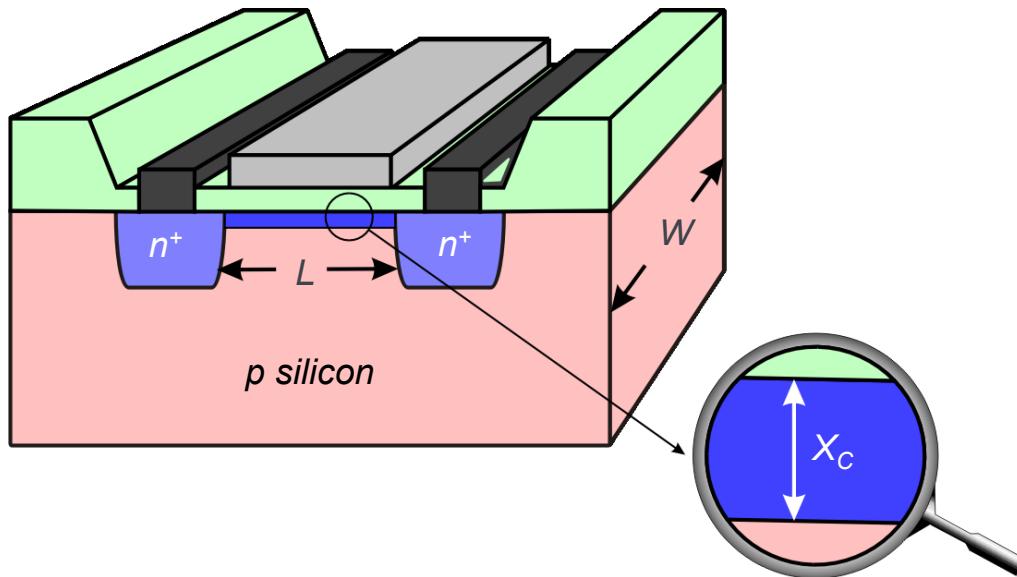
* typically silicon dioxide SiO_2

NMOS Transistor: by applying a sufficiently high positive voltage between gate and source, a conducting channel between Source and Drain can be formed (enhancement type if threshold voltage is above 0V)

Introduction – Electron Devices

Field-effect transistors

- Structure and dimensions of MOS transistors: NMOS

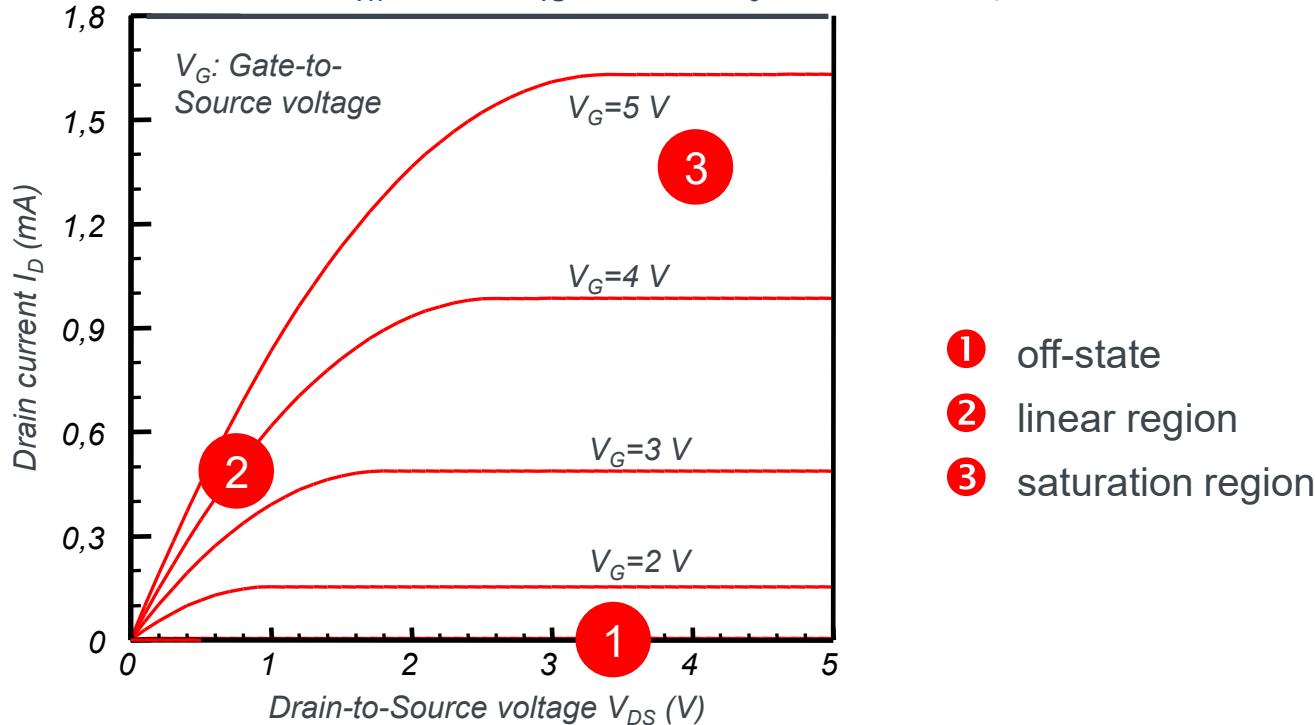


W : Channel width of transistor
 L : Channel length of transistor
 x_c : Depth of inversion channel

Introduction – Electron Devices

Field-effect transistors

- Output characteristics of a **n channel** MOS transistor
($W=6 \mu\text{m}$, $L=3 \mu\text{m}$, $U_{Th}=0,8\text{V}$, $d_{IS}=20\text{nm}$, $\mu_0=750\text{cm}^2/\text{Vs}$)



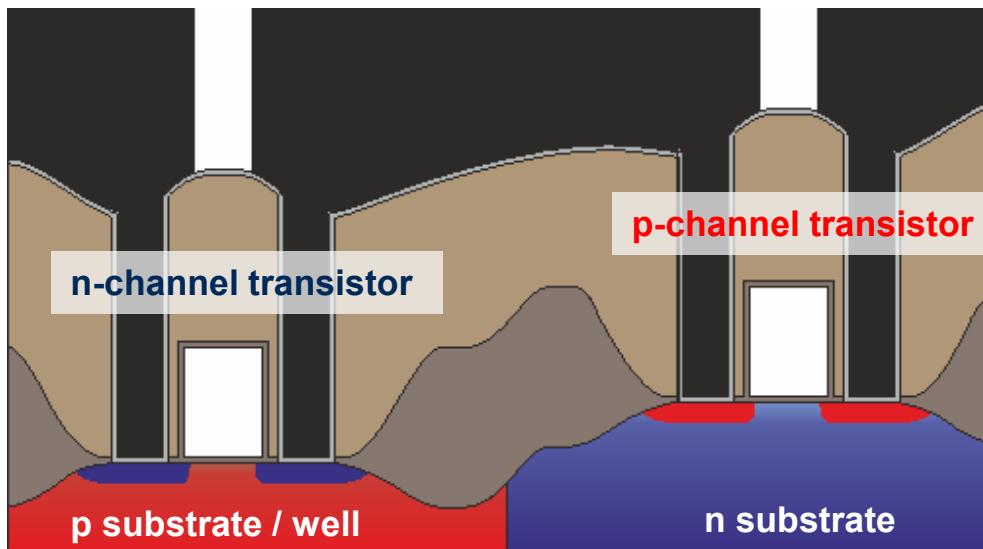
- ① off-state
- ② linear region
- ③ saturation region

Introduction – Electron Devices

CMOS technology I

- Combination of n- and p-channel devices
 - Similar behavior, but inverted potentials (differences)*
 - p-channel transistor is switched on at negative voltage
- „C“ stands for complimentary MOS

HBE

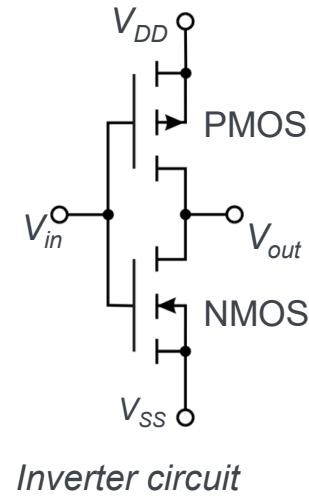
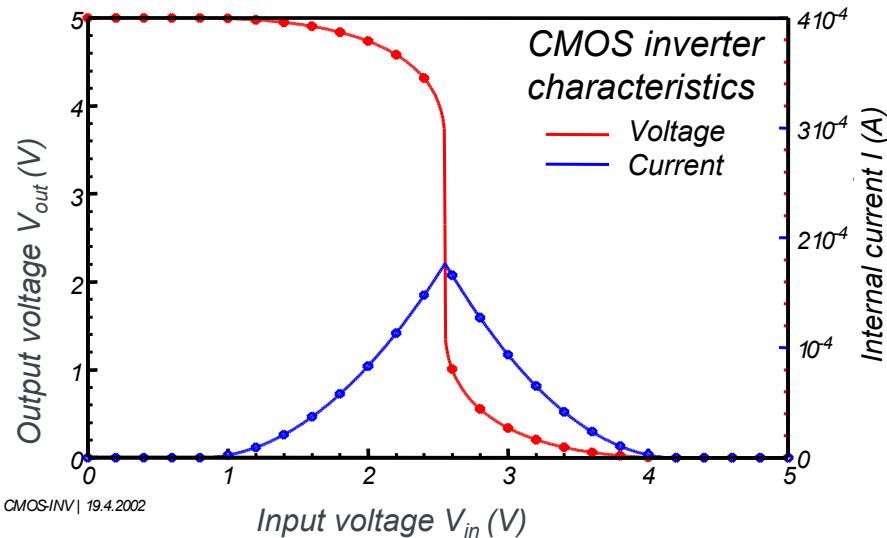


Introduction – Electron Devices

CMOS technology II

- CMOS Inverter
 - A CMOS inverter combines one PMOS and one NMOS-Transistor
 - Function: inversion of the input signal

V_{in}	V_{out}
0	1
1	0

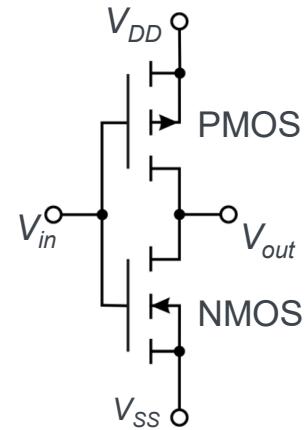


Introduction – Electron Devices

CMOS technology III

- CMOS inverter
 - *Current flow only during switching (ideal case)*
 - *In static operation always one of the transistors is shut off*
 - *In contrast to pure PMOS and NMOS circuits*
 - full level (V_{SS} , V_{DD}) for logical 0 and 1
 - very low power consumption during static operation
 - low area requirements
 - higher processing effort

V_{in}	V_{out}
0	1
1	0



Inverter circuit

Introduction – Electron Devices

CMOS technology IV

- Compared to other technologies
 - *CMOS delivers highest integration technologies, >1 000 000 000 transistors per chip*
 - important for memories (DRAM / SRAM), microprocessors
 - *Lowest power losses*
 - important microprocessors, mobile/ battery-powered devices, ASICs
 - *Drawbacks:*
 - Slower than bipolar technology
 - Sensitive to voltage pulses (latch up, dielectrics)
 - *Pure NMOS and PMOS technology only used in low-complexity, low-cost circuits with low integration density*

CMOS is the most widely used technology!

Thanks for your attention!