



Friedrich-Alexander-Universität
Technische Fakultät



Halbleitertechnik IV- Nanoelectronics

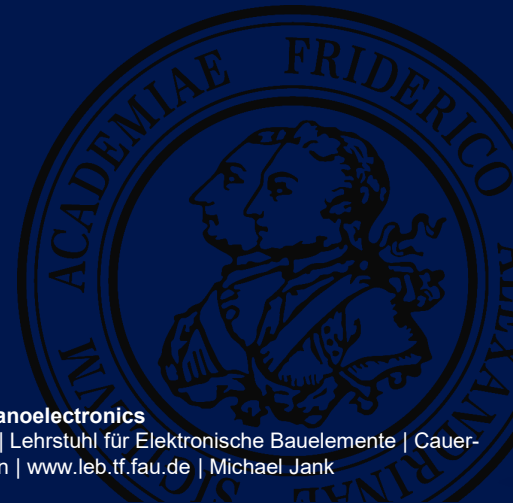
Friedrich-Alexander-Universität Erlangen-Nürnberg | Lehrstuhl für Elektronische Bauelemente | Cauerstraße 6 | 91058 Erlangen | www.leb.tf.fau.de | Michael Jank

Optimization of Drain Currents



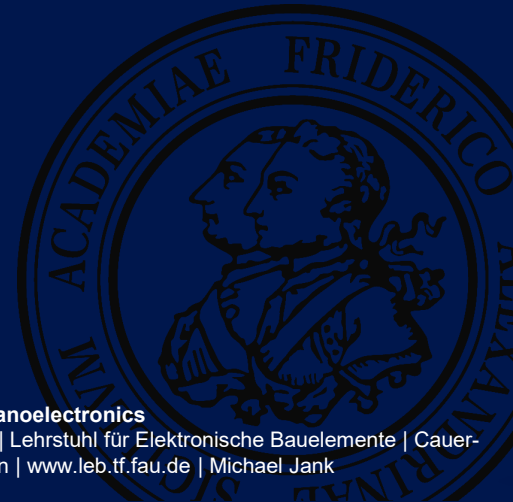
Halbleitertechnik IV - Nanoelectronics

FAU Erlangen-Nürnberg | Lehrstuhl für Elektronische Bauelemente | Cauerstraße 6 | 91058 Erlangen | www.leb.tf.fau.de | Michael Jank



Objectives of the lecture

Mission and goals?



Optimization of Drain Currents

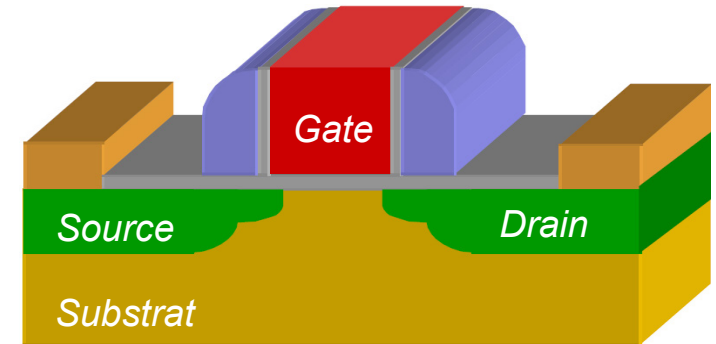
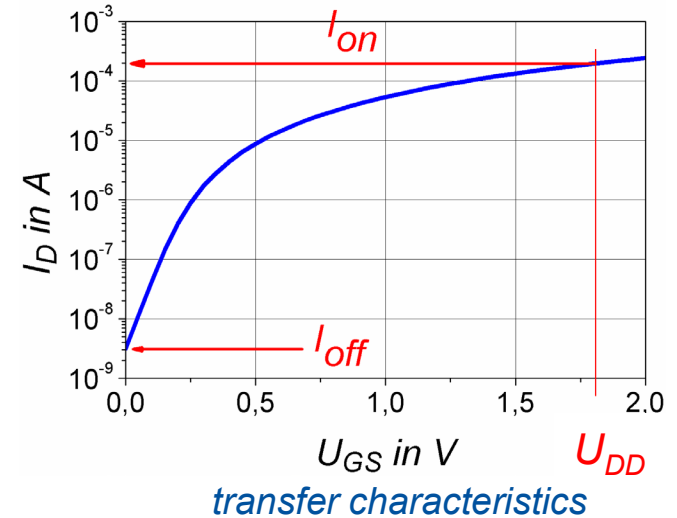
Objectives

- This unit gives an overview about measures for increasing the drain current in scaled devices, i.e.
 - *the utilization of **crystal orientation** vs. **channel orientation** and **mechanical stresses** to modify channel mobility*
 - *silicidation of the Si surface for reduction of contact or surface resistivities*
 - *measures for integrating these approaches into CMOS manufacturing towards practical application*

Optimization of Drain Currents

Objectives

- again.... drain currents! But now for the good ones!
- I_{ON} vs. I_{OFF} is the most important consideration
 - I_{OFF} in switched-off mode ($V_{GS}=0$, ??)
 - I_{ON} in switched-on MOSFET: $V_{DS} = V_{DD}$
 - V_{TH} vs. subthreshold swing
- Scaling effects I_{ON} in various aspects
 - increased doping concentration: RLZ, substrate
 - lower channel mobility, increased space charge capacity
 - ultra-shallow p-n junctions at S/D
 - increased series resistance R_{SD}
 - thin gate dielectrics, N_{CH} , I_D
 - increased gate leakage



Optimization of Drain Currents

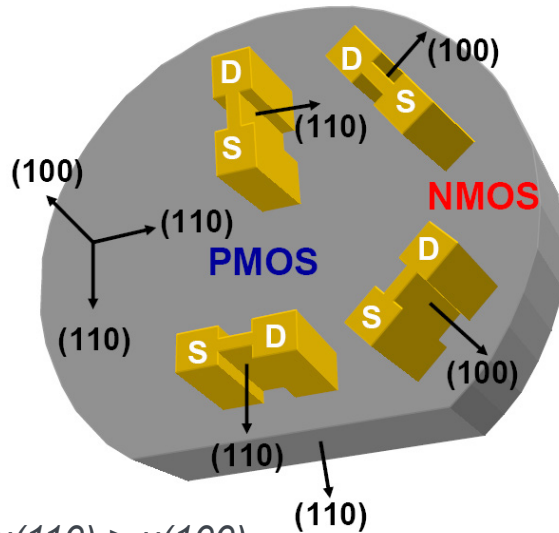
Outline

- Optimization of MOSFET channel mobility
 - *Crystal dependent channel orientation*
 - *Strained silicon layers*
 - *(Silicon-)Germanium*
 - *Alternative channel materials*
- Novel metallization materials and techniques
 - *Contacts*
 - *Wiring*
 - *Gate metals*

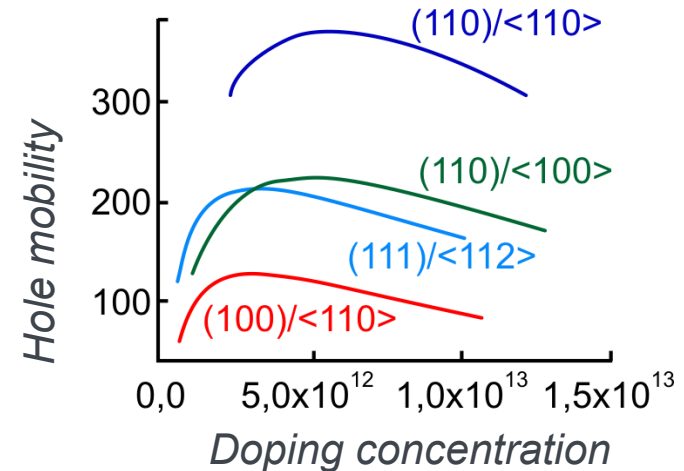
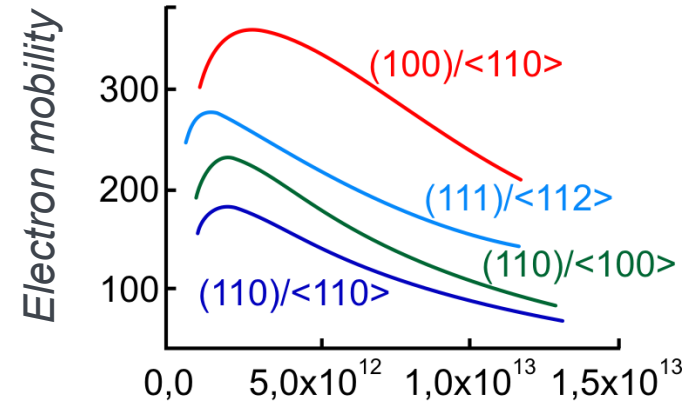
Optimization of Drain Currents

Crystal dependent channel orientation

- „tilted“ transistors
 - *mobility in Si is anisotropic*
 - *optimization of channel mobility by re-orientation of MOSFETS*



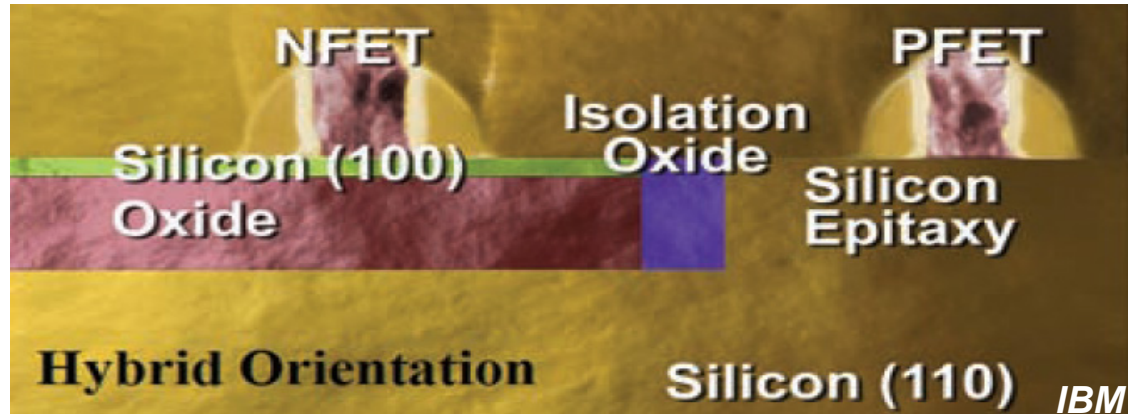
- *holes: $\mu(110) > \mu(100)$*
- *electrons: $\mu(110) < \mu(100)$*



Optimization of Drain Currents

Crystal dependent channel orientation

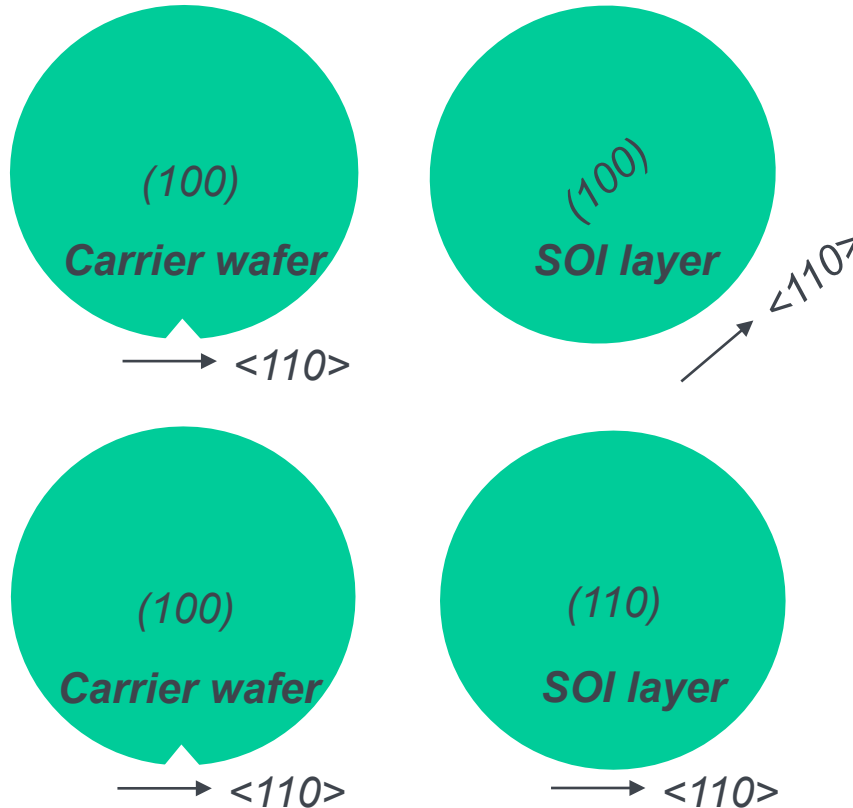
- Problem
 - *With an optimized arrangement of n- and p-channel transistors, the area is utilized ineffectively*
- Solution using SOI (Silicon-on-Insulator) technology
 - *Transfer of (100)-Si (n-channel) to a (110)-Si wafer*
 - *Etching of Si and oxide for p-channel*
 - *epitaxy of (110)-Si, re-growing p-channel*



Optimization of Drain Currents

Crystal dependent channel orientation

- Hybrid orientation



SOI layer rotated by 45°:

PMOS mobility improved

NMOS mobility reduced

(110)-Device Layer

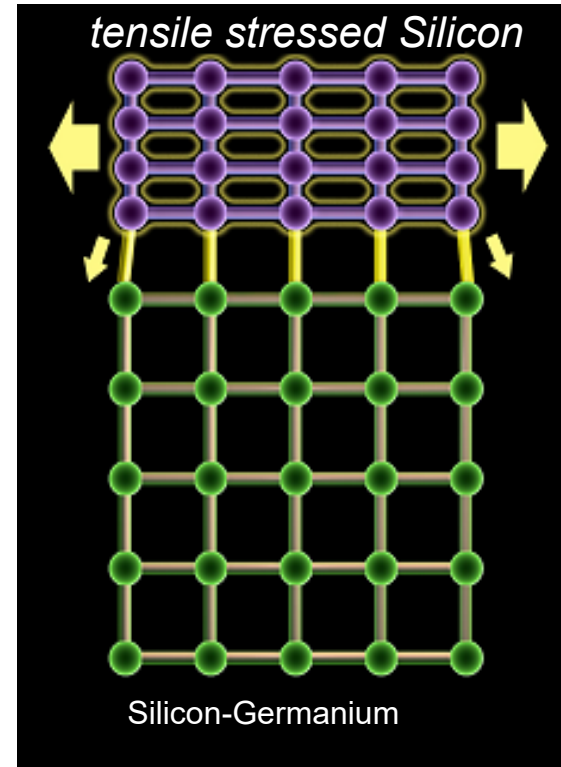
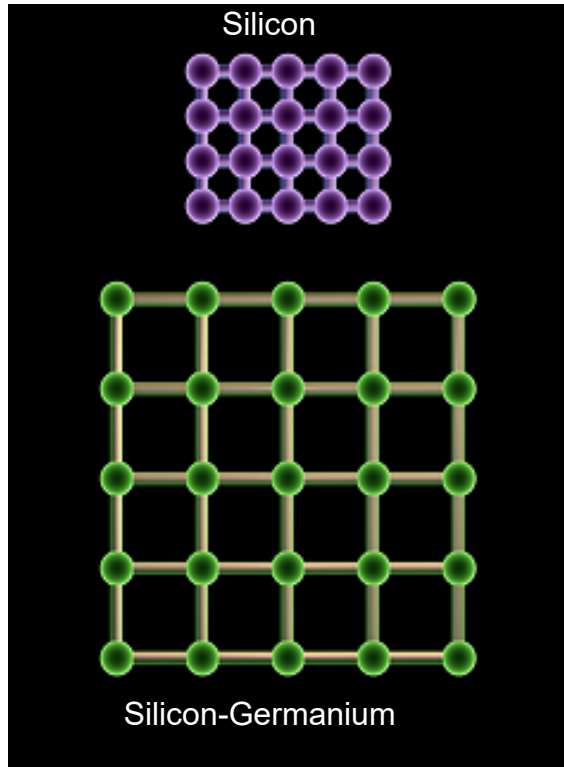
PMOS mobility improved

NMOS mobility unchanged

Optimization of Drain Currents

Strained Silicon

- Principle: extension of crystal lattice leads to higher mobility



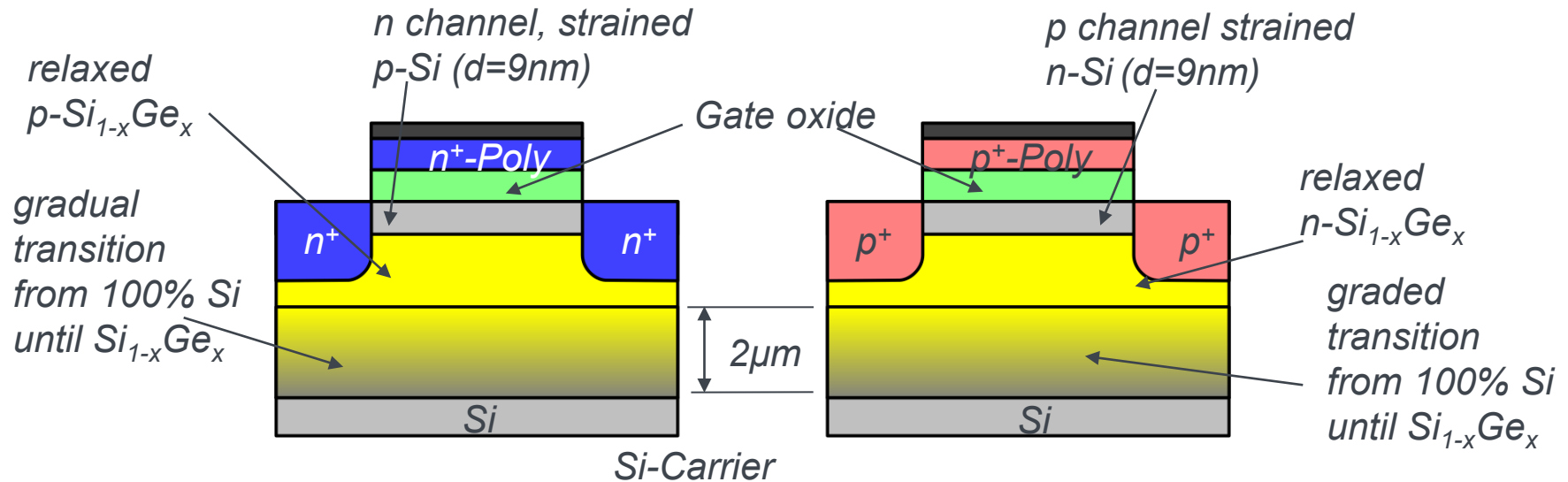
*only for
thin
layers,
relaxation!*

Optimization of Drain Currents

Strained Silicon

- Strained Silicon

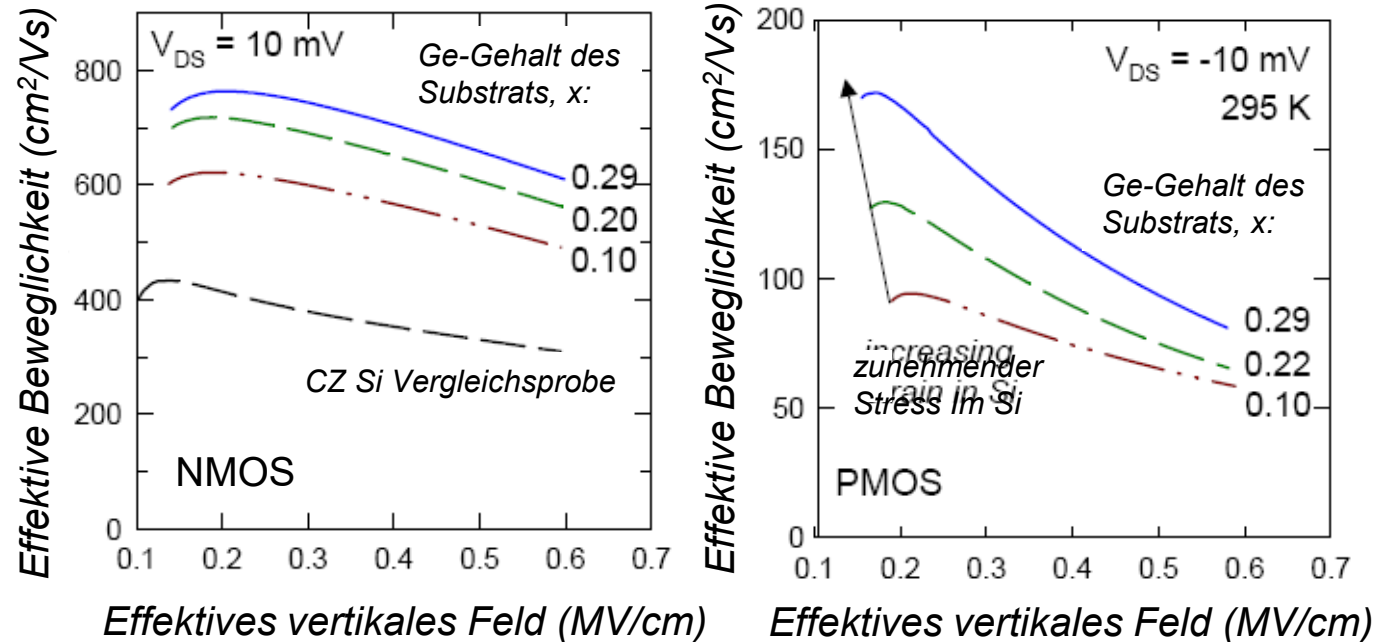
- *most common variant: n- and p-type MOSFETs with Si surface channel on $\text{Si}_{1-x}\text{Ge}_x$ ($x < 30\%$)*



- I_{ON} (NMOS) increased by a factor of 1,5
- I_{ON} (PMOS) increased by a factor of 1,15

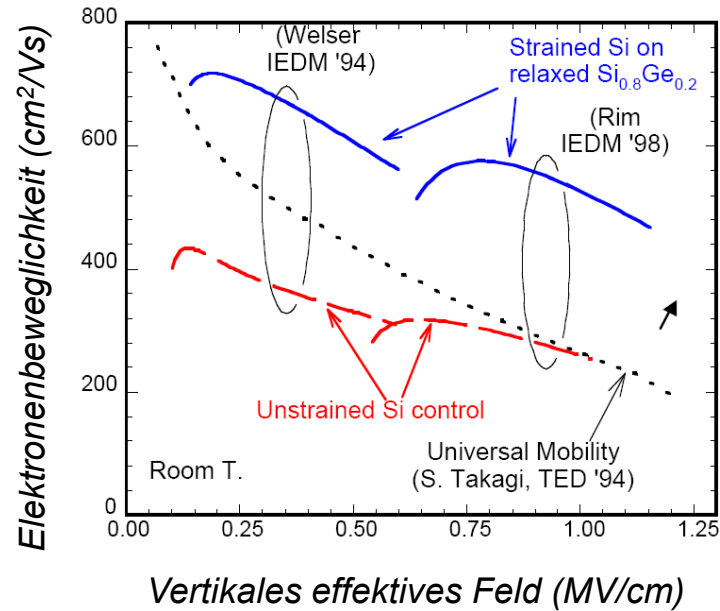
nE | Drainströme – Verspannte Schichten

■ Stress und Beweglichkeit



nE | Drainströme – Verspannte Schichten

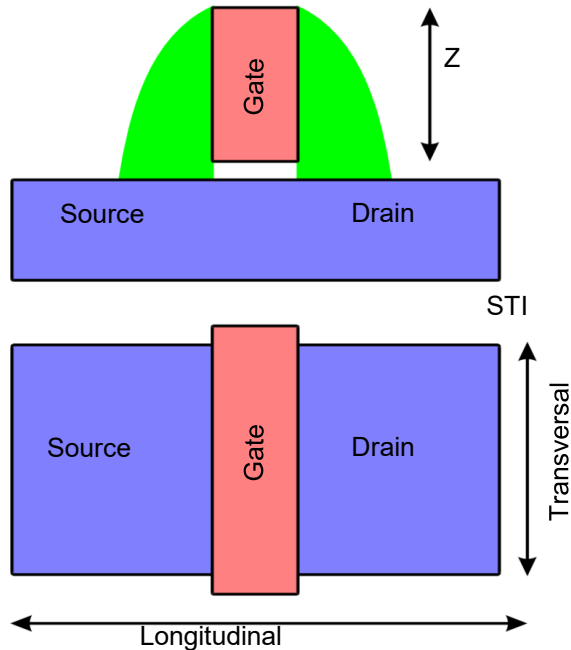
■ Stress und Beweglichkeit



nE | Drainströme – Verspannte Schichten

- „Strained Silicon“

- Richtungen von Stress und seine positive Wirkung auf MOS-Transistoren



	Transversal	Longitudinal	Z-Richtung
pFET	T	C	T
nFET	T	T	C

T: Zugspannung (tensile)

C: Druckspannung (compressive)

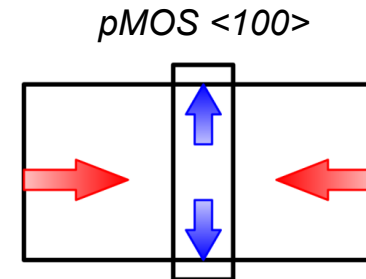
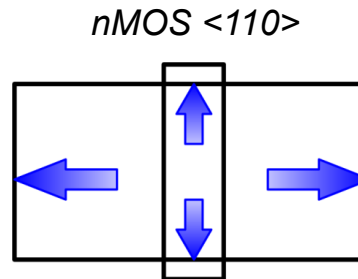
nE | Drainströme – Verspannte Schichten

- „Strained Silicon“

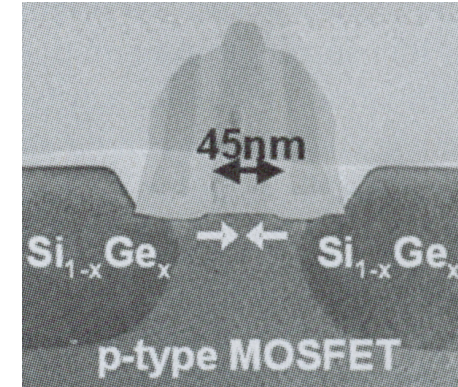
- Verbesserung der Beweglichkeit bei Ausübung von 100MPa Stress in %

Leitungstyp	Kanal-Orientierung	longitudinaler Stress (channel)	transversaler Stress (width)	vertikaler Stress
nMOS	<110>	3,1	1,8	(5,3)
pMOS	<110>	(7,2)	6,6	0,1
nMOS	<100>	10,2	(5,3)	(5,3)
pMOS	<100>	(0,7)	0,1	0,1

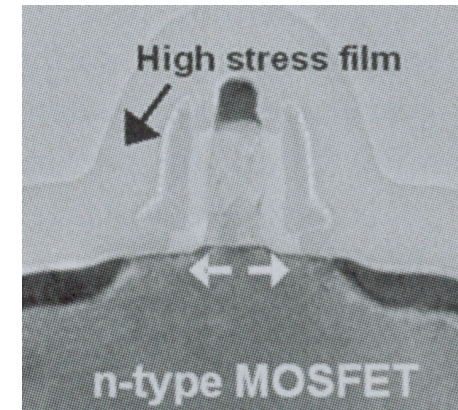
- Vorzugsrichtungen der Stressausübung
- (kompressiv)
- tensil



- Möglichkeiten, Stress zu erzeugen (I)
 - Gitterfehlانpassung (global, ungerichtet)
 - Si auf SiGe (Dehnung des Si-Gitters)
 - SiGe auf Si (Stauchung des SiGe-Gitters)
 - Selektive SiGe- oder SiC-Epitaxie in Source/Drain-Gebieten (lokal, gerichtet)
 - Ätzen Si im S/D-Bereich
 - Wiederbefüllen durch SiGe- oder SiC-Epitaxie
 - Streckung / Stauchung des Si in Kanalrichtung
 - Abscheidung dehnender oder stauchender Siliciumnitrid-Filme (lokal, gerichtet)
 - Einstellung der Kräfte über Stöchiometrie der abgeschiedenen Schicht(en)



*Druckstress durch Epi-SiGe in S/D**



** T Gani et al., IEDM 2003 Zugstress durch Si₃N₄-Schicht**

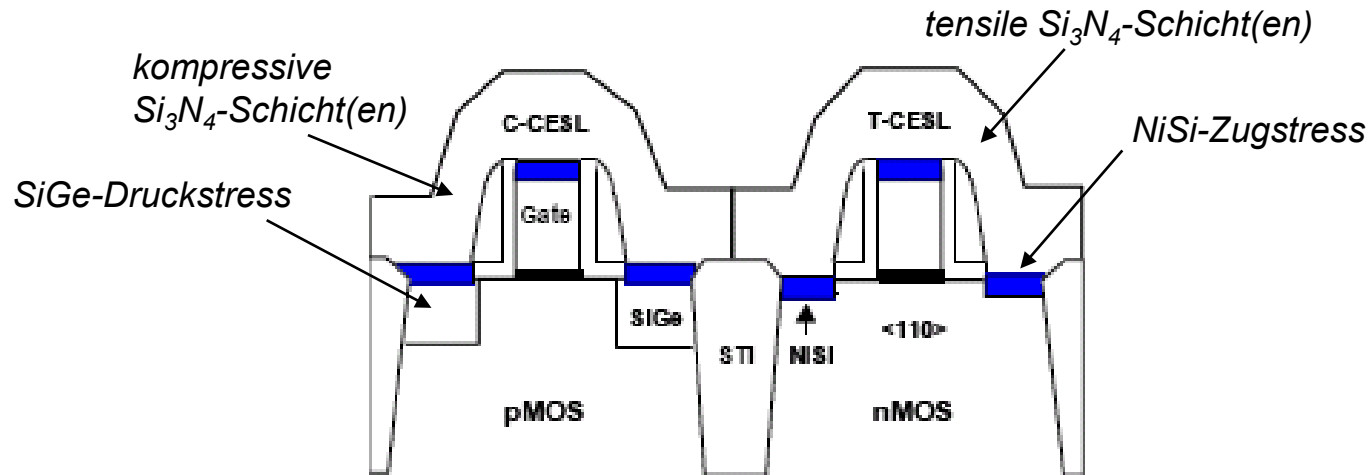
- Möglichkeiten, Stress zu erzeugen (II)
 - Wiederauffüllen von STI-Gräben (lokal, gerichtet)
 - Zugspannung durch Si_3N_4 -Liner
 - Zugspannung durch SiC-Füllung
 - Druckspannung durch SiGe-Füllung
 - Stress durch Silicidierung auf S/D-Gebieten
 - NiSi auf Si-Oberfläche übt Druckstress auf Kanal aus.
 - "Stress Memorization Technique (SMT)" (lokal, gerichtet)
 - Zugspannung, die bei der Rekristallisation (RTA-Behandlung) bedeckter S/D-Gebiete entsteht
 - Verschiedene Effekte möglich, physikalisch nicht verstanden

*Beispiel: Niedertemperatur-SMT
(Wei, AMD, 2007 VLSI Symp.)*

- Amorphisierung S/D-Gebiete
- Si_3N_4 -Abscheidung
- Si_3N_4 -Entfernung PMOS
- RTA (580°C-850°C)
- Si_3N_4 -Entfernung NMOS

nE | Drainströme – Verspannte Schichten

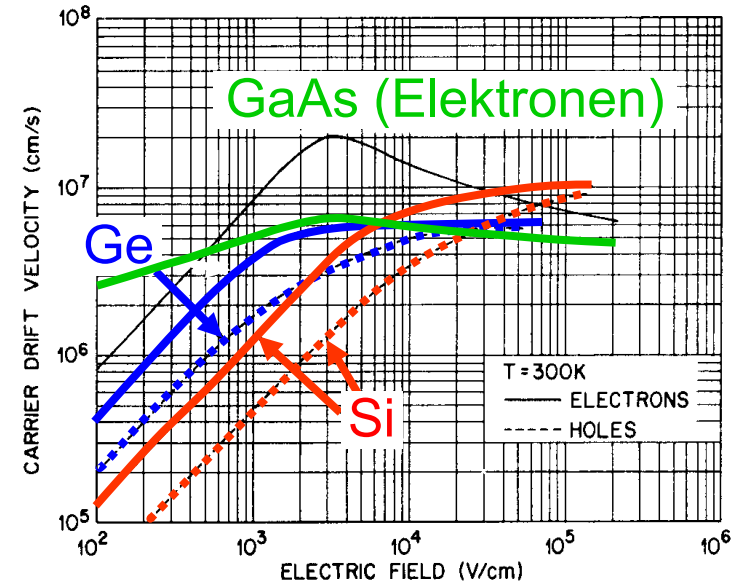
- CMOS Stress-Prozessintegration
 - Einsatz in Technologien ab 90nm
 - Hauptsächlich Techniken, die gerichteten Stress ausüben, evtl. Grund-Vorspannung durch Gitterfehlانpassung
 - Beispiel: 45nm-Technologie, TSMC*



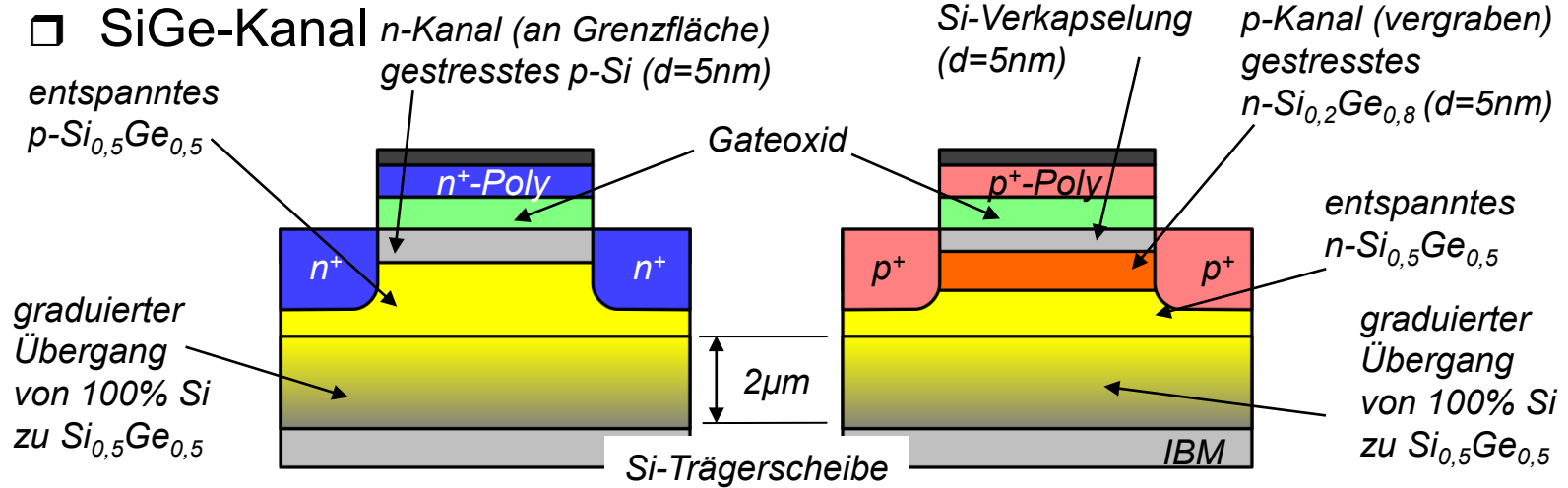
* K-L Cheng et al., IEDM 2007

nE | Drainströme – (Silicium-)Germanium-Kanal

- „andere“ Halbleiter
 - Silicium ist so wichtig wegen der optimalen Eigenschaften seines Oxids
 - ohne SiO_2 wären auch andere Halbleiter interessant – z.B. Ge
 - Ge hat höhere p- und n-Beweglichkeiten (niedrige Feldstärke)
 - MOS-Transistoren mit HfO_2 -Gatedielektrikum auf Ge-Substrat
- durch geringere effektive Masse bessere Effizienz der Injektion aus dem Sourcebereich
- Momentan wird gestresstes Si verwendet



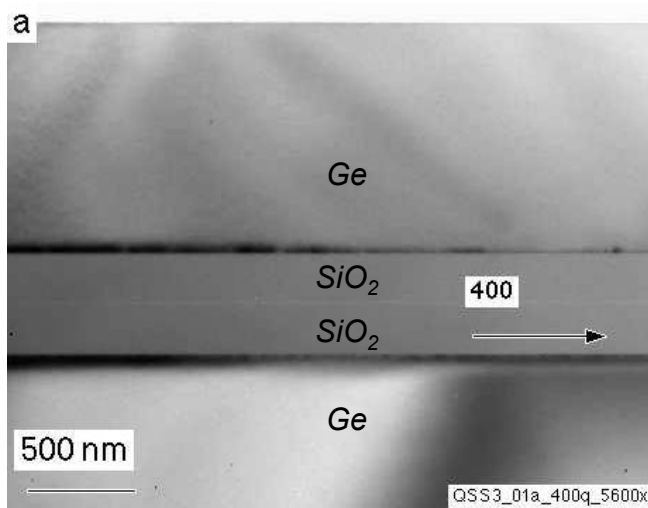
nE | Drainströme – (Silicium-)Germanium-Kanal



- Löcherbeweglichkeit in $\text{Si}_{1-x}\text{Ge}_x$ nimmt bei über 50% Ge-Anteil stark zu
- Leitz et al. (MRS 2001): Bis zu 7-fach höhere Löcherbeweglichkeit!
- mögliche Probleme:
 - n-MOS: Potentialbarriere hin zur vergrabenen SiGe-Schicht erschwert das Ausschalten
 - Kurzkanaleffekte in p-MOSFETs

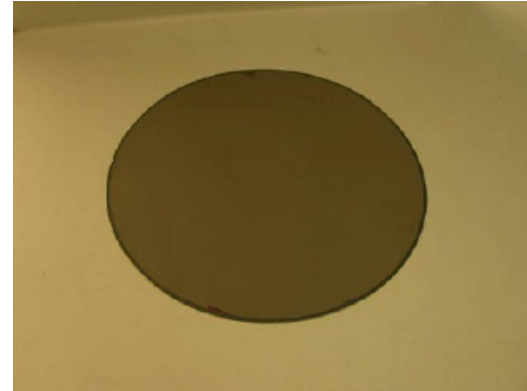
nE | Drainströme – (Silicium-)Germanium-Kanal

- GeOI (Smart Cut, Ge/SiO₂/Si)



Ge (100) und Ge (100) 6° fehlorientiert

Träger: Si, GaAs, Ge möglich



Bulk Ge-"Spenderscheibe" (Umicore)

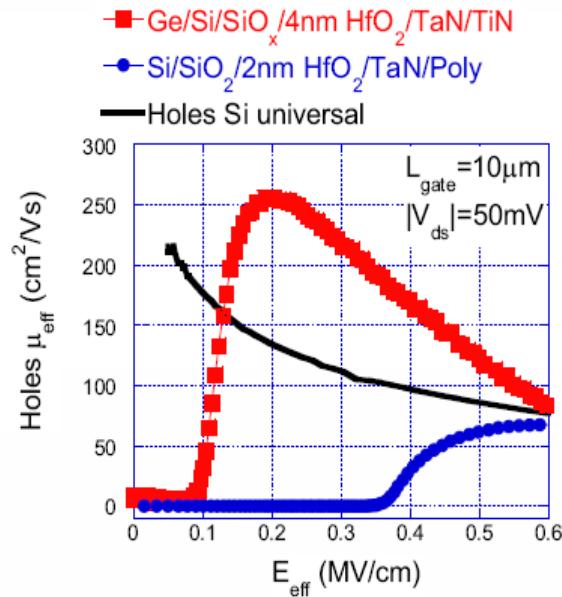


Epi-"Spenderscheibe" (LETI)

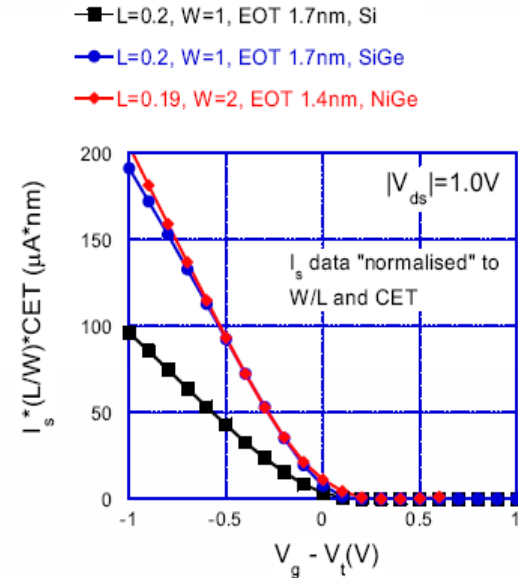
nE | Drainströme – (Silicium-)Germanium-Kanal

■ Ge-Kanal – Messdaten

Langkanal-Transistoren



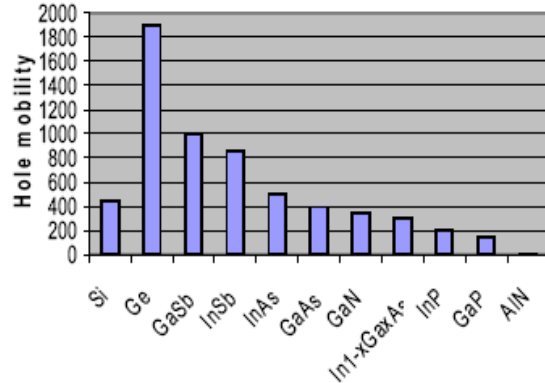
Kurzkanal-Transistoren



B. De Jaeger et al., ISTDM 2006 - preview

nE | Drainströme – Alternative Substrate

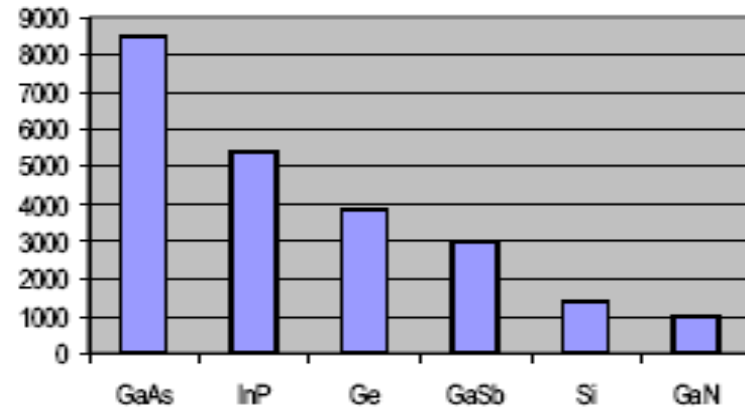
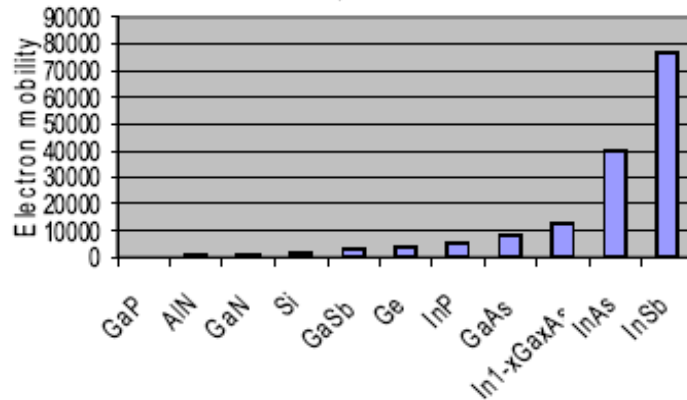
■ Übersicht Substrat-Materialien



$$I_D = \mu C_{IS} \frac{W}{L} (U_G - U_{Th})^2$$

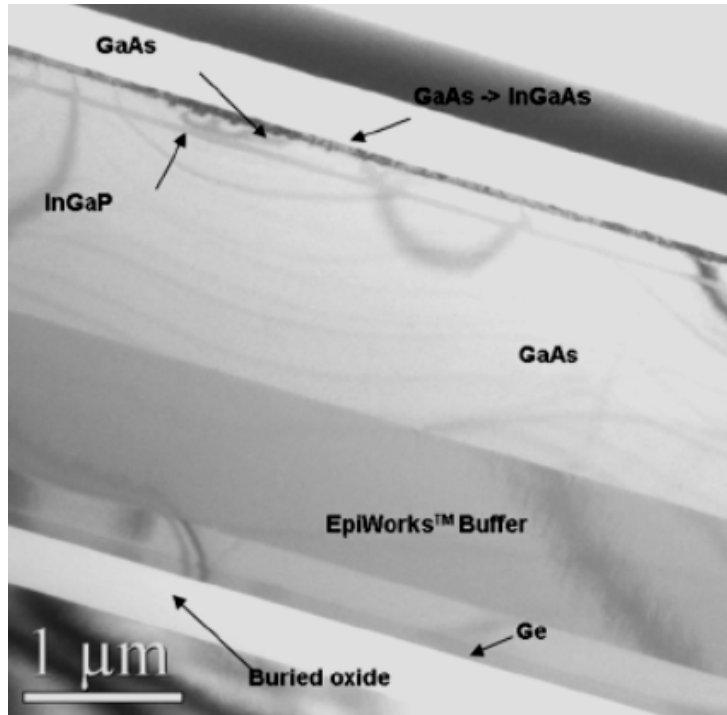
↙ Möglichst hohe Kanalbeweglichkeit realisieren

→ PMOS: Germanium
NMOS: III-V-Halbleiter



nE | Drainströme – Alternative Substrate

- Beispiel InGaP/GaAs-Struktur auf GeOI



MOCVD-Epitaxieverfahren
für III-V-Halbleiter können
GeOI als Startmaterial ver-
wenden

*S.G. Thomas et al.,
IEEE EDL Vol. 26, July 2005*

Nanoelektronik – Drainströme

- Optimierung der Beweglichkeit im Kanalbereich von MOSFETs
Substrate Engineering
 - Orientierungsabhängige Beweglichkeit
 - Verspannte Siliciumschichten
 - (Silicium-)Germanium
 - Alternative Kanalmaterialien
- Neue Metallisierungen
 - Gatemetalle
 - Kontakte
 - Leiterbahnen

■ Probleme und Lösungen

— Gateelektrode

- hoher Schichtwiderstand des Polysiliciums

→ Polysilicium mit Silicid (Polycid)

→ Metall-Gate

- Raumladung im Polysilicium

→ Metall-Gate

— Kanalgebiet

- Streuung an Dotieratomen → niedrige Beweglichkeit → niedriges I_{on}

→ Metall-Gate

— S/D-Gebiete

- Hoher Schichtwiderstand

→ Silicidkontakte, epitaktische Kontakte (elevated S/D)

— Leiterbahnen

- Leitfähigkeit von Al

→ Kupfer-, Silbermetallisierung

■ Gatemetallisierung

- Selbstjustierte Herstellung von Source/Drain durch Poly-Gate-Prozess
- Problem: hoher Schichtwiderstand des Polysiliciums:

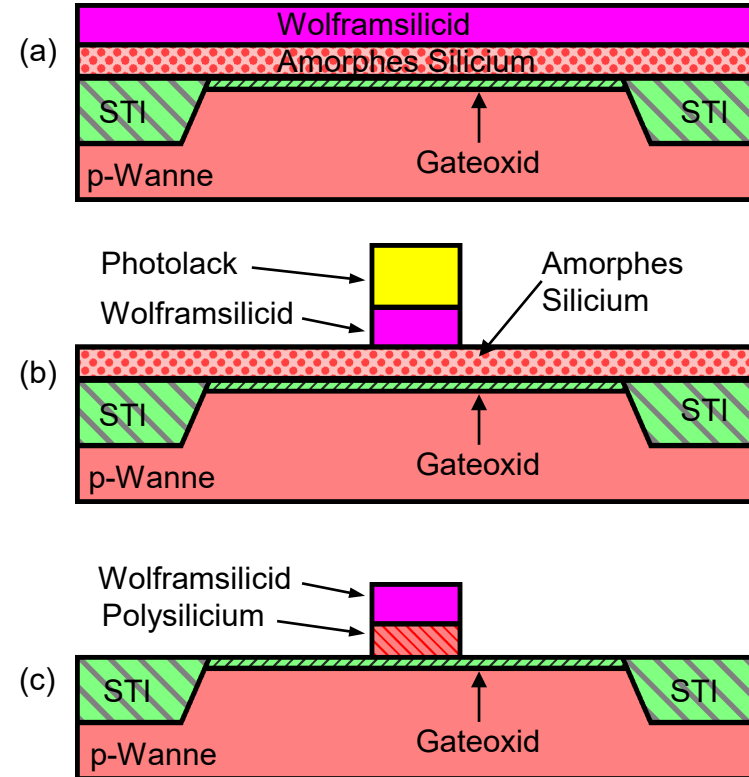
Dotierung (p ⁺ =Bor, n ⁺ =Phosphor)	Spez. Widerstand ($\mu\Omega\text{cm}$)
undotiert	$5 \cdot 10^8$
n ⁺ (diffundiert)	$5 \cdot 10^3$
n ⁺ (implantiert)	$3 \cdot 10^4$
p ⁺ (in-situ)	$5 \cdot 10^4$
n ⁺ (in-situ)	$2 \cdot 10^4$

- Lösung: Polysilicium mit Silicid (Polycid)

nE | Drainströme – Neue Metallisierungen

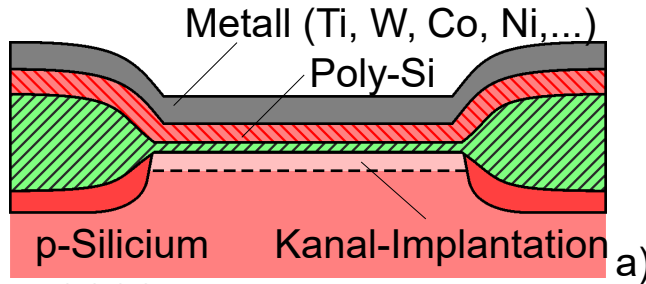
■ Wolfram-Silicid Prozess (Polycid)

- Reinigung
- Oxidation
- Abscheidung amorphes Silicium
- Abscheidung Wolfram-Silicid (a)
- Maske Gatebereiche und Lokale Verbindungen
- Ätzen Wolfram-Silicid (Fluor-Chemie) (b)
- Ätzen amorphes Silicium (Chlor-Chemie)
- Lack entfernen
- Polysilicium- und Silicid-Temperung (c)



nE | Drainströme – Gatemetallisierung

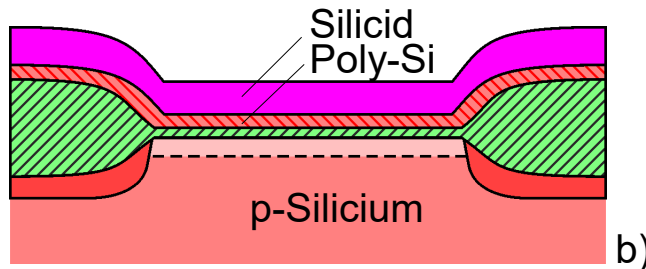
■ Gatemetallisierung: Polycid-Prozess



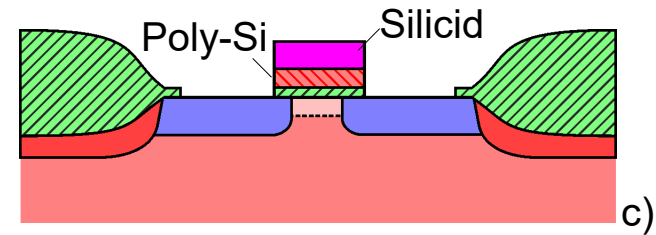
LOCOS-Prozess

Gateoxidation

Herstellung von Poly-Si und Metall

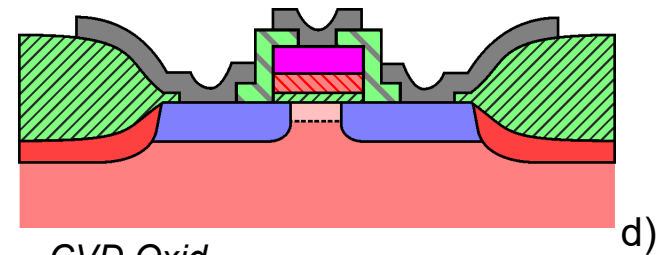


Silicidbildung durch RTP



Gatestrukturierung

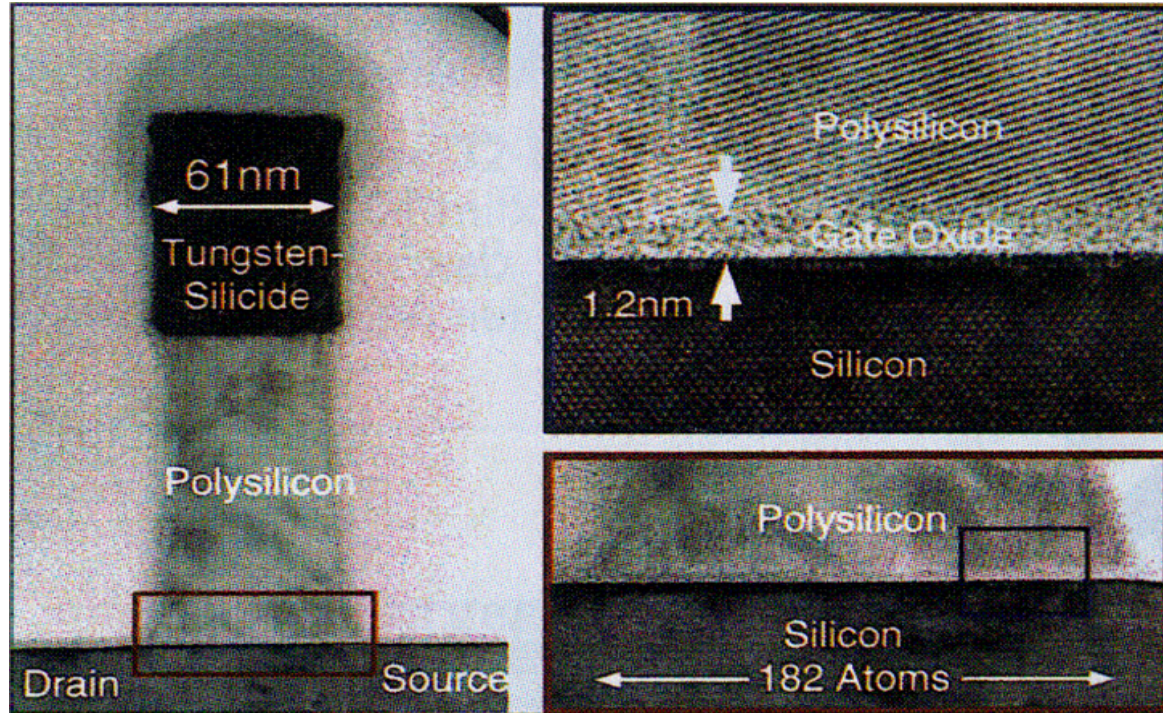
Selbstjustierende S/D-Implantation



CVD Oxid
Kontaktierung

nE | Drainströme – Neue Metallisierungen

- 61 nm-Transistor mit Wolfram-Silicid



nE | Drainströme – Kontakt und Gatemetallisierung

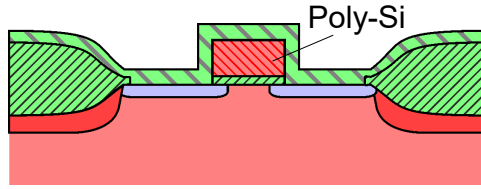
- S/D- und Gatemetallisierung: Eigenschaften von Siliciden

Chemische Formel	Formierungstemperatur (°C)	Niedrigstes Eutektikum mit Si (°C)	Schmelz- o. Transformationspunkt (°C)	Spez. Widerstand ($\mu\Omega\text{cm}$)*
TiSi ₂	600	1330	1540	13-16
TaSi ₂	650	1385	2200	35-45
MoSi ₂	525	1410	1980	40-90
WSi ₂	650	1440	2165	26-70
CoSi ₂	550	1195	1326	18-20
NiSi	300	964	1265	10-15
Pd ₂ Si	700	720	1250	30-35
PtSi	300	830	1229	28-35

* Aufgrund verschiedener möglicher Kristallmodifikationen variieren die spezifischen Widerstände der Silicide in der angegebenen Bandbreite

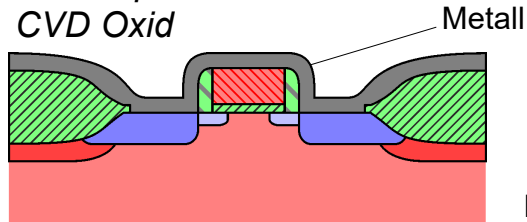
nE | Drainströme – Kontakt und Gatemetallisierung

■ Gatemetallisierung: Self-Aligned-Silicid- (Salicid-) Prozess



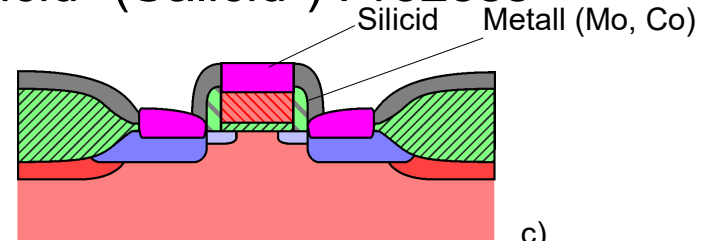
LOCOS-Prozess
Gate Prozessierung
LDD Implantation
CVD Oxid

a)



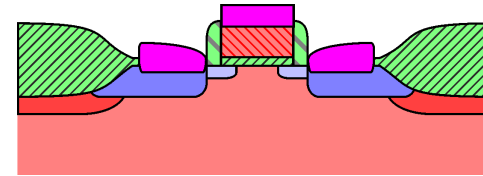
S/D-Implantation
Metallabscheidung

b)



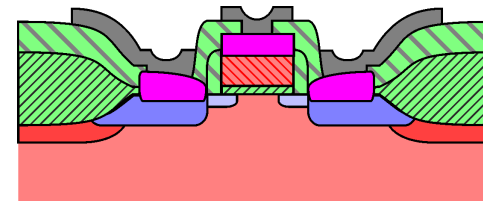
Silicidbildung durch RTP

c)



Selektives Ätzen des Metalls

d)



Kontaktierung

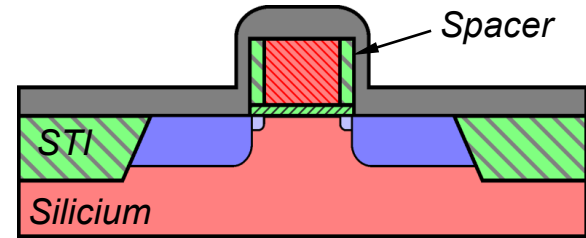
e)

nE | Drainströme – Kontakt und Gatemetallisierung

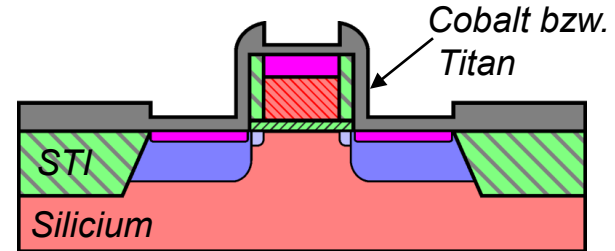
- TiSi_2 and CoSi_2 - Selbstjustierender Silicid-Prozess (Salicid)
 - Niedrigerer Schichtwiderstand als WSi_2
 - TiSi_2 bei Gatelängen $> 200 \text{ nm}$
 - CoSi_2 bei Gatelängen $< 200 \text{ nm}$

a) Co oder Ti

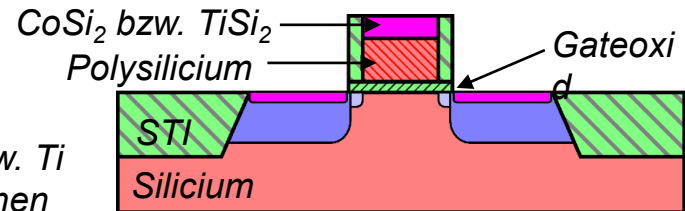
Abscheidung



b) RTP Silicid-
bildung



c) Co bzw. Ti
entfernen

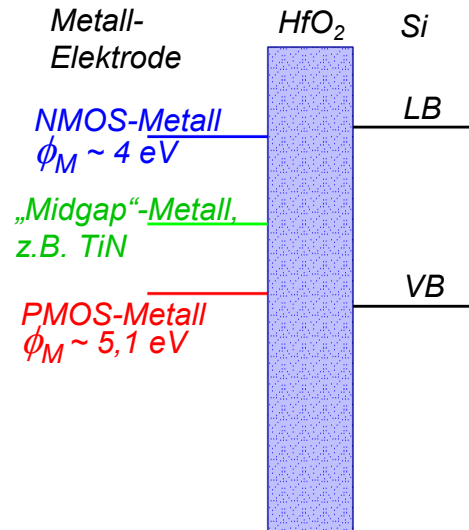
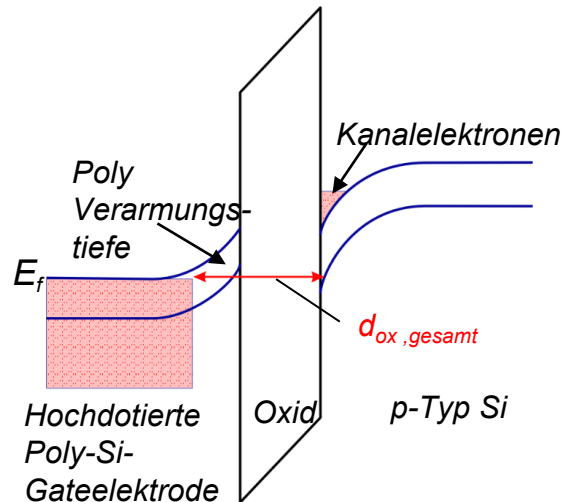
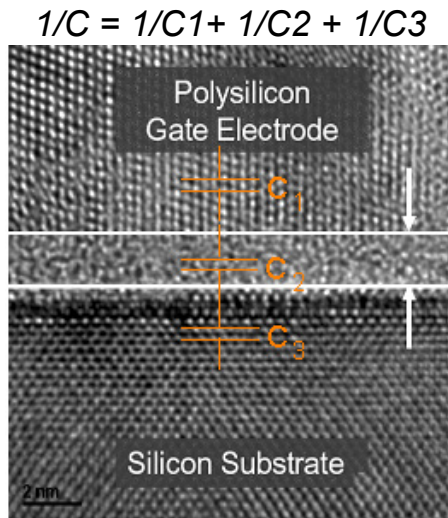


- Gatemetallisierung: Salicid-Prozess
 - Problem: Ausdiffusion von Silicium führt zu
 - Kurzschlüssen zwischen Gate und Source / Drain
 - Ablösung der Kontakte
 - Abhilfe:
 - Verwendung von Stickstoff bei der Silicidbildung
 - Zweistufige Prozessführung (am Beispiel CoSi_2):
 - 1. RTP: 450°C („Spiking“ möglich)
 - 2. RTP: 800°C (Auflösen der „Spikes“, ebene Grenzflächen)
 - Problem: Verbrauch von Silicium bei flachen ($<100\text{ nm}$) pn-Übergängen
 - Abhilfe:
 - Selektive Epitaxie: “Elevated Source/Drain”
 - Abscheiden von Silicid (dann kein Salicid-Prozess)

nE | Drainströme –Metall-Gates

■ Metall-Gate

- Problem: Dotiertes Poly-Si als Gateelektrode zeigt beträchtliche Verarmung, Verarmungstiefe $d_d \approx 0,3 \text{ nm}$
- Lösung: Metall-Gate ($d_d \approx 0,05 \text{ nm}$) mit passendem ϕ_M (für NMOS und PMOS) oder “Midgap”-Metall (TiN)

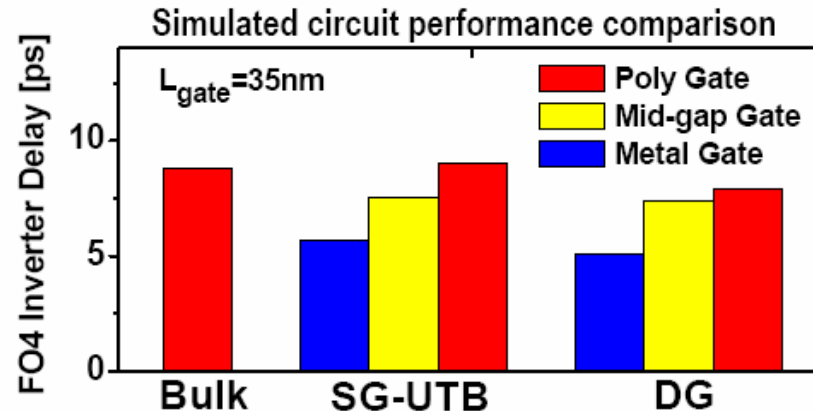


■ Metall-Gate

- Problem: Streuung der Ladungsträger an Dotieratomen reduziert Beweglichkeit und damit I_{on}
Schwankung der Konzentration der sehr wenigen Dotieratome im Kanal führt zu Schwankungen von U_{Th}
- Lösung: reduzierte/keine Dotierung im Kanal und Einstellung von U_{Th} durch passendes ϕ_M

Vergleich der Inverterverzögerung von Transistoren auf Bulk-Material / auf dünnem SOI mit einfachem Gate (SG-UTB) / und Transistoren mit doppeltem Gate (DG)

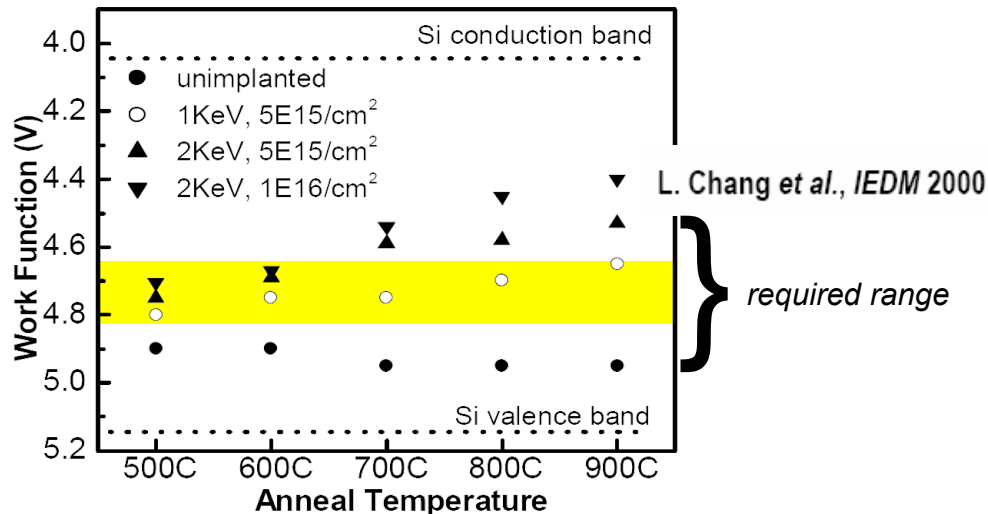
Verwendung von Gatematerialien mit verschiedenen Austritts-arbeiten



L. Chang et al., IEDM 2000

nE | Drainströme – Metall-Gates

- Metall-Gate: Einstellbare ϕ_M -Mo Gate Technologie
 - Einstellung der Austrittsarbeit von Molybdän
 - Ionenimplantation von Stickstoff
 - Anschließende Temperung

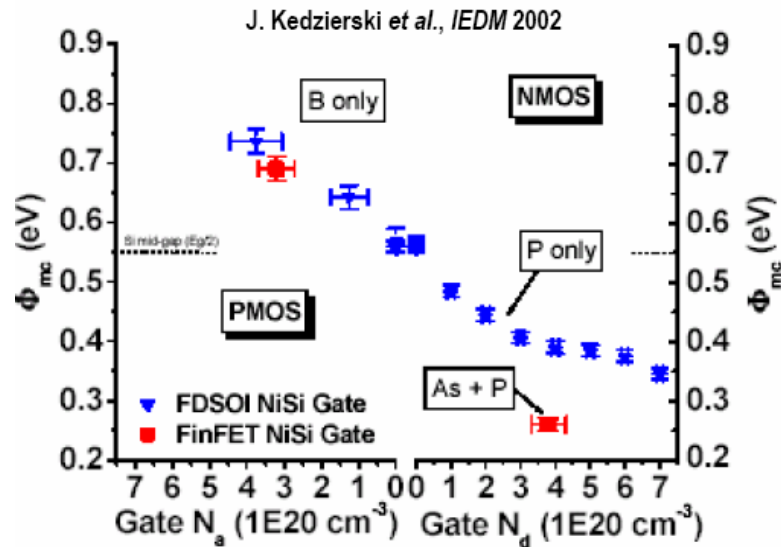


Ausheildauer: 15min (außer für 900°C (15s))
Schichtdicke Molybdän: 15nm

P. Ranade et al., IEDM Technical Digest, pp. 363-366, 2002

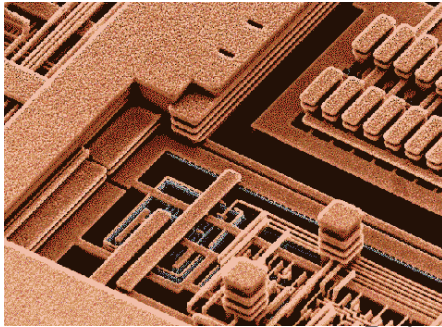
nE | Drainströme – Metall-Gates

- Metall-Gate: Einstellbare ϕ_M -NiSi Gate Technologie
 - Einstellung der Austrittsarbeit von Nickelsilicid
 - Ionenimplantation von Dotieratomen in das Silicium vor der Ni-Silicidierung
 - ϕ_M einstellbar im Bereich: $4,5 \text{ eV} < \phi_M < 4,9 \text{ eV}$



Neue Materialien – Neue Metallisierungen

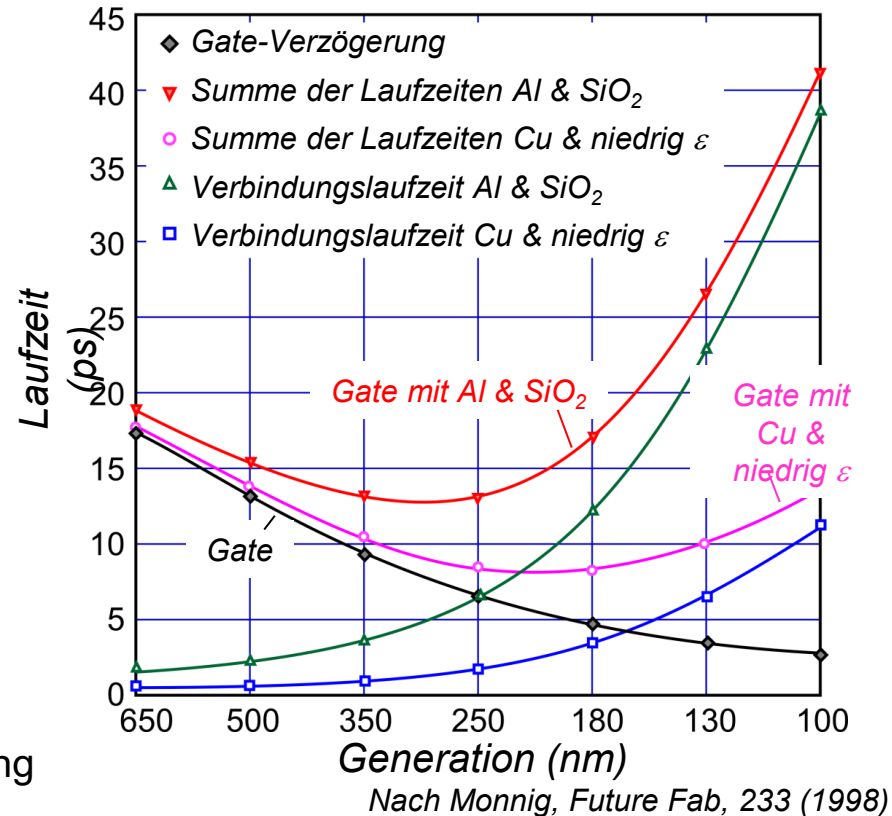
■ Neue Anforderungen: Metallisierung aus Kupfer I



Beispiel für
Mehrlagenmetallisierung aus Kupfer
(Isolation weggeätzt)

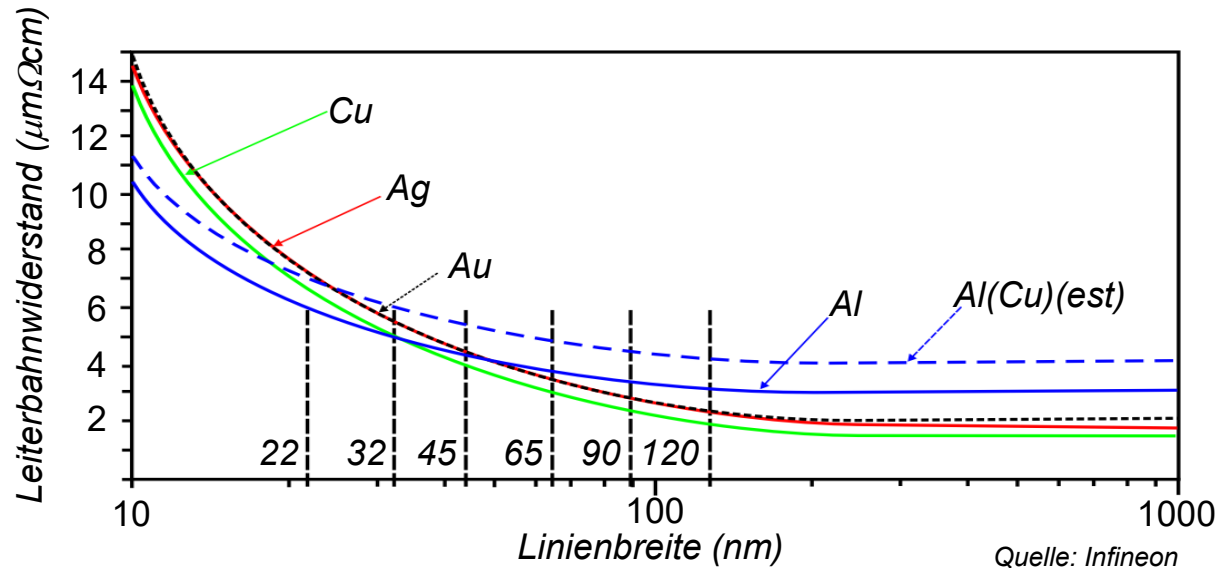
Quelle: IBM

Al	3,0 $\mu\Omega\text{cm}$
Cu	1,7 $\mu\Omega\text{cm}$
SiO ₂	$\epsilon = 3,9$
Niedrig ϵ	$\epsilon = 2,0$
Al & Cu	0,8 μm dick, 43 μm lang



Neue Materialien – Neue Metallisierungen

- Neue Anforderungen: Metallisierung aus Kupfer II
 - Problem: Bei dünnen Leiterbahnen ist der Anstieg des Bahnwiderstandes bei Al geringer als bei Cu.
 - Zurück zu Al oder Einsatz von Ag-Legierungen?



Thanks for your attention!