

2019091201017

王德美

第5次作业 存储子系统

一. 单项选择题

1. 磁盘存储器多用作 (A)。
A. 辅存 B. 高速缓存 C. 主存 D. 固存
2. 在下列存储器中, (D) 属于磁表面存储器。
A. 主存 B. 高速缓存 C. 固存 D. 磁盘
3. 主存储器一般 (D)。
A. 需同时采用两种校验 B. 采用海明校验
C. 采用循环码校验 D. 采用奇偶校验
4. 动态RAM的特点是 (D)。
A. 工作中存储内容会产生变化
B. 工作中需动态的改变访问地址
C. 每次读出后, 需根据原存内容重写一次
D. 每隔一定时间, 需根据原存内容刷新一次
5. 地址总线A0-A15, 用4K*4的存储芯片组成16KB的存储器, 则加至各存储芯片上的地址线是 (C)。
A. A16-A15 B. A0-A9
C. A0-A11 D. A4-A15
6. 地址总线A0-A15, 用4K*4的存储芯片组成16KB的存储器, 则应由 (C) 译码产生片选信号。
A. A0-A5 B. A0A1 C. A12-A15 D. A2A3
7. 表示主存容量, 通常以 (B) 为单位。
A. 数据块数 B. 字节数 C. 扇区数 D. 记录块数
8. 在下列存储器中, 允许随机访问的存储器是 (D)。
A. 磁带 B. 磁盘 C. 磁鼓 D. 半导体存储器
9. 在下列存储器中, (D) 存取时间长短与信息所在的位置有关。
A. 主存 B. 高速缓存 C. 固存 D. 磁带
10. 磁表面存储器所记录的信息 (D)。
A. 读出若干次要重写 B. 不能长期保存
C. 读出后, 原存信息既被破坏 D. 能长期保存
11. 静态RAM的特点是 (A)。
A. 写入的信息静止不变 B. 在不掉电的情况下, 信息能长期保持不变
C. 只读不写, 因而信息不再变化 D. 掉电后, 信息仍能长久保持不变
12. 在下列存储器中, 速度最快的是 (B)。
A. 磁带存储器 B. 半导体存储器 C. 磁盘存储器 D. 磁卡存储器
13. CPU可直接变成访问的存储器是 (C)。
A. 磁盘存储器 B. 虚拟存储器 C. 主存储器 D. 磁带存储器
14. 在下面的结论中, (C) 正确。
A. 主存是主机的一部分, 不能通过系统总线被访问
B. 主存是主机的一部分, 必须通过专用总线进行访问
C. 主存可以和外围设备一样, 通过系统总线被访问
D. 主存是主机的一部分, 必须通过内总线进行访问
15. 奇校验的编码原则是 (D)。
A. 让待编信息为1的个数为奇数 B. 让编成的校验码为1的个数为奇数

$$16 \times 2^{10} = 2^{14}$$

$$A_{13} \sim A_0$$

$$A_{11} \sim A_0$$

$$4 \times 2^{10} = 2^{12} \quad A_{13} A_{11}$$

248163264

- C. 让待编信息为0的个数为奇数 D. 让编成的校验码为0的个数为奇数
16. 顺序存取存储器只适合于作 (B)。
A. 主存 B. 辅存 C. ROM D. 高速缓存 $2^{16} = 2^4$
17. 若CPU的地址线为16根, 则能够直接访问的存储区最大寻址空间为 (B)。
A. 1M B. 64K C. 640K D. 384K
18. 主存储器常采用 (A)。
A. 随机存取方式 B. 顺序存取方式
C. 直接存取方式 D. 半顺序存取方式
19. 磁盘常采用 (B)。
A. 随机存取方式 B. 顺序存取方式
C. 直接存取方式 D. 只读不写方式
20. 动态存储器的最大刷新周期为 (C)。
A. 4ms B. 10ms C. 2ms D. 6ms

二. 填空题

1. 在存储系统的层次结构中, CPU可直接访问的存储器是 (主存) 和 (Cache)。
1. 动态MOS存储单元是依靠 (电容) 存储信息。
2. 静态MOS存储单元是依靠 (双稳态电路) 存储信息。
3. 存储器按物理存储机制分为 (半导体)、(磁表面) 和 (光盘) 三类。
4. 存储器按访问方式分 (随机)、(顺序) 和 (直接) 三类。
5. 地址总线为20位, 则主存的寻址空间为 (1M) B。
6. 动态MOS存储器的刷新周期安排方式有 (异步)、(分散) 和 (集中) 三种。

$$2K \times 4 \xrightarrow{16 \times 2} 2KB \xrightarrow{8 \times 4} 8KB$$

1、某半导体存储器容量 $8K \times 8$ 位, 可选 RAM 芯片容量为 $2K \times 4$ /片。地址总线 $A_{15} \sim A_0$ (低), 双向数据线 $D_7 \sim D_0$ (低), 由 R/\bar{W} 线控制读写。请设计并画出该存储器逻辑图, 并注明地址分配与片选逻辑式及片选信号极性。

2、某半导体存储器容量 $7K \times 8$ 位。其中固化区 $4K \times 8$, 可选 EPROM 芯片: $2K \times 8$ /片。随机读写区 $3K \times 8$, 可选 SRAM 芯片: $2K \times 4$ /片、 $1K \times 4$ /片。地址总线 $A_{15} \sim A_0$ (低), 双向数据总线 $D_7 \sim D_0$ (低), R/\bar{W} 控制读写。另有控制信号 \overline{MREQ} , 低电平时允许存储器工作。

三. 设计题

3. 设某机主存 1MB, 用 1MB/片的 DRAM 芯片构成, 芯片最大刷新周期 2ms, 问在 2ms 之内至少应该安排几个刷新周期?

假设存储器为从地址0开始的连续区间, 低地址为EPROM, 高地址为SRAM, 并且遵循先安排大容量芯片后安排小容量芯片的设计原则。请采用全译码的方法描述每组芯片的地址分配和地址范围、片选逻辑表达式, 并结合3/8译码器画出存储器逻辑设计图。

(假设存储芯片为1024行)

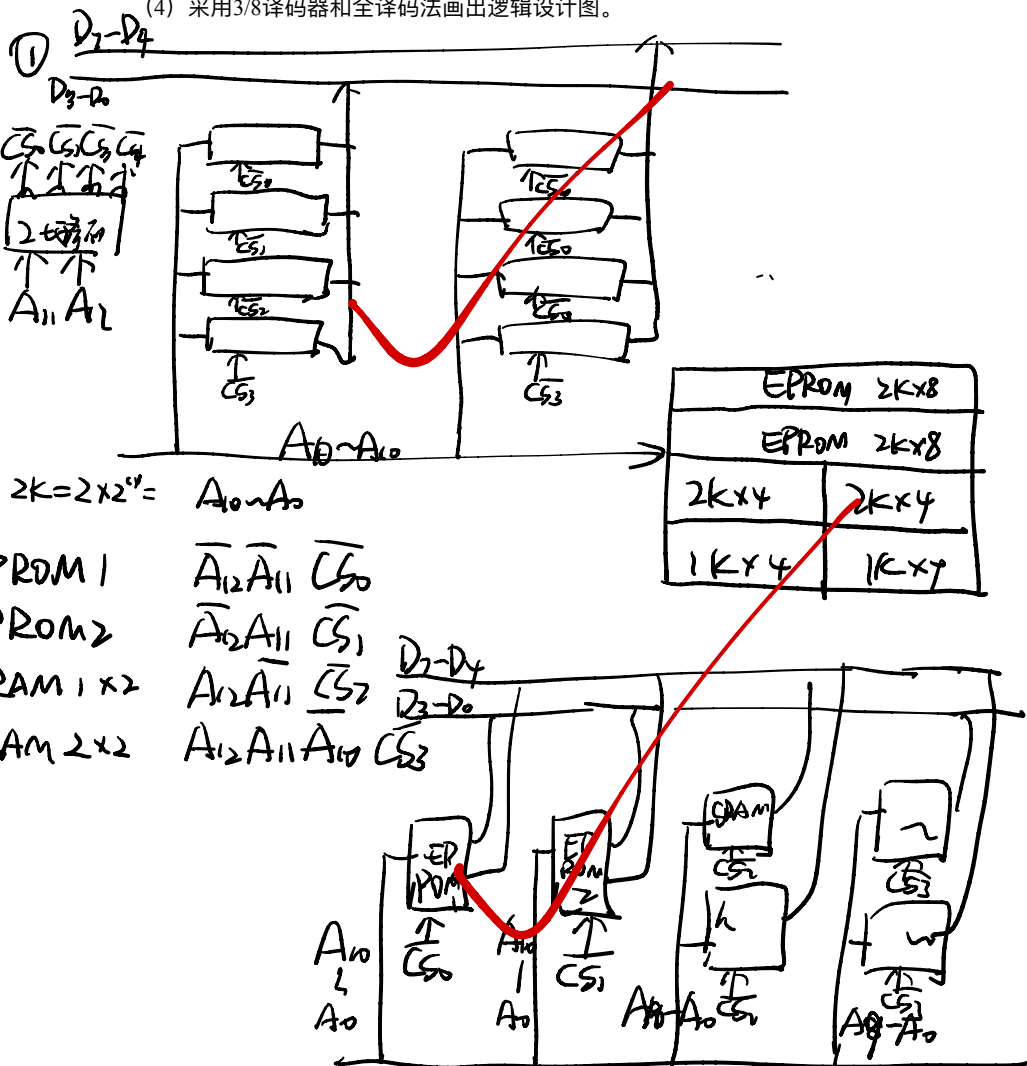
4. 某计算机字长32位, 主存储器容量为256MB, 问:

- (1) 若按字节编址, 其编址范围是多大?
- (2) 若按半字编址, 其编址范围是多大?

(3) 若按字编址，其编址范围是多大？

5、某半导体存储器容量为14KB，其中0000-1FFFH为ROM区，2000-37FFH为RAM区，地址总线16位，数据总线8位，可选用的存储芯片有EPROM (4KB/片)和RAM (2K*4/片)。

- (1) 计算所需各类芯片的数量；
- (2) 说明加到各芯片的地址范围和地址线；
- (3) 写出各片选信号的逻辑式。
- (4) 采用3/8译码器和全译码法画出逻辑设计图。



(3) 若按字编址，其编址范围是多大？

5、某半导体存储器容量为14KB，其中0000-1FFFH为ROM区，2000-37FFH为RAM区，地址总线16位，数据总线8位，可选用的存储芯片有EPROM（4KB/片）和RAM（2K*4/片）。

- (1) 计算所需各类芯片的数量；
- (2) 说明加到各芯片的地址范围和地址线；
- (3) 写出各片选信号的逻辑式。
- (4) 采用3/8译码器和全译码法画出逻辑设计图。

