

版权声明

本实验教程的版权归西安唐都科教仪器开发有限责任公司所有，保留一切权利。
非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本实验教程的部分或全部，并以任何形式传播。

西安唐都科教仪器开发有限责任公司，2016(C)，All right reserved.

数字电路实验教程

©版权所有 未经许可 严禁复制

唐都公司网址：<http://www.tangdu.com>

目 录

第 1 章 TD-DS+系统介绍	1
1.1 TD-DS+实验系统的构成及特点.....	1
1.2 TD-DS+实验系统的硬件环境.....	2
1.3 TD-DS+实验系统的配置及操作.....	8
第 2 章 门电路及组合逻辑电路实验.....	24
2.1 门电路逻辑功能及参数测试实验.....	24
2.2 组合逻辑电路设计实验.....	27
2.3 译码器和数码显示器实验.....	30
2.4 数据选择器实验.....	33
2.5 半加器与全加器实验.....	36
2.6 竞争-冒险现象的观测与消除实验	39
第 3 章 触发器与时序逻辑电路实验.....	42
3.1 触发器实验.....	42
3.2 锁存器和移位寄存器实验.....	45
3.3 计数器实验.....	48
3.4 同步时序逻辑电路设计实验.....	51
3.5 异步时序逻辑电路设计实验.....	55
第 4 章 555 定时器、存储器、数/模、模/数转换实验.....	60
4.1 555 定时器实验.....	60
4.2 存储器实验.....	63
4.3 数/模、模/数转换器实验	67
第 5 章 数字系统设计实验.....	71
5.1 数据采集系统设计实验.....	71

附录 常用集成电路引脚图.....	74
-------------------	----

第1章 TD-DS+系统介绍

TD-DS+高级数字电路教学实验系统是西安唐都科教仪器公司为各学校提高“数字电路”、“数字电子技术”、“数字逻辑设计”及“数字系统设计”等课程实验教学效果的需求所推出的新一代高级数字电路实验系统。该实验系统将数字电路设计和实验单元、数字信号发生器和数字信号测量分析专用仪器等集成在了一个实验箱中,为用户创建了集数字电路设计、电路构造、数字信号测量及分析诸功能一体化的先进实验环境,使得数字逻辑电路教学实验的模式得到了创新性的改变,可极大地提高实验效率,增强学生学习和实验的效果,为各学校建立高端数字逻辑电路实验室提供了最优的实验设备。

1.1 TD-DS+实验系统的构成及特点

1.1.1 系统构成

TD-DS+实验系统为数字电路实验教学提供了功能全面的实验教学平台。系统采用通用实验电路和专用实验电路相结合的电路构造方式。在通用实验单元中,学生可自主设计并构造实验电路。专用实验电路单元包括:数/模转换器、模/数转换器、存储器、555定时器、时序逻辑电路单元。

系统除提供多种实用的辅助单元外,还专门为数字信号的测量与分析提供了逻辑分析仪、码型发生器和逻辑状态测试仪,采用液晶显示及触控操作,可以在实验箱上独立运行,通过附带主控USB接口,可以将数据和图像保存到优盘。其高效的测量性能和优异的操控效果,使得数字电路实验和数字系统设计的测试分析手段发生了创新性的改变。配合TD-DS-CPLD扩展实验板,可以完成丰富的EDA设计实验。此外还可扩展面包板,完成复杂的课程设计或大型数字系统的设计。

1.1.2 系统功能及特点

1. 采用集成一体化的先进结构

系统采用了集成一体化的先进结构,将数字电路的设计和实验单元、数字信号发生器和数字信号测量分析仪等集成在了一起,可极大提高学生实验效率,增强学生创新设计和分析问题、解决问题的能力。

2. 采用新型电路构造方式

系统采用通用实验电路和专用实验电路相结合的电路构造方式。在通用实验单元中,学生可自主设计并构造实验电路,促进学生设计、分析和综合能力的培养。专用实验电路单元包括:数/模转换器、模/数转换器、存储器、555定时器、时序逻辑电路单元,为以上这些实验的开展提供了高效率的电路构造方式。

输出。

3. 可调连续脉冲单元

该单元提供 1Hz 到 100KHz 之间频率可调连续脉冲, 输出频率可通过转动单元中旋钮进行调节。转动旋钮慢, 则频率变化就慢。转动旋钮快, 则频率变化就快。

4. 单次脉冲单元

该单元提供两个单脉冲触发器, 由与非门和微动开关等构成两路 R-S 触发器。输出分为上跳沿和下跳沿, 分别以 “+” 和 “-” 表示, 线路如图 1-2-1 所示。

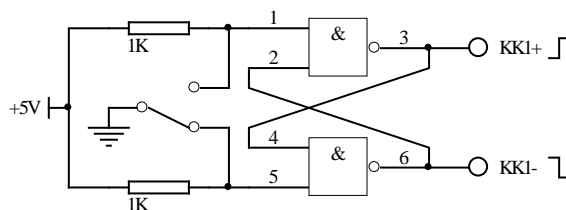


图 1-2-1 单次脉冲单元电路

5. 逻辑电平开关单元

该单元提供 16 组拨动开关和显示灯, K0—K15, 开关拨上为 “1”, 同时显示灯亮, 开关拨下为 “0”, 显示灯灭。线路如图 1-2-2 所示。

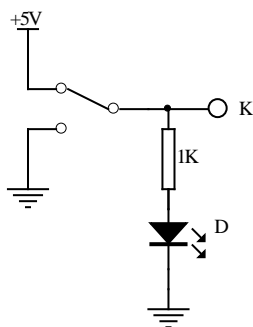


图 1-2-2 逻辑电平开关单元电路

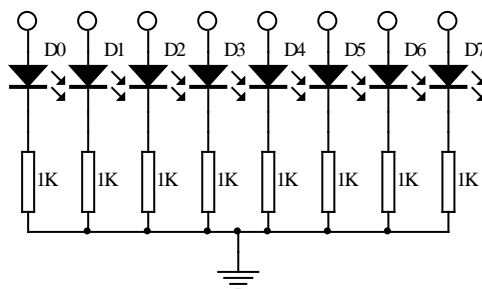


图 1-2-3 逻辑电平显示单元电路

6. 逻辑电平显示单元

该单元提供 16 组发光二极管作为电平显示, D0—D15, 高电平灯亮, 低电平灯灭, 线路如图 1-2-3 所示。

7. 七段数码管显示单元

该单元提供 3 组两位七段数码管显示器, 其中 2 组带 BCD 译码。a、b、c、d、e、f、g、dp 为数码管 8 个段引出端, D、C、B、A 为译码器输入, SEG0—SEG5 为数码管选择位, 低有效, 线路如图 1-2-4 所示。

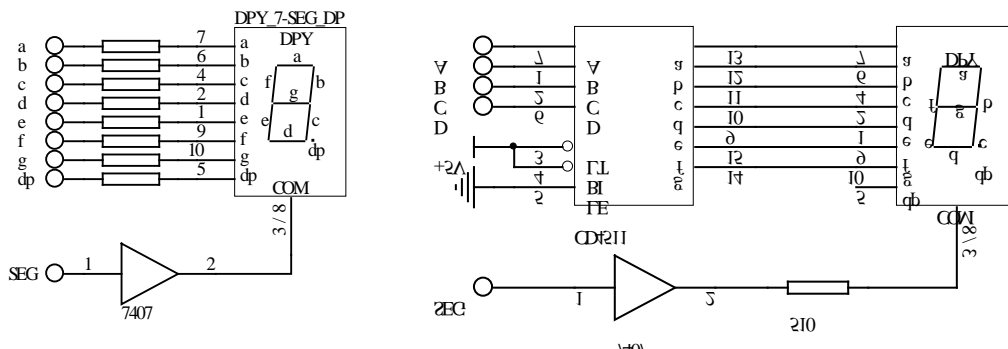


图 1-2-4 七段数码管显示单元电路

8. 蜂鸣器单元

该单元提供蜂鸣器 1 个。

9. 电位器单元

该单元提供电位器 1 个。

10. 存储器单元

该单元提供一片 EEPROM2816，用来做存储器访问实验，其线路如图 1-2-5 所示。利用该单元，还可以进行存储器实现组合逻辑电路的应用。

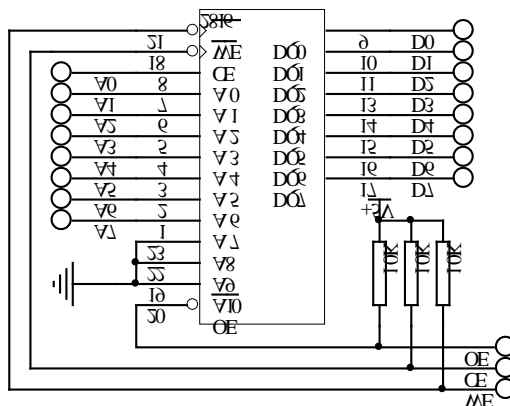


图 1-2-5 存储器单元电路

11. 数/模转换器单元

该单元由 D/A 转换器 DAC0832 和 LM324 芯片构成，用来做数/模转换实验，其线路如图 1-2-6 所示。



该单元由 A/D 转换器 ADC0809 芯片构成, 用来做模/数转换实验, 其线路如图 1-2-7 所示。

该单元由 555 定时器构成，用来完成 555 定时器应用实验，其线路如图 1-2-8 所示。线路中给出了两组电阻 R1、R2 和电容 C 的参考组合，可以通过短路块来选择使用哪组元件。另外Φ0.5 的小孔可以直接插分立电阻和电容，用于自行设计电路。（注意：选择好一路元件后，要确保其它通路断开）



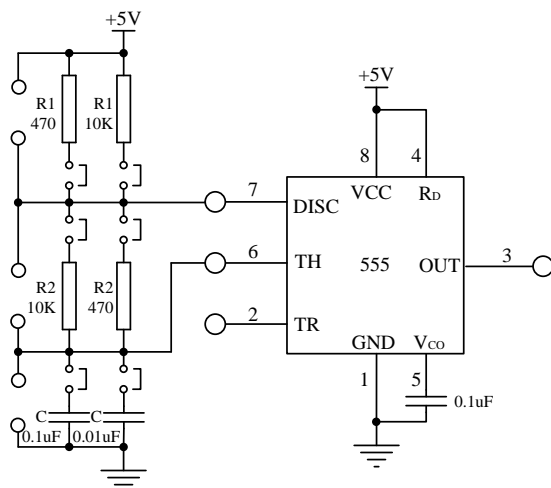


图 1-2-8 555 定时器单元电路

14. 时序逻辑电路单元

该单元设计了一组同步时序逻辑电路典型例程---同步序列检测器，输入为 CLK 和 x，输出为 z。另一组为异步时序逻辑电路典型例程---异步序列检测器，输入为 x1 和 x2，输出为 z。其线路如图 1-2-9 所示。更详细电路请查阅 3.4 和 3.5 两节实验。

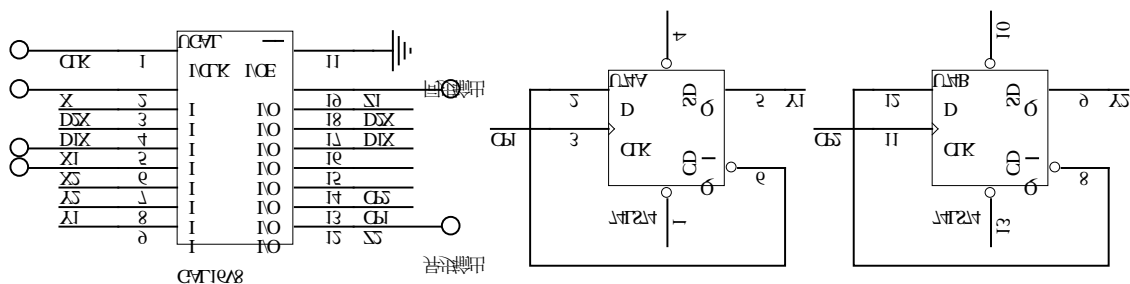


图 1-2-9 时序逻辑电路单元电路

15. 地址计数器单元

该单元提供一组八位计数器，主要用于产生存储器所需的 8 位地址。该单元开放设计，可以用于任何需要产生连续二进制编码输出的电路设计。电路结构如图 1-2-10 所示。

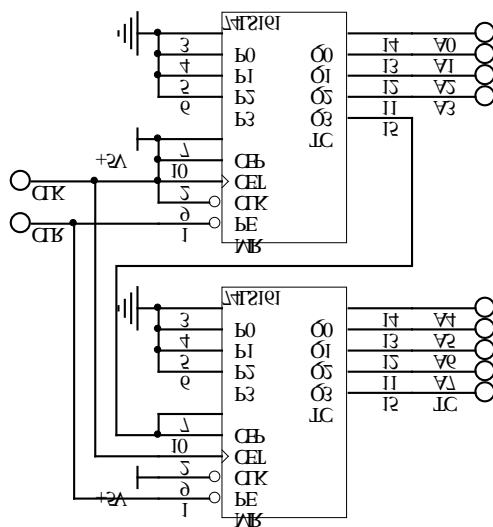


图 1-2-10 地址计数器单元电路

16. 集成分析仪器单元

该单元主要由一块 5 寸 TFT 液晶触控屏组成，并包含 8 路逻辑分析仪输入、8 路码型发生器输出、1 路电压测量输入、1 路外部时钟接入。一个多功能旋钮和 USB 优盘插座。当仪器运行异常时可以按复位按钮对系统进行复位。该仪器单元详细操作请参见 1.3 节所述。

1.2.2 系统电源介绍

TD-DS+系统采用我公司自行研发生产的三路高效开关电源作为系统工作和实验的电源。

1. 主要技术指标为：

输入电压：AC165-265V

输出电压/电流：+5V/2A，±12V/0.2A

输出功率：15W

效率：≥75%

稳压性能：电压调整率≤0.2%

负载调整率≤0.5%

纹波系数≤0.5%

工作环境温度：-5℃-40℃

- 系统电源安装于电路板下方机箱内，电源开关在电路板左上角，电源输出在供系统使用的同时还可以导线方式引出。
- 当关闭电源后，不能立即重新开启，关闭到重新开启需要至少 30 秒钟的间隔。

1.3 TD-DS+实验系统的配置及操作

1.3.1 系统配置

TD-DS+实验系统主要配置参考表 1-3-1 所示。某些配置可能会根据用户实际需求进行调整，具体的配置结构以设备实物为准。

表 1-3-1 TD-DS+实验系统的主要配置

项目	内容	数量
铝合金机箱	48.5cm×34.5cm×11.5cm	1 个
电源	SP-15 型三路开关电源	1 个
电源线	三相插头	1 根
单次脉冲	微动开关，分上升沿和下降沿 2 组	2 组
固定连续脉冲	1MHz、100KHz、10KHz、1KHz、100Hz、10Hz、1Hz	各 1 组
可调连续脉冲	1Hz—100KHz 可调	1 组
逻辑电平开关	拨动开关、带电平显示	16 组
逻辑电平显示	电平显示灯、正逻辑	16 组
七段数码管显示	1 组 2 位不带 BCD 译码、2 组 4 位带 BCD 译码	共 6 位
电位器	10K	1 个
蜂鸣器	带驱动电路、高电平有效	1 个
专用实验区	数/模、模/数转换器、存储器、555 定时器、时序逻辑电路	
扩展实验区	专用 IC 座或通用Φ0.5 圆孔阵列到Φ2 插座的转接	
集成分析仪器	8 路逻辑分析仪、8 路码型发生器、1 路电压测量、1 路外部时钟接入、5 寸 TFT 液晶触控屏、多功能旋钮 USB 优盘接口	
实验用导线	Φ2 锥体连接器	50 根
实验用芯片	74LS00、74LS02、74LS04、74LS10、74LS32、74LS74、74LS75、74LS86、74LS90、74LS112、74LS138、74LS153、CD4511、74LS161、74LS194	各 1 片
	74LS08	2 片

集成分析仪器主要技术指标参考表 1-3-2 所示。

表 1-3-2 TD-DS+集成分析仪器主要技术指标

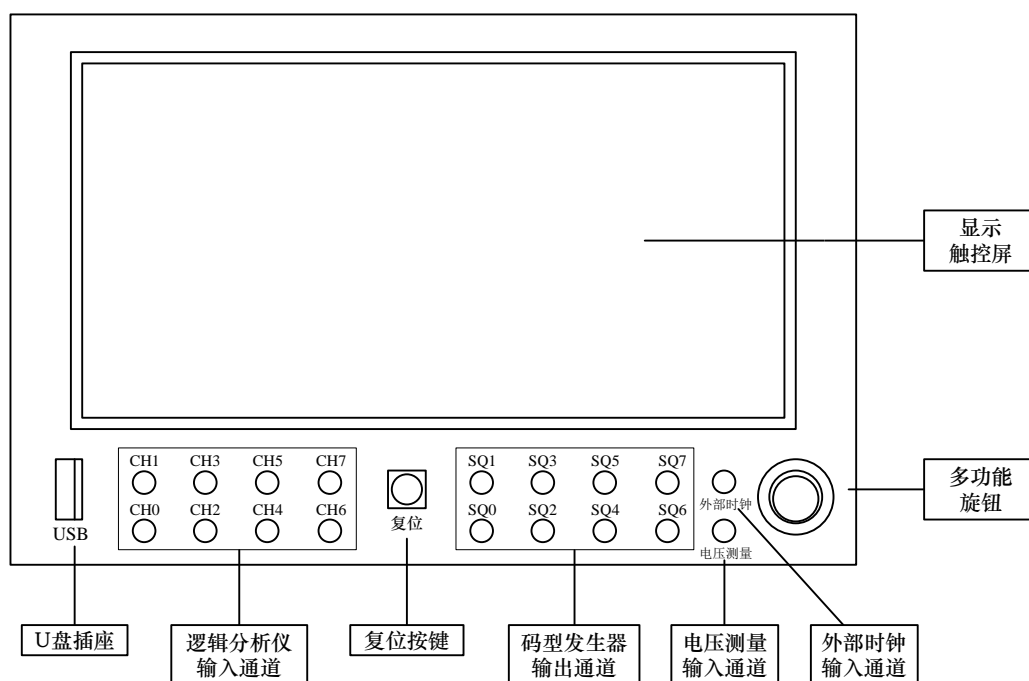
项目	主要指标
最高时序采样率	100MHz
数据通道	8 数据+1 时钟
存储深度	1Kb×8
阈值范围	-5V~+5V

输入带宽	10MHz
输入阻抗	200K Ω
触发位置	任意
触发方式	立即触发、沿触发、数据触发
码型输出通道	8
码型输出速率	最大 1MHz
码型存储深度	1Kb \times 8

1.3.2 集成分析仪器操作说明

一、集成分析仪器单元构成说明

集成分析仪器单元构成如下图所示。



集成分析仪器单元构成示意图

二、集成分析仪器操作说明

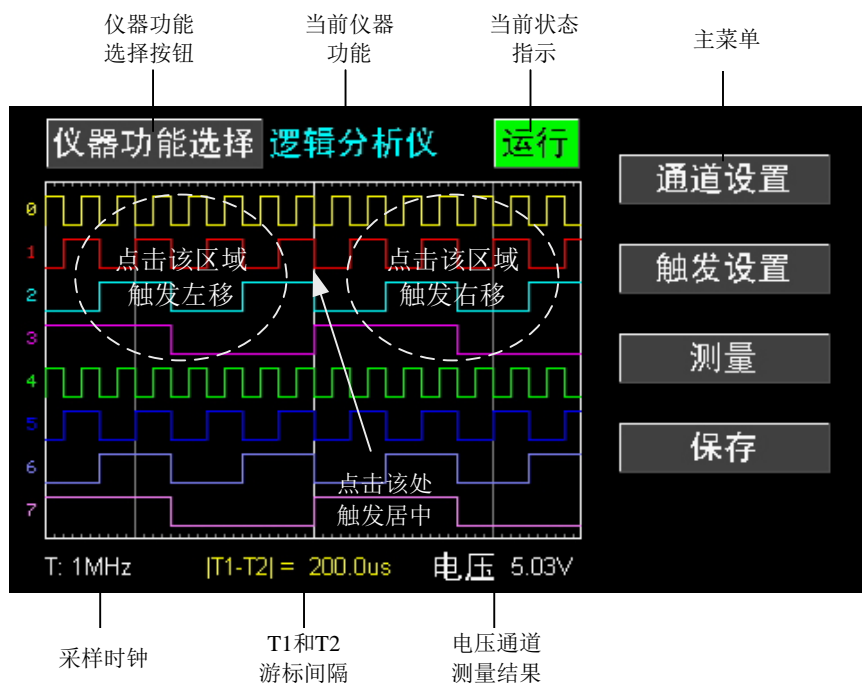
集成分析仪器采用全触控操作方式，提供逻辑分析仪、码型发生器、状态表、波形显示和逻辑笔五项功能。在主界面按仪器功能选择，可以选择需要启动的仪器功能。



仪器功能选择

1. 逻辑分析仪

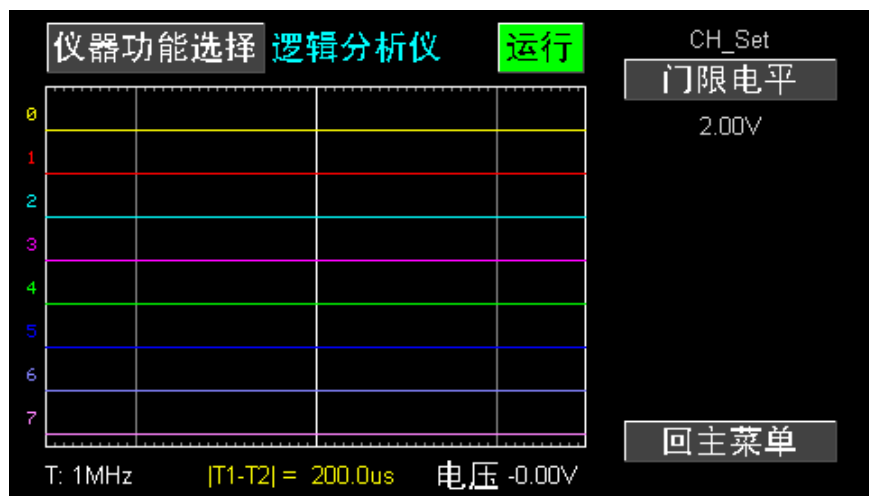
按仪器功能选择按钮，选择逻辑分析仪后即进入逻辑分析仪主界面。在逻辑分析仪主界面上，主要包含有逻辑波形显示区、主菜单和一些状态指示，如下图所示。点击主菜单上各项按钮，可进入相应菜单项设置。在主菜单下，旋转多功能旋钮表示设置采样时钟。



逻辑分析仪主界面

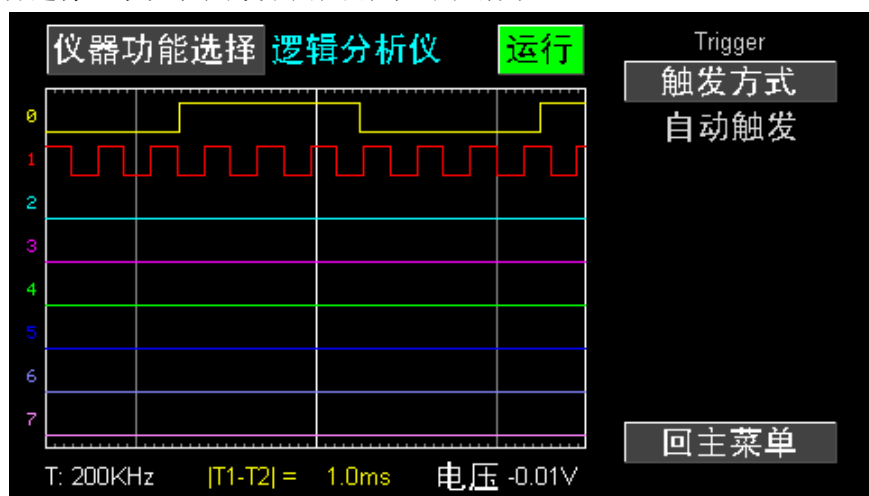
通道设置

在主菜单按**通道设置**，进入通道设置菜单。在通道设置菜单中可以设置逻辑分析仪门限电平。通过转动多功能旋钮，设置门限电平值。



触发设置

在主菜单按**触发设置**，进入触发设置菜单。按**触发方式**，可以在自动触发、沿触发和组合触发之间进行选择。系统默认为自动触发，如下图所示。



a. 自动触发

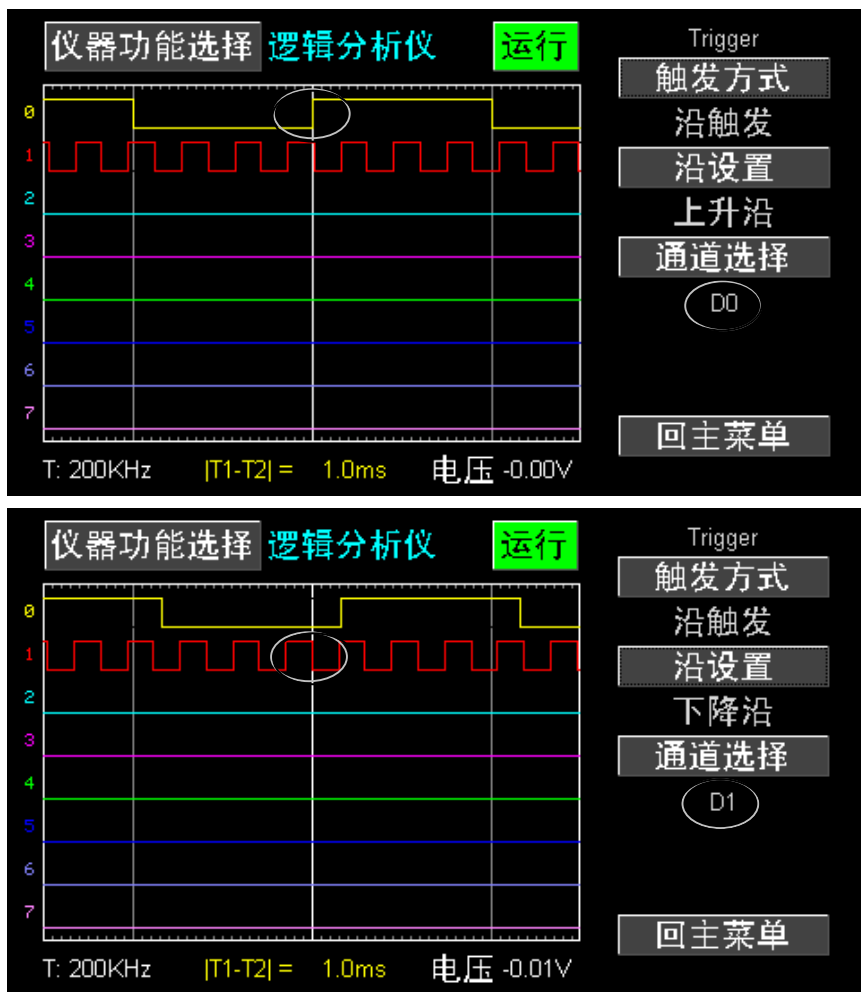
无触发条件，逻辑分析仪自动启动采样。

b. 沿触发

选择 8 个通道中某一通道信号的上升沿或是下降沿为触发条件进行触发。触发条件达到后

启动采样。在沿触发设置中，按沿设置选择上升沿还是下降沿，转动多功能旋钮进行触发通道的选择。

例如设置 D0 通道上升沿触发和 D1 通道下降沿触发如下图所示。

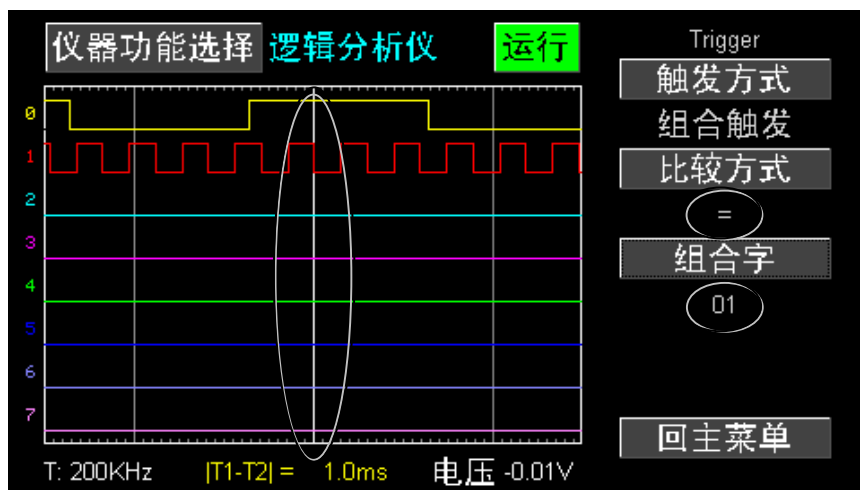


c. 组合触发

设置 8 个通道信号到达某种组合状态为触发条件进行触发。触发条件到达后启动采样。组合状态比较方式通过比较方式按钮选择，共有“=、≥、≤、>、<、≠”六种方式。

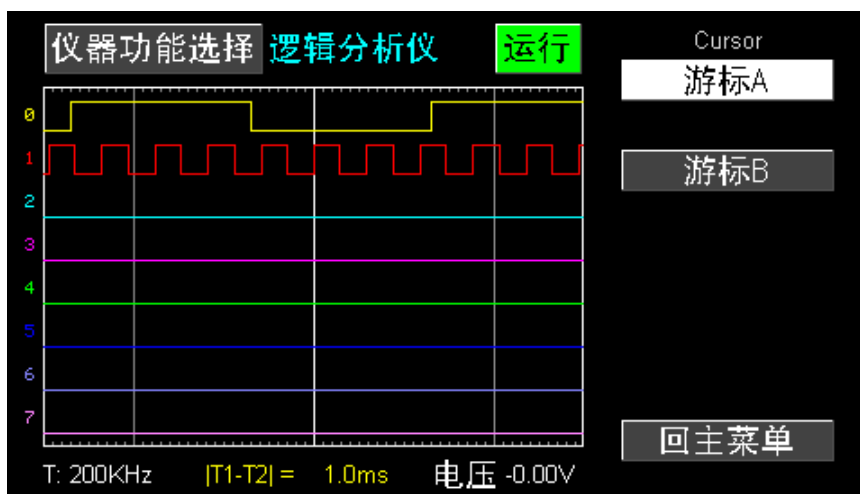
组合状态的组合字通过转动多功能旋钮进行设置，设置好组合字在组合字按钮下显示。

例如要设置触发条件为 8 通道信号等于“0x01”时启动触发，设置方法如下。按触发方式，选择组合触发。按比较方式，选择“=”。转动多功能旋钮设置组合字为“01”。此时，8 通道信号即在等于“0x01”时触发。如下图所示。



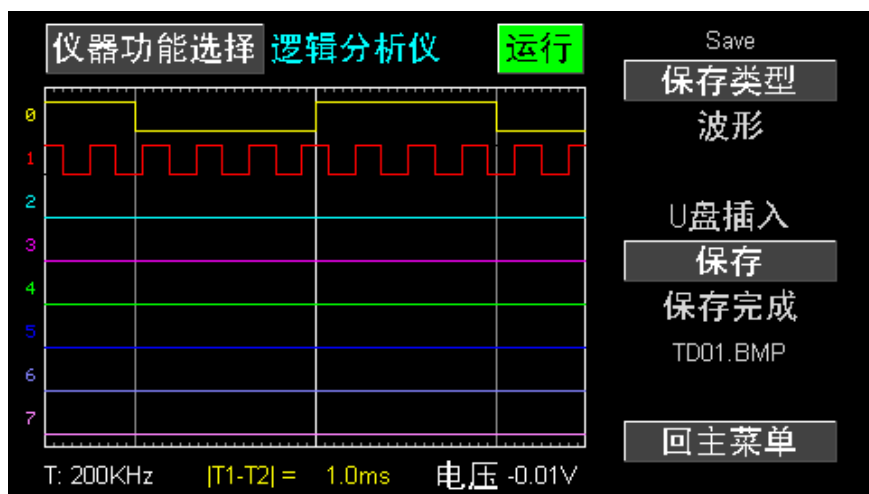
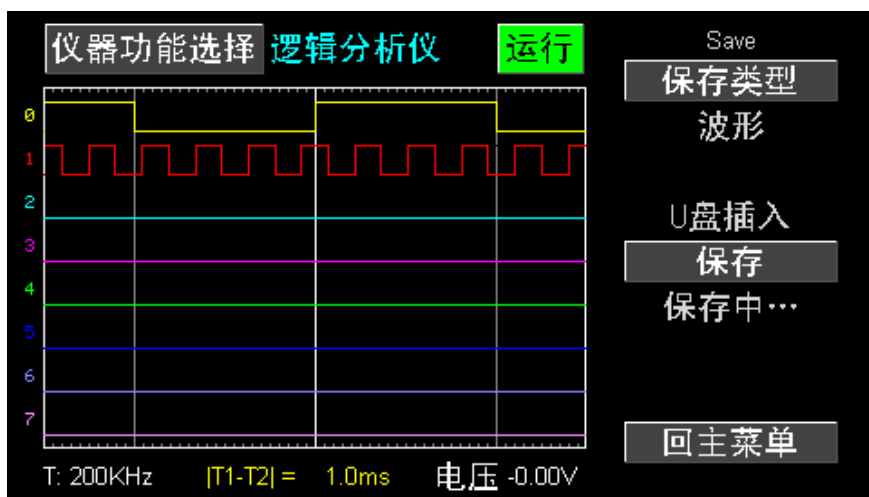
测量

在主菜单按**测量**，进入测量菜单。按**游标 A**，使“游标 A”按钮高亮显示，转动多功能旋钮可以对游标 A 进行左右移动设置。按**游标 B**，使“游标 B”按钮高亮显示，转动多功能旋钮可以对游标 B 进行左右移动设置。游标 A 和游标 B 之间时间间隔计算结果 T1-T2 在通道波形显示区下方显示。



保存

在主菜单按**保存**，进入保存菜单。将 U 盘插入 U 盘插座后，按**保存**，画面显示“保存中...”，保存成功后，显示“保存完成”和所存图片文件名称。文件名称自动累计命名。

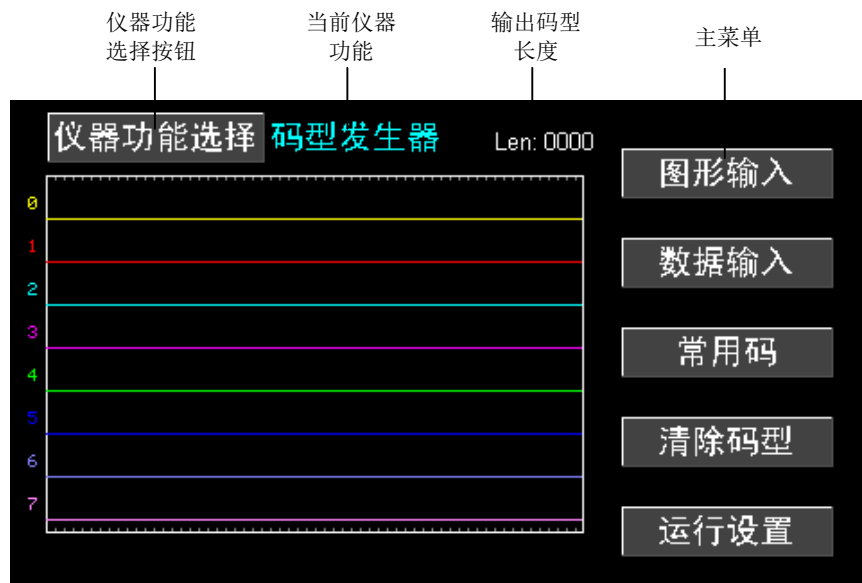


电压测量

用椎体连接线将要测量的点连接到“电压测量”输入端，即可在逻辑分析仪主界面的下方看到“电压 □.□□V”的电压值显示。

2. 码型发生器

按仪器功能选择按钮，选择码型发生器后即进入码型发生器主界面。在码型发生器主界面上，主要包含有逻辑波形显示区或逻辑状态编码设置表、主菜单和一些状态指示，如下图所示。点击主菜单上各项按钮，可进入相应菜单项设置。

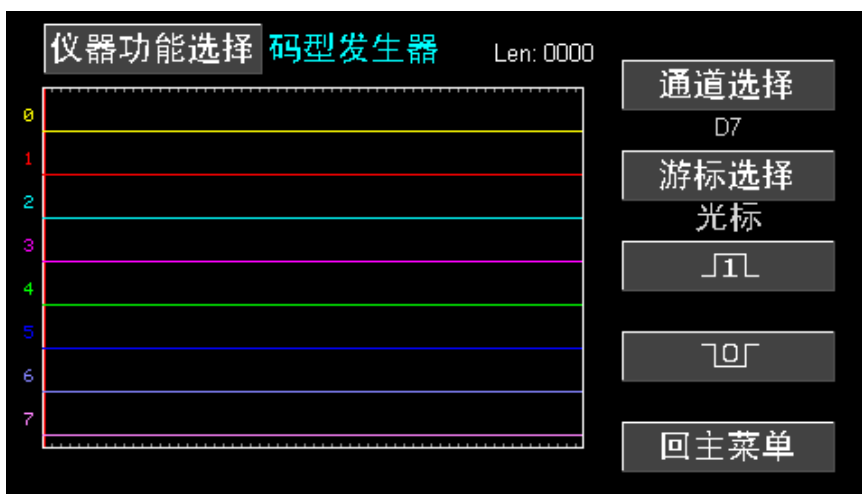


码型发生器主界面

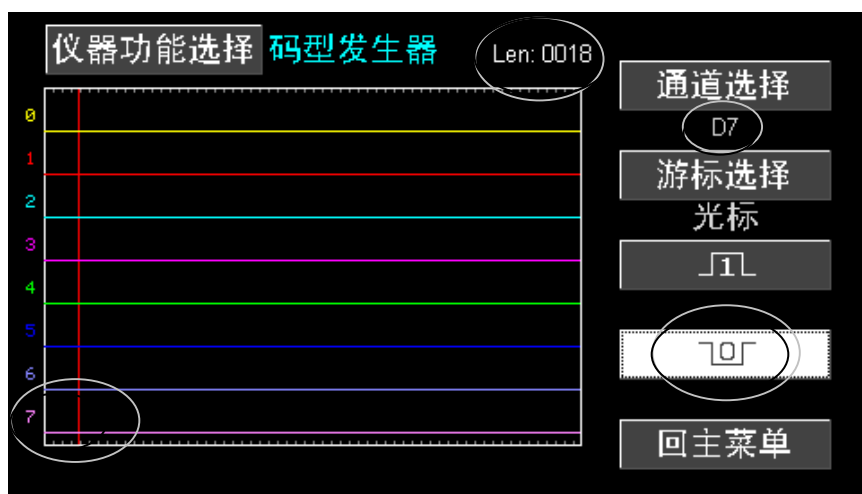
图形输入

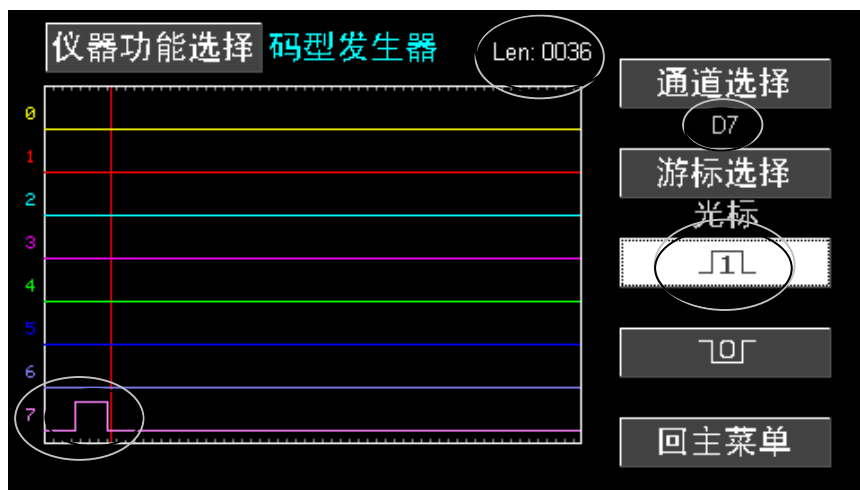
图形输入是指采用编辑各路信号逻辑波形的形式进行输出码型的设计。

在主菜单中按 **图形输入**，进入图形输入界面。在图形输入界面中，可以分别选择一路通道进行逻辑波形设计。选择通道的方法是点击要选择的通道波形，选择成功后在右边菜单项目 **通道选择** 按钮下会显示相应通道名称。转动多功能旋钮移动游标，用以确定绘图的位置。画“高”还是画“低”，分别通过按 **1** 和 **0** 两个按钮。



例如：要对通道 7 设置 18 个单位点的低电平和 18 个单位点的高电平，操作方法是：先点选通道 7 波形，使右边菜单中通道选择按钮下显示“D7”。然后按 $\overline{J0L}$ ，转动多功能旋钮至 18 个单位点处，界面上部 Len 显示 0018。然后按 $\overline{J1L}$ ，转动多功能旋钮至 36 个单位点处，界面上部 Len 显示 0036。如下图所示。

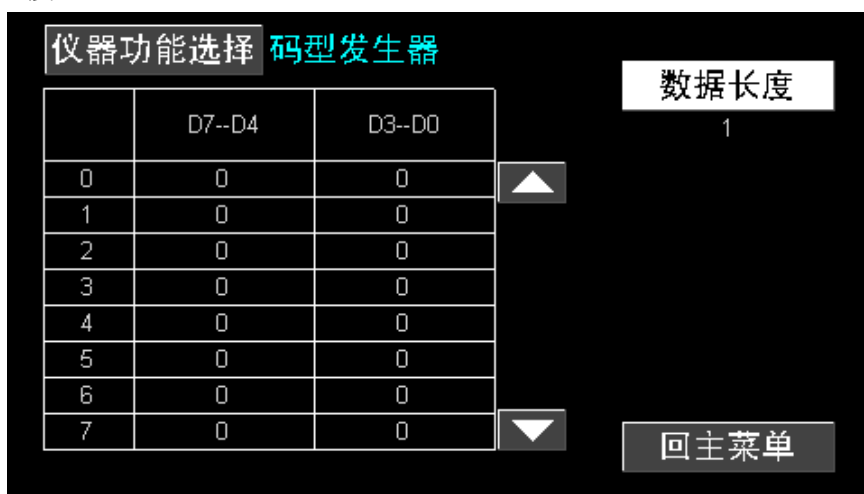




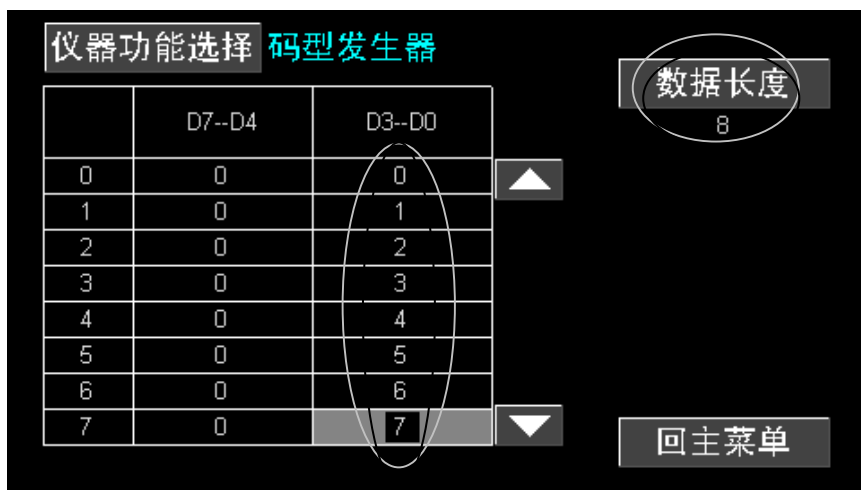
数据输入

数据输入是指采用直接编辑输出信号编码的形式进行输出码型的设计。

在主菜单中按数据输入，进入数据输入界面。在数据输入界面中，以表格的形式列出编辑输出通道的编码。每一行代表一个单位点，前面显示该点的序号。8 路通道分两组显示其编码，D3~D0 为一组，D7~D4 为一组。点击各个单元格，然后转动多功能旋钮可以设置相应通道及单位点的编码。编码以十六进制形式显示。点击数据长度按钮，然后转动多功能旋钮可以设置输出码型的总长度。

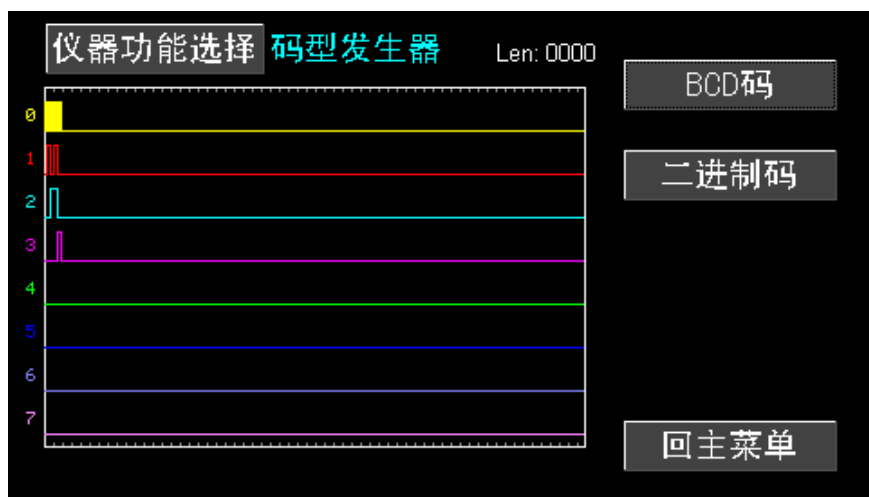


例如：编辑一组 0~7 连续的数据编码，分别点击“D3~D0”第 0 到 7 对应的单元格，转动多功能旋钮，分别输入 0、1、2、3、4、5、6、7。如下图所示。



常用码

常用码是指码型发生器事先预置的一些编码，可以直接调用。包括 BCD 码和二进制码。如下图所示。

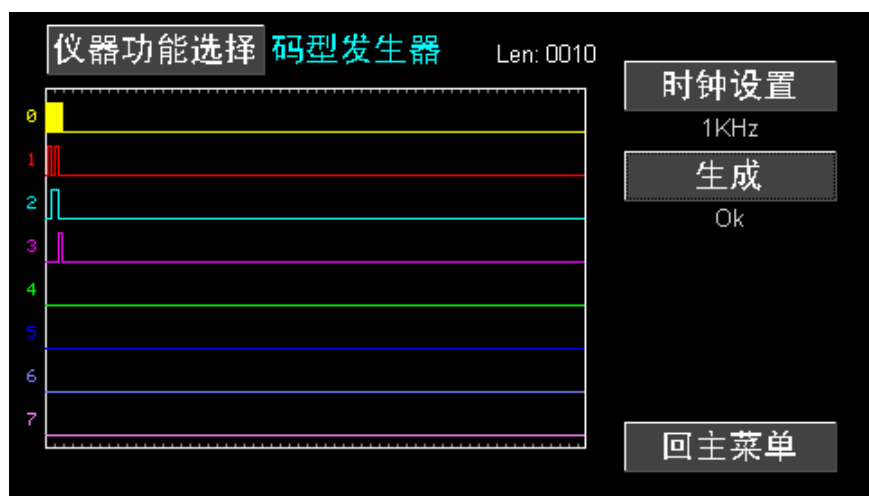
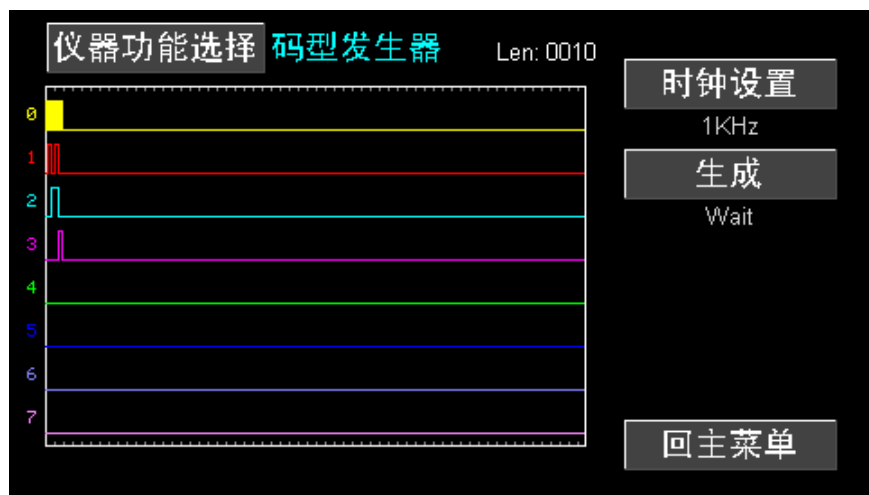


清除码型

清除码型是指清除编辑好的码型。操作方法是按下清除码型按钮，码型存储器即清空，码型长度归零。

运行设置

在运行设置菜单中，主要对已编辑好的码型进行运行状态的设置。**时钟设置**按钮可以选择码型发生器的发送时钟，即指以多快的时钟来发送已经设置好的码型数据。默认为 1KHz。**生成**按钮是码型发生器启动按钮，按下该按钮，下面显示“Ok”，码型发生器启动，设置好的码型数据开始循环输出。如下图所示。



3. 状态表

按**仪器功能选择**按钮，选择“状态表”后即进入状态表主界面。状态表功能主要用于测量逻辑信号的逻辑状态时使用，再结合码型编辑功能，可以对逻辑电路施加输入激励信号，同测

量到的输出结果一起构成电路的状态真值表。在状态表主界面上，主要包含有逻辑状态显示区和操作按钮，如下图所示。逻辑状态显示区中以“0”和“1”数字代表各对应通道的逻辑状态，“Z”代表高阻态。点击各项按钮，可进入相应菜单项设置。



状态表主界面

打开码型

打开码型是指同时显示码型发生器的输出逻辑状态，如果事先编辑了要发送的编码，在单步或连续运行状态表测量时会同时显示码型发生器输出的编码和测量到的逻辑状态表。打开码型后界面如下图所示。



打开码型状态表主界面

编辑码型

点击编辑码型可以进入码型发生器的码型编辑。在这里可以设置要作为电路输入激励信号的逻辑编码，这些编码将随着状态表测量按顺序发送。在本界面中，以表格的形式列出编辑输

出通道的编码。每一行代表一组编码，对于每路信号而言，即就是一个逻辑状态。前面显示该组的序号。8 路通道分两组显示其编码，D3~D0 为一组，D7~D4 为一组。点击各个单元格，然后转动多功能旋钮可以设置相应通道及编码。编码以十六进制形式显示。点击数据长度按钮，然后转动多功能旋钮可以设置输出码型的总长度。



通过点击 BCD 码或者二进制码按钮，可以快速得到一组预先设置好的 BCD 或二进制码。

编辑好后点击回主菜单，编码自动保存并返回到主菜单。

清零

点击清零可以将测量到的状态表清空。

连续

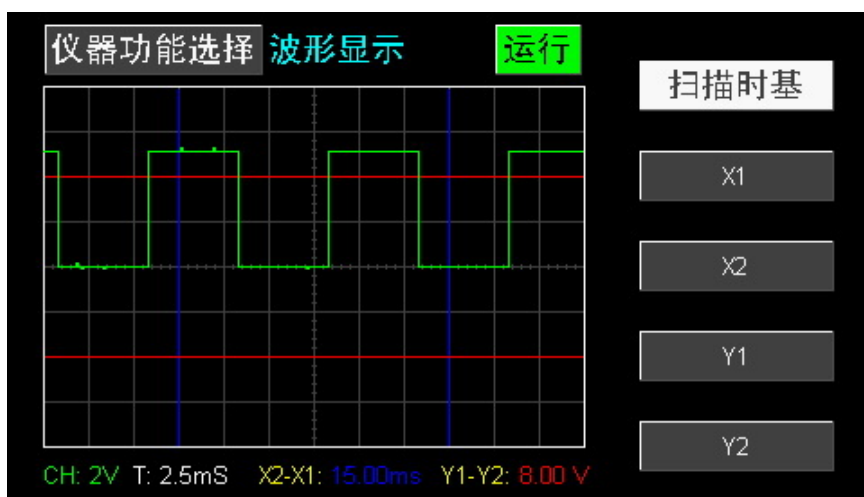
点击连续指按默认速度连续进行状态表测量，连续次数为码型发生器编辑的长度。如果没有进行码型编辑，则不执行连续测量。

单步

点击单步指执行一次状态表测量。如果编辑了码型发生器的输出编码，单步测量同时先发送一组编辑好的输出编码，再执行测量。输出的编码按编辑的顺序依次发送，若发送完编码仍执行单步，则从头开始再次发送及测量。

4. 波形显示

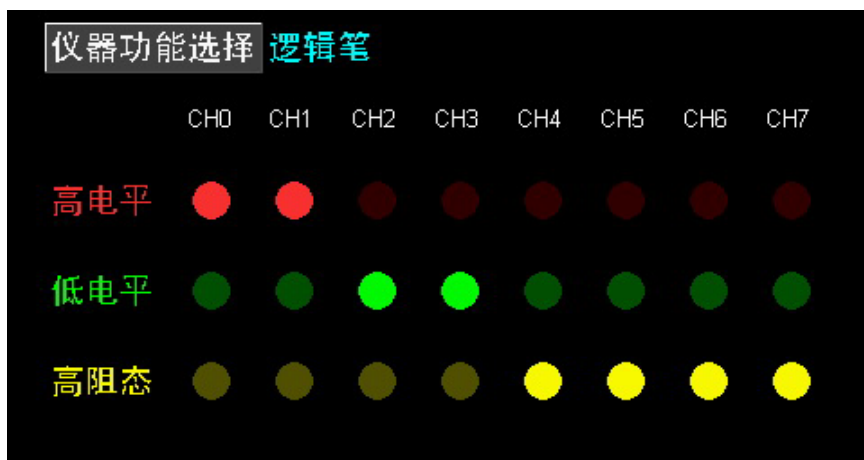
按仪器功能选择按钮，选择“波形显示”后即进入波形显示主界面。该功能相当于示波器功能，可以观测一路信号的完整波形。被测信号通过“电压测量”输入端接入。右边按钮区用于指示多功能旋钮的操作内容。“扫描时基”指示旋钮用于调节水平扫描时基。“X1”和“X2”指示旋钮用于调节竖直方向的两个游标的位置，进行信号周期的测量。“Y1”和“Y2”指示旋钮用于调节水平方向的两个游标的位置，进行信号幅度的测量。



波形显示主界面

5. 逻辑笔

按仪器功能选择按钮，选择“逻辑笔”后即进入逻辑笔测量界面。



逻辑笔主界面

该测量功能是指将逻辑分析仪 8 路输入通道 CH0~CH7 作为 8 路逻辑笔来使用。在界面上很直观地显示各个通道当前所接入信号的逻辑状态。分别用 3 种颜色的圆圈高亮显示来指示，红色圆圈指示高电平，绿色圆圈指示低电平，黄色圆圈指示为高阻态。

第2章 门电路及组合逻辑电路实验

2.1 门电路逻辑功能及参数测试实验

2.1.1 实验目的

1. 熟悉门电路的逻辑功能；
2. 熟悉 TD-DS+实验系统的使用。

2.1.2 实验设备和器件

1. TD-DS+实验箱 1 台
2. 74LS00 2 输入端四与非门 1 片
3. 74LS02 2 输入端四或非门 1 片
4. 74LS04 六反相器 1 片
5. 74LS86 2 输入端四异或门 1 片

2.1.3 实验内容及步骤

1. 74LS00 型与非门逻辑功能测试

- (1) 用逻辑电平开关给门输入端 A、B 输入信号，用“H”或“1”表示输入高电平，用“L”或“0”表示输入低电平。
- (2) 用发光二极管 (LED) 显示门输出状态。当 LED 亮时，表示门输出状态为“1”；当 LED 灭时，表示门输出状态为“0”。
- (3) 将结果填入下表，判断功能是否正确。

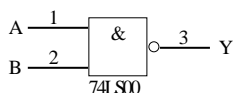


图 2-1-1 与非门

表 2-1-1 与非门输入、输出电平关系

输入 A	输入 B	输出 Y
0	0	
0	1	
1	0	
1	1	

2. 74LS86 型异或门逻辑功能测试

测试方法同上，将输入端 A、B 接逻辑开关，输出端 Y 接 LED 显示，将实验结果填入表中。

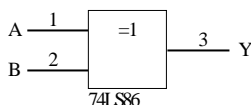


图 2-1-2 异或门

表 2-1-2 异或门输入、输出电平关系

输入		输出
A	B	Y
0	0	
0	1	
1	0	
1	1	

3. 74LS02 或非门和 74LS04 反相器逻辑功能测试

同学们可以使用同上的测试方法，自己画图、制表完成 74LS02 型或非门和 74LS04 反相器逻辑功能测试。

4. 门电压传输特性测试

选择一组与非门按图 2-1-3 所示接线，每给定一个输入电压，通过电压测量测出相应的输出电压，将测得的结果填入下表，并根据所测数据绘制 $V_i - V_o$ 曲线。

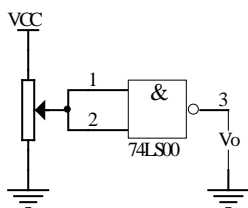


图 2-1-3 传输特性电路图

表 2-1-3 门电压传输特性

V_i (V)	0.00	0.20	0.40	0.60	0.80	0.90	0.95	1.00
V_o (V)								
V_i (V)	1.05	1.10	1.15	1.20	2.00	3.00	4.00	5.00
V_o (V)								

5. 与非门信号选通

利用与非门的功能特点，可以用于控制一个时钟信号的选通。

(1) 选择一组与非门，将其中一输入端 A 作为信号端，另一输入端 B 作为选通信号，输出 Y 即为选通输出。如图 2-1-4 所示。

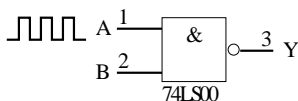


图 2-1-4 与非门信号选通

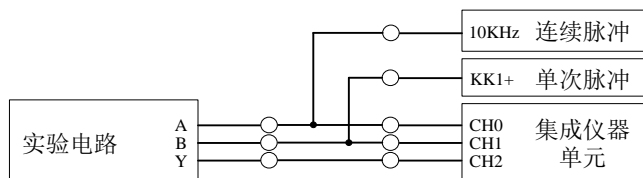


图 2-1-5 测量线路图

- (2) 按图 2-1-5 所示连接测量线路。
- (3) 进入逻辑分析仪，设置触发为上升沿触发，选择通道 1 为触发源。
- (4) 按动 KK1+，观察通道 2 的选通输出如何变化，记录下波形。如图 2-1-6 所示。

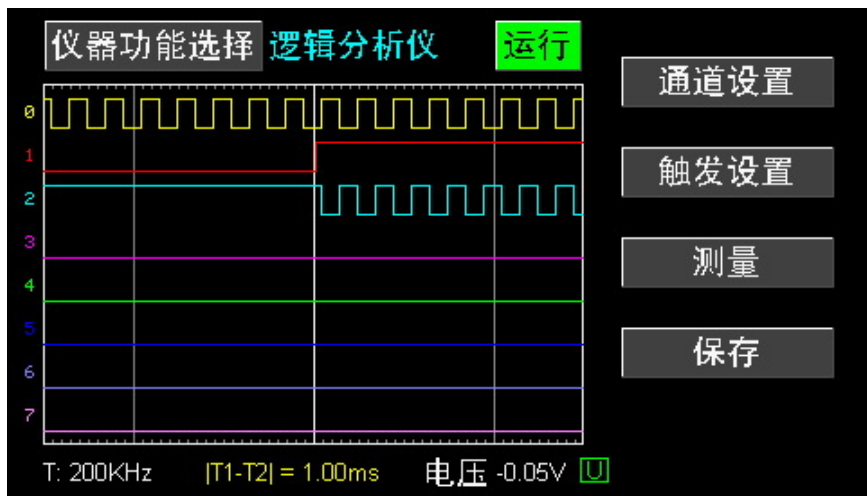


图 2-1-6 选通测量结果

2.2 组合逻辑电路设计实验

2.2.1 实验目的

1. 掌握组合逻辑电路的设计方法及卡诺图简化方法。
2. 熟悉测量分析仪器单元的操作。

2.2.2 实验设备和器件

1. TD-DS+实验箱 1 台
2. 74LS10 3 输入端三与非门 1 片
3. 74LS00 2 输入端四与非门 1 片
4. 74LS04 六反相器 1 片

2.2.3 实验内容及步骤

用所给集成电路组件设计一个多输出组合逻辑电路。该电路的输入是一个 BCD 码。当电路检测到输入的代码大于 3 时，电路的输出 $F_1=1$ ，其它情况 $F_1=0$ 。当输入的代码小于 7 时，电路的另一个输出 $F_2=1$ ，其它情况 $F_2=0$ 。该电路的框图如图 2-2-1 所示。

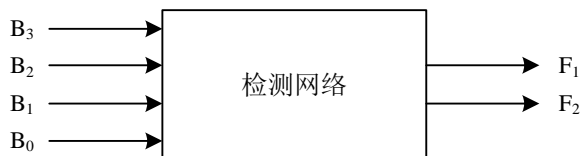


图 2-2-1 组合逻辑电路设计实验框图

根据题意，画出真值表如表 2-2-1 所示。

表 2-2-1 组合逻辑电路设计实验真值表

B_3	B_2	B_1	B_0	F_1	F_2
0	0	0	0	0	1
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	1	1
0	1	1	0	1	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	1	0

根据真值表写出输出函数的最少项表达式：

$$F_1 = \sum m(3,4,5,6,7,8,9) + \sum d(10,11,12,13,14,15)$$

$$F_2 = \sum m(0,1,2,3,4,5,6) + \sum d(10,11,12,13,14,15)$$

用卡诺图对上式的 F_1 、 F_2 进行化简得：

$$F_1 = B_3 + B_2 + B_1 B_0$$

$$F_2 = \overline{B_3} \overline{B_2} + \overline{B_1} \overline{B_3} + \overline{B_0} \overline{B_3}$$

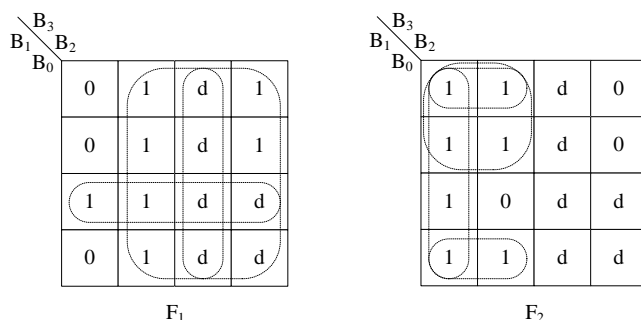


图 2-2-2 组合逻辑电路设计实验卡诺图化简

实验要求采用“与非”门实现上述函数，则应将它们转换成“与非—与非”表达式：

$$F_1 = \overline{\overline{B_3} \cdot \overline{B_2} \cdot B_1 B_0}$$

$$F_2 = \overline{\overline{B_3} \overline{B_2} \cdot \overline{B_1} \overline{B_3} \cdot \overline{B_0} \overline{B_3}}$$

其相应的逻辑电路如图 2-2-3 所示。

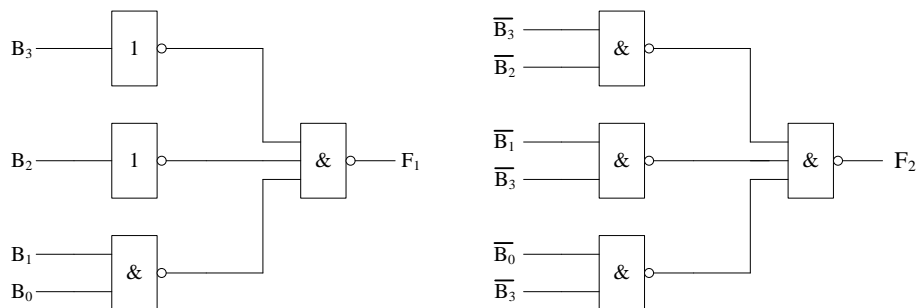


图 2-2-3 组合逻辑电路设计实验电路图

实验步骤如下：

- (1) 利用前面所述芯片，根据图 2-2-3 所示电路图连接线路。
- (2) 根据图 2-2-4 所示连接测量线路。
- (3) 连接好线路后，进入状态表功能。打开码型显示，进入编辑码型，选择输出 BCD 码。

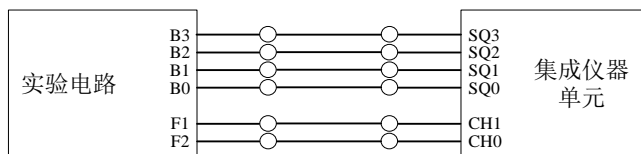


图 2-2-4 组合逻辑电路设计实验测量线路图

然后返回状态表主菜单，点击单步一步一步运行直到 BCD 码发送完成或者直接点击连续运行，即可得到测量结果。将结果以数据表格的文件形式保存下来。如表 2-2-2 所示。

表 2-2-2 通过状态表测量功能的测量结果

S7	S6	S5	S4	S3	S2	S1	S0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	0	0	1	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	0	1	0	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	0	1	1	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	0	0	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	0	1	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	1	0	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	1	1	Z	Z	Z	Z	Z	Z	1	0
0	0	0	0	1	0	0	0	Z	Z	Z	Z	Z	Z	1	0
0	0	0	0	1	0	0	1	Z	Z	Z	Z	Z	Z	1	0

2.3 译码器和数码显示器实验

2.3.1 实验目的

1. 掌握 74LS138 型 3 线-8 线译码器的逻辑功能；
2. 熟悉逻辑分析仪和码型发生器的配合调试；
3. 掌握 CD4511 型 7 段 BCD 译码器的逻辑功能。

2.3.2 实验设备和器件

1. TD-DS+实验箱 1 台
2. 74LS138 3 线-8 线译码器 1 片
3. CD4511 BCD-7 段译码器/驱动器 1 片

2.3.3 实验内容及步骤

1. 74LS138 型 3 线-8 线译码器逻辑功能验证

按图 2-3-1 所示方法接线，输入端接逻辑开关，输出端接逻辑电平显示，根据逻辑功能表输入，将测试结果填表。

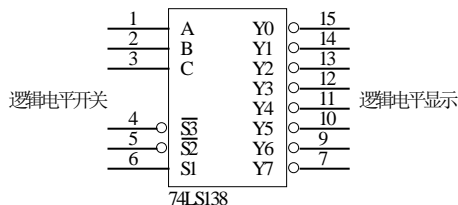


图 2-3-1 3 线-8 译码器线路图

表 2-3-1 74LS138 功能表

输 入						输 出							
S1	S2	S3	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	X	X	X	X	X								
X	1	X	X	X	X								
X	X	1	X	X	X								
1	0	0	0	0	0								
1	0	0	0	0	1								
1	0	0	0	1	0								
1	0	0	0	1	1								
1	0	0	1	0	0								

1	0	0	1	0	1								
1	0	0	1	1	0								
1	0	0	1	1	1								

我们还可以通过逻辑分析仪结合码型发生器来测量 3 线-8 线译码器输出 Y0~Y7 的波形, 这样对译码器功能就会有更直观的认识, 具体操作步骤如下:

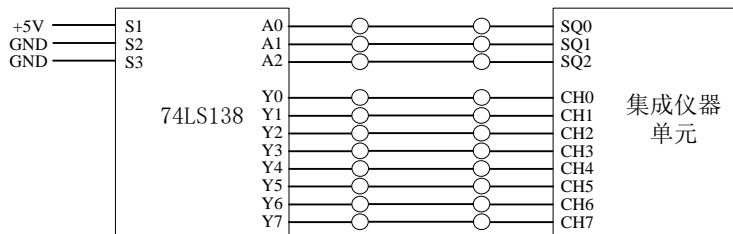


图 2-3-2 74LS138 测量线路图

(1) 按照图 2-3-2 所示连接实验电路及测量线路。

(2) 进入码型发生器设置, 选择常用码->二进制码, 直接生成 16 个 4 位二进制编码 0000~1111, 然后进入运行设置, 点击生成。在这里, 74LS138 只需 3 位二进制码, 因此我们只用到码型发生器低 3 位。

(3) 用逻辑分析仪观测 74LS138 输出 8 个通道上的实际波形效果, 记录下波形。测量结果如图 2-3-3 所示。

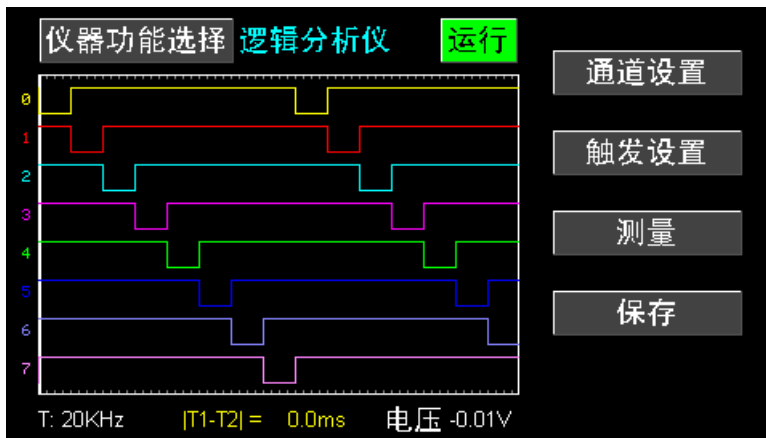


图 2-3-3 74LS138 输出通道的波形

2. BCD-7 段译码器功能验证

实验中采用 CD4511 七段译码器驱动共阴极数码管。按照图 2-3-4 所示连接实验电路, 将 A、B、C、D 接逻辑开关, 输出端接七段数码管显示单元中无译码器数码管对应引脚, SEG0 接地。验证 CD4511 七段译码器功能。

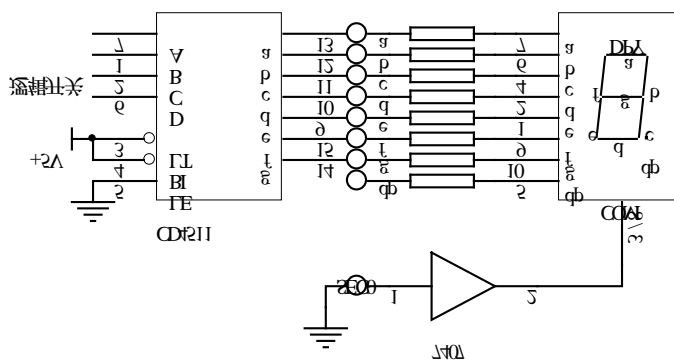


图 2-3-4 BCD-7 段译码器功能验证线路图

2.4 数据选择器实验

2.4.1 实验目的

1. 熟悉 74LS153 型数据选择器的逻辑功能；
2. 了解 74LS153 的应用。

2.4.2 实验设备及器件

1. TD-DS+实验箱 1 台
2. 74LS02 2 输入端四或非门 1 片
3. 74LS04 六反相器 1 片
4. 74LS153 双四选一数据选择器 1 片

2.4.3 实验内容及步骤

1. 74LS153 逻辑功能测试

74LS153 为双 4 选 1 数据选择器，任选其中一组，按图 2-4-1 接线，4 个输入端输入不同的频率，A1、A0 接逻辑开关。按表 2-4-1 输入选择信号，用逻辑分析仪观察输出是那一路的波形，并将通道结果填入表中。

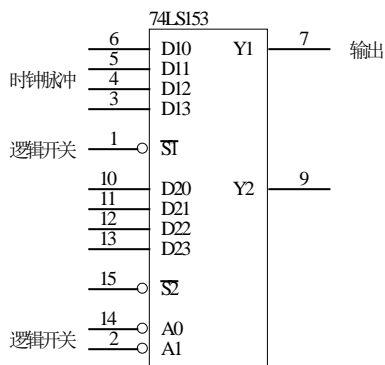


表 2-4-1 74LS153 功能表

S	A1	A0	Y
1	×	×	
0	0	0	
0	0	1	
0	1	0	
0	1	1	

图 2-4-1 74LS153 逻辑功能测试

2. 用数据选择器实现逻辑函数

74LS153 有 2 位地址输入，能产生任何形式的三变量以下的逻辑函数。试用 4 选 1 数据选择器产生三变量逻辑函数：

$$Z = \overline{A}\overline{B}\overline{C} + BC + \overline{A}BC$$

将上式变换可得：

$$Z = \overline{A}(\overline{B}\overline{C}) + A(\overline{B}C) + 0 \cdot (B\overline{C}) + 1 \cdot (BC)$$

只要令数据选择器的输入为：

$$\begin{aligned} D0 &= \overline{A} & D1 &= A & D2 &= 0 & D3 &= 1 \\ A0 &= C & A1 &= B \end{aligned}$$

数据选择器的输出就是所要求的逻辑函数 Z。

实验步骤如下：

(1) 参照图 2-4-2 所示电路图连接实验电路。

(2) 参照图 2-4-3 所示连接测量线路。

(3) 连接好线路后，进入状态表功能。打开码型显示，进入编辑码型，选择输出二进制码。然后返回状态表主菜单，点击单步一步一步运行直到二进制码为 0111，即可得到测量结果。将结果以数据表格的文件形式保存下来。如表 2-4-2 所示。

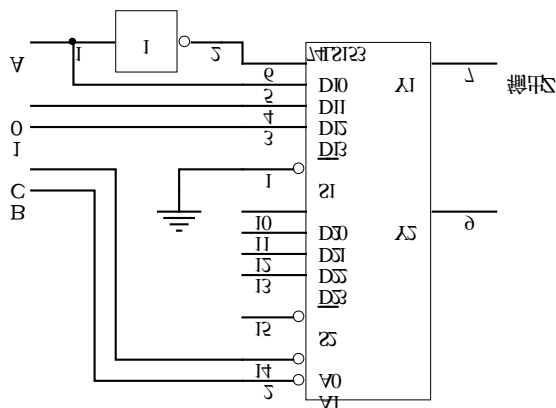


图 2-4-2 用数据选择器实现逻辑函数

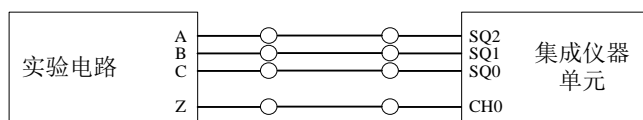


图 2-4-3 实验测量线路图

表 2-4-2 通过状态表测量功能的测量结果

S7	S6	S5	S4	S3	S2	S1	S0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	Z	Z	Z	Z	Z	Z	Z	1
0	0	0	0	0	0	0	1	Z	Z	Z	Z	Z	Z	Z	0
0	0	0	0	0	0	1	0	Z	Z	Z	Z	Z	Z	Z	0
0	0	0	0	0	0	1	1	Z	Z	Z	Z	Z	Z	Z	1
0	0	0	0	0	1	0	0	Z	Z	Z	Z	Z	Z	Z	0
0	0	0	0	0	1	0	1	Z	Z	Z	Z	Z	Z	Z	1

0	0	0	0	0	1	1	0	Z	Z	Z	Z	Z	Z	Z	0
0	0	0	0	0	1	1	1	Z	Z	Z	Z	Z	Z	Z	1

2.5 半加器与全加器实验

2.5.1 实验目的

1. 学习使用异或门组成半加器和全加器；
2. 测试异或门组成全加器的逻辑功能。

2.5.2 实验设备及器件

1. TD-DS+实验箱 1 台
2. 74LS00 2 输入端四与非门 1 片
3. 74LS86 2 输入端四异或门 1 片

2.5.3 实验内容及步骤

1. 用异或门和与非门构成半加器

电路如图 2-5-1 所示，输入端接逻辑开关，输出端接逻辑电平显示。将实验结果填入下表，判断结果是否正确，写出和 S 及进位 C 的逻辑表达式。

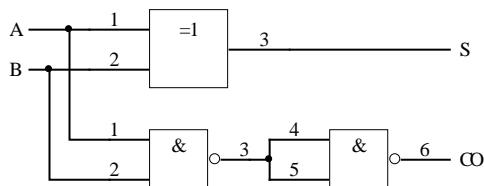


图 2-5-1 用异或门构成半加器

表 2-5-1 半加器输入、输出关系

输 入 端		输 出 端	
A	B	S	CO
0	0		
0	1		
1	0		
1	1		

2. 用异或门和与非门构成全加器

实验方法同 1，按图 2-5-2 接线，将实验结果填入表 2-5-2 中。

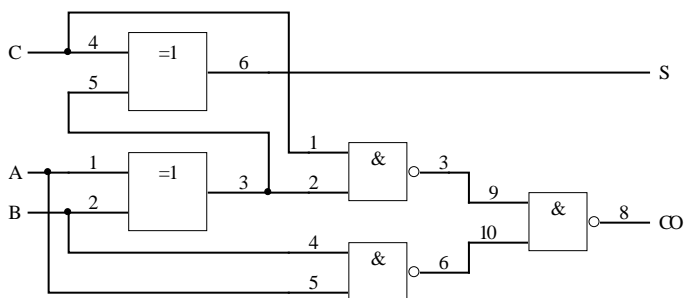


图 2-5-2 用异或门构成全加器

表 2-5-2 全加器输入、输出关系

输 入 端			输 出 端	
C	A	B	S	CO
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

下面我们用状态表测量来记录全加器逻辑功能，操作步骤如下：

(1) 按照图 2-5-3 所示连接测量线路。

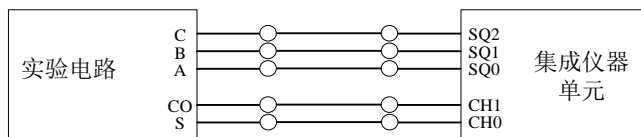


图 2-5-3 测量线路图

(2) 连接好线路后，进入状态表功能。打开码型显示，进入编辑码型，选择输出二进制码。然后返回状态表主菜单，点击单步一步一步运行直到二进制码为 0111，即可得到测量结果。将结果以数据表格的文件形式保存下来。如表 2-5-3 所示。

表 2-5-3 状态表测量结果

S7	S6	S5	S4	S3	S2	S1	S0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	Z	Z	Z	Z	Z	Z	0	0
0	0	0	0	0	0	0	1	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	0	1	0	Z	Z	Z	Z	Z	Z	0	1

0	0	0	0	0	0	1	1	Z	Z	Z	Z	Z	Z	1	0
0	0	0	0	0	1	0	0	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	1	0	1	Z	Z	Z	Z	Z	Z	1	0
0	0	0	0	0	1	1	0	Z	Z	Z	Z	Z	Z	1	0
0	0	0	0	0	1	1	1	Z	Z	Z	Z	Z	Z	1	1

2.6 竞争-冒险现象的观测与消除实验

2.6.1 实验目的

1. 掌握组合逻辑电路中竞争-冒险现象的观测方法。
2. 学会消除由于竞争-冒险产生的尖峰脉冲。

2.6.2 实验设备和器件

1. TD-DS+实验箱 1 台
2. 74LS08 2 输入端四与门 1 片
3. 74LS32 2 输入端四或门 1 片
4. 74LS04 六反相器 1 片

2.6.3 实验内容及步骤

组合逻辑电路中，两个输入信号同时向相反的逻辑电平跳变的现象称为竞争。由于这种竞争而在电路输出端可能产生尖峰脉冲的现象就称为竞争-冒险。如果输出端门电路的两个输入信号 A 和 A' 是输入变量 A 经过两个不同的传输途径而来的，那么当输入变量 A 的状态发生突变时输出端便有可能产生尖峰脉冲。我们看下面一个逻辑电路，它所对应的逻辑函数是 $Y=AB+A'C$ ，当 $B=C=1$ 时，上式将成为 $Y=A+A'$ 。故该电路存在竞争-冒险现象。

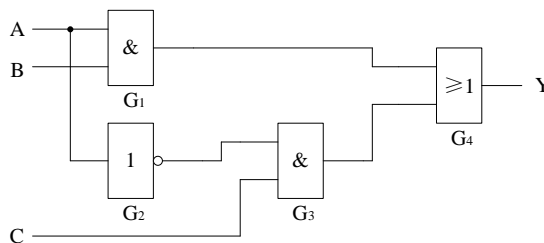


图 2-6-1 $Y=AB+A'C$ 逻辑电路

那么，像这样的逻辑输出，如果接入到一个对尖峰脉冲敏感的电路中，将可能使负载电路发生误动作。因此，必须采取措施加以避免。

消除竞争-冒险现象常用到的一些手段，比如在输出端并接很小的滤波电容，引入选通脉冲，修改逻辑设计等方法。对于本电路，根据逻辑代数的常用公式可知： $Y=AB+A'C=AB+A'C+BC$ 。我们发现，在增加了 BC 项后，在 $B=C=1$ 时无论 A 如何改变，输出始终保持 $Y=1$ 。因此， A 的状态变化不再会引起竞争-冒险现象。改进后的电路如图 2-6-2 所示。

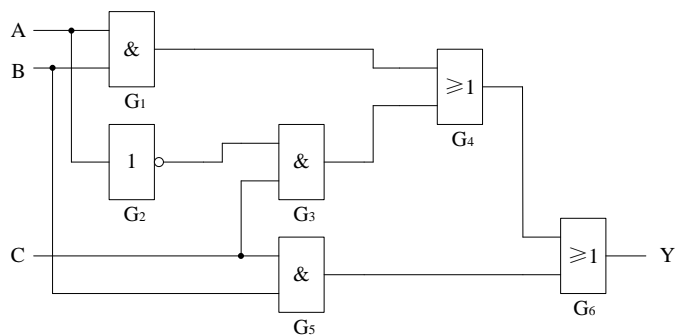


图 2-6-2 改进后的逻辑电路

下面我们实际测试前面所述电路的竞争-冒险现象以及改进后的效果。

- (1) 按照图 2-6-1 所示连接实验电路。
- (2) 按照图 2-6-3 所示连接测量线路。

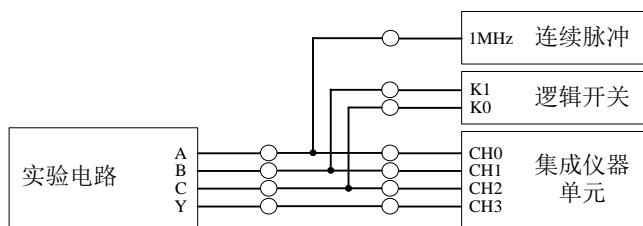
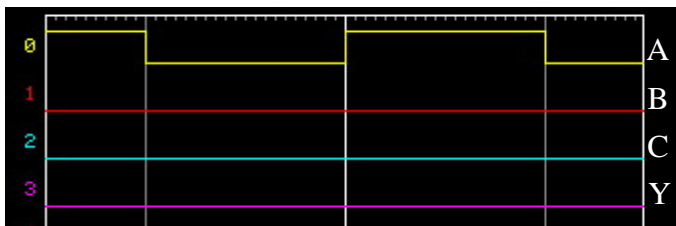
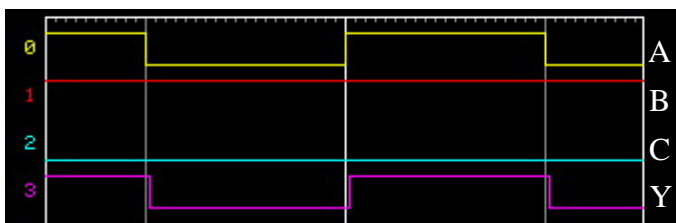


图 2-6-3 测量线路图

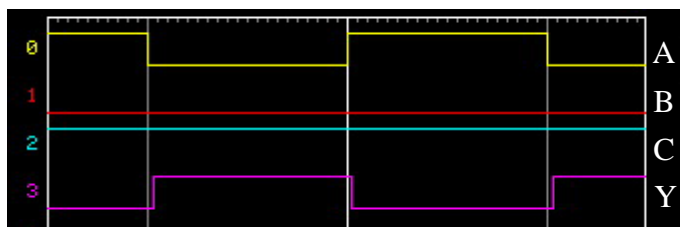
- (3) 分别记录下 B 和 C 为不同状态时逻辑分析仪所测得的波形。观察 $B=C=1$ 时是否产生了竞争-冒险现象。测量结果如图 2-6-4 所示。



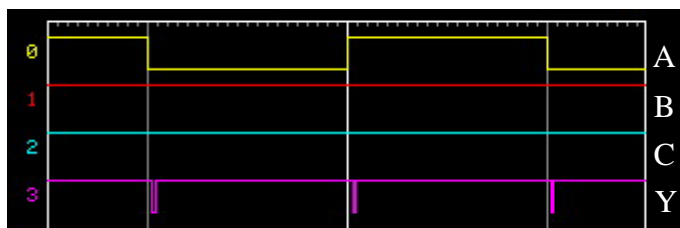
(B=0, C=0)



(B=1, C=0)



(B=0, C=1)



(B=1, C=1)

图 2-6-4 用逻辑分析仪测量结果

(4) 按照图 2-6-2 所示重新调整实验电路。

(5) 记录下 B=C=1 时逻辑分析仪所测得的波形，观察竞争-冒险现象是否消除。测量结果如图 2-6-5 所示。



(B=1, C=1)

图 2-6-5 用逻辑分析仪测量改进后电路的结果

从实际测量结果可以看到，当 B=C=1 时，输出 Y 已经得到了稳定的输出。这表明，竞争-冒险现象已经被消除。

第3章 触发器与时序逻辑电路实验

3.1 触发器实验

3.1.1 实验目的

1. 基本 R-S 触发器功能测试；
2. 集成 J-K 触发器功能测试；
3. 集成 D 触发器功能测试；
4. 使用 D 触发器构成分频器。

3.1.2 实验设备及器件

1. TD-DS+实验箱 1 台
2. 74LS00 2 输入端四与非门 1 片
3. 74LS112 双 J-K 触发器 1 片
4. 74LS74 双 D 触发器 1 片

3.1.3 实验内容及步骤

1. 用与非门构成 RS 触发器

用 74LS00 构成基本 RS 触发器，如图 3-1-1 所示， \bar{S}_D ， \bar{R}_D 分别接逻辑开关，输出端 Q 接 LED 显示。按表 3-1-1 做实验，将结果记录于表中，并判断结果是否正确。

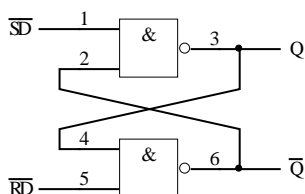


图 3-1-1 用与非门构成基本 RS 触发器

表 3-1-1 与非门构成 RS 触发器特性表

\bar{S}_D	\bar{R}_D	Q^n	Q^{n+1}	触发器状态
1	1	0		
1	1	1		
0	1	0		
0	1	1		

1	0	0		
1	0	1		
0	0	0		
0	0	1		

2. 集成 JK 触发器功能测试

(1) 从 74LS112 中任选一个 JK 触发器进行实验。按图 3-1-2 接线，数据输入端 J、K、置位端 \overline{SD} 、复位端 \overline{RD} 分别接逻辑电平开关，触发脉冲 CLK 接单次脉冲，输出端 Q 接 LED 显示。

(2) 观察 \overline{SD} 、 \overline{RD} 功能：置 $\overline{SD}=0$ 、 $\overline{RD}=1$ 和 $\overline{SD}=1$ 、 $\overline{RD}=0$ ，观察输出端 Q 的状态并记录结果。

(3) JK 触发器功能：置 $\overline{SD}=1$ 、 $\overline{RD}=1$ ，按表 3-1-2 实验，验证触发器功能并记录结果。

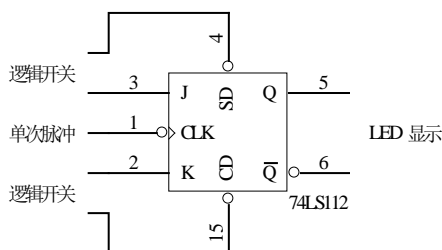


图 3-1-2 JK 触发器功能测试

表 3-1-2 JK 触发器特性表

\overline{SD}	\overline{RD}	CP	J	K	Q^n	Q^{n+1}
0	1	X	X	X	X	
1	0	X	X	X	X	
1	1	↓	0	0	0	
1	1	↓	0	0	1	
1	1	↓	1	0	0	
1	1	↓	1	0	1	
1	1	↓	0	1	0	
1	1	↓	0	1	1	
1	1	↓	1	1	0	
1	1	↓	1	1	1	

3. 集成 D 触发器功能测试

74LS74 为集成双 D 触发器，从中任选一个，参考实验 2，自己设计实验完功能测试。

4. 用 74LS74 构成二、四分频电路

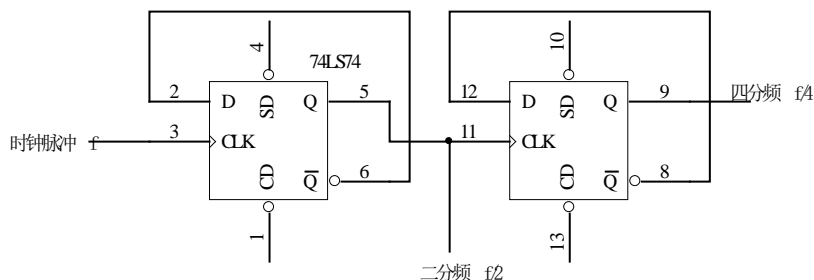


图 3-1-3 用 74LS74 构成二、四分频器

- (1) 电路如图 3-1-3 所示，分析电路的逻辑功能。
- (2) 连接实验电路，并按图 3-1-4 所示连接测量线路。

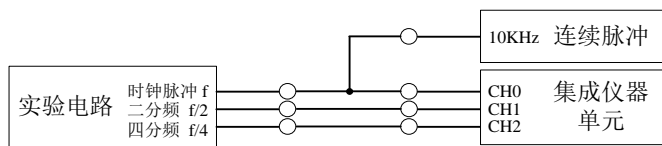


图 3-1-4 测量线路图

- (3) 观察逻辑分析仪测量结果，记录下波形。测量结果如图 3-1-5.所示。

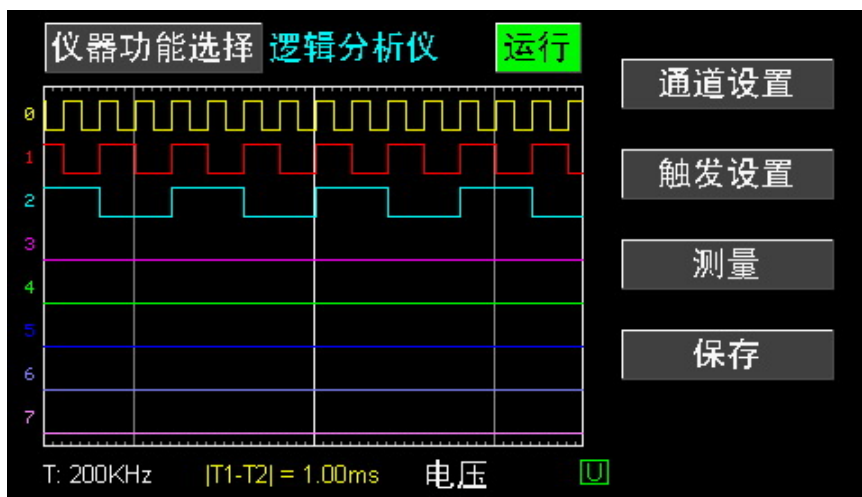


图 3-1-5 逻辑分析仪观测分频结果

3.2 锁存器和移位寄存器实验

3.2.1 实验目的

1. 学习锁存器工作原理；
2. 掌握寄存器芯片功能及应用电路。

3.2.2 实验设备及器件

1. TD-DS+实验箱 1 台
2. 74LS75 四位 D 锁存器 1 片
3. 74LS194 四位双向移位寄存器 1 片
4. 74LS00 2 输入端四与非门 1 片

3.2.3 实验内容及步骤

1. 四位 D 锁存器功能测试

74LS75 为四 D 锁存器，每两个 D 锁存器由一个锁存信号 E 控制，当 E 为高电平时，输出端 Q 随输入端 D 信号的状态变化，当 E 由高变为低时，Q 锁存在 E 端由高变低前 Q 的电平上。74LS75 的功能表如表 3-2-1 所示。

表 3-2-1 74LS75 功能表

D	E	Q	\overline{Q}
0	1	0	1
1	1	1	0
×	0	Q_o	\overline{Q}_o

注： Q_o = 在锁存输入脉冲的下降沿之前 Q 的输出。

(1) 根据功能表，验证锁存器功能。

(2) 用 74LS75 组成数据锁存器。按图 3-2-1 所示接线，1D~4D 接逻辑开关，E12 和 E34 接到一起作为锁存选通信号 EN 也接到逻辑开关，1Q~4Q 分别接到 7 段译码器的 A~D 端，数据输出由数码管显示。

当 EN=1，输入 0011、0110、1001，观察数码管显示。

当 EN=0，输入不同数据，观察输出变化。

2. 四位双向移位寄存器功能测试

74LS194 为四位双向移位寄存器，该芯片具有下述功能：

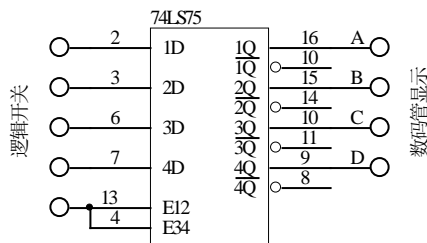


图 3-2-1 用 74LS75 组成数据锁存器

- 具有四位串入、并入与并出结构。
- 脉冲上升沿触发；可完成同步并入、串入左移位、右移位和保持等四种功能。
- 有直接清零端 CLR。

表 3-2-2 74LS194 功能表

CLR	S1	S0	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

熟悉各引脚的功能，按图 3-2-2 完成芯片的接线，根据功能表完成实验，自行制表记录实验结果。

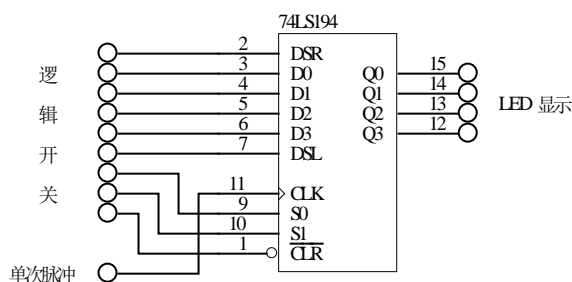


图 3-2-2 74LS194 功能验证

3. 用 74LS194 设计序列信号发生器

按照序列信号发生器的设计方法，用移位寄存器 74LS194 设计一个产生‘100111’序列的反馈移位型序列信号发生器。电路设计参考如图 3-2-3 所示。

用逻辑分析仪 CH0 通道测量作为时钟的连续脉冲 10KHz，CH1 通道测量序列输出 Q0，观察并记录波形结果，根据时钟沿观察输出序列是否正确，如图 3-2-4 所示。

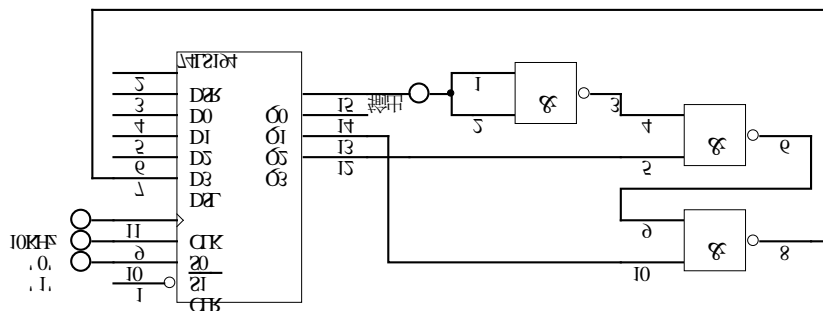


图 3-2-3 用 74LS194 设计序列信号发生器电路图

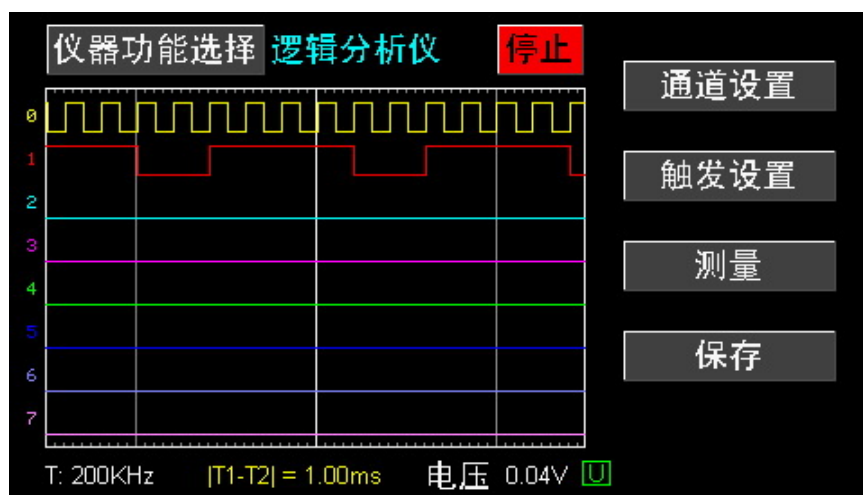


图 3-2-4 序列信号发生器测量结果

3.3 计数器实验

3.3.1 实验目的

1. 掌握 74LS90 型集成计数器的使用；
2. 掌握 74LS161 型集成计数器的使用。

3.3.2 实验设备及器件

1. TD-DS+ 实验箱 1 台
2. 74LS90 异步二—五—十进制计数器 1 片
3. 74LS161 同步 4 位二进制计数器 1 片

3.3.3 实验内容及步骤

1. 74LS90 的功能测试

74LS90 是二—五—十进制异步计数器，具有置 0，置 9，二、五、十进制计数功能。按图 3-3-1 所示连接线路（注意 74LS90 的电源和地的引脚位置比较特殊，详见附录），验证功能，注意 LED 显示，判断状态，将结果填入表 3-3-1 中。

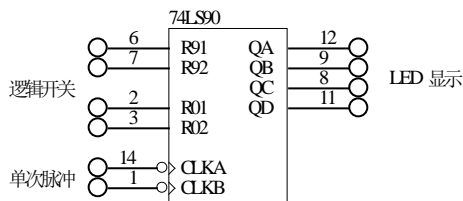


图 3-3-1 74LS90 功能验证

表 3-3-1 74LS90 功能表

R01	R02	R91	R92	QD	QC	QB	QA
1	1	0	×				
1	1	×	0				
×	×	1	1				
×	0	×	0				
0	×	0	×				
0	×	×	0				
×	0	0	0				

2. 用 74LS90 接成二—五—十进制计数器

(1) 使用 74LS90 构成十进制计数器。

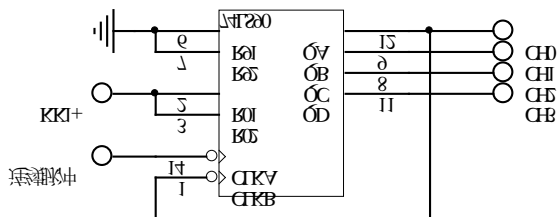


图 3-3-2 用 74LS90 接成十进制

按图 3-3-2 所示连接电路（注意 74LS90 的电源和地的引脚位置比较特殊，详见附录），用连续脉冲 10KHz 作为 CLK，用逻辑分析仪观测 4 路输出时序图波形，设置 D3 通道下降沿触发，记录测量波形，如图 3-3-3 所示。

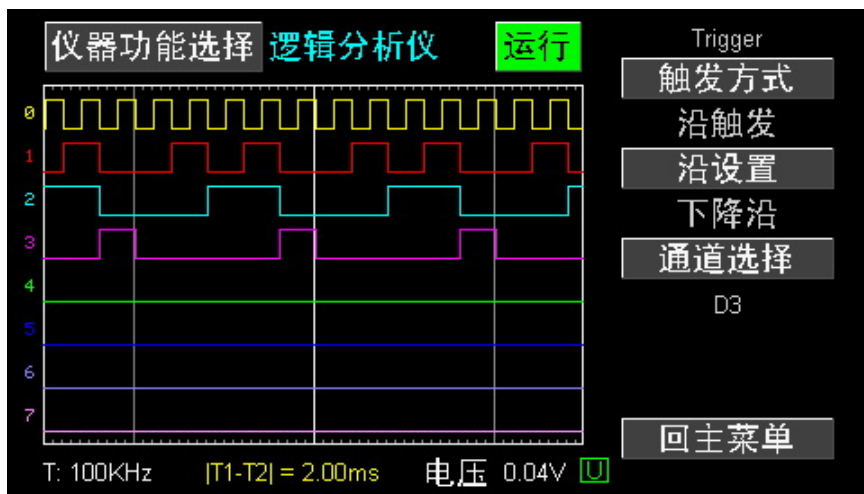


图 3-3-3 用 74LS90 接成十进制测量结果

(2) 使用 74LS90 构成二—五混合进制计数器。

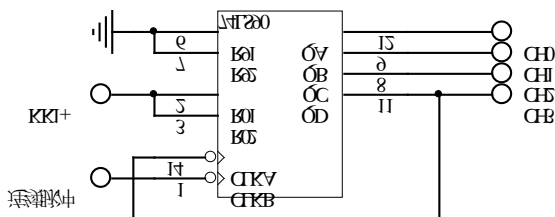


图 3-3-4 用 74LS90 接成二—五进制

按图 3-3-4 所示连接电路（注意 74LS90 的电源和地的引脚位置比较特殊，详见附录），用连续脉冲 10KHz 作为 CLK，用逻辑分析仪观测 4 路输出时序图波形，设置 D3 通道下降沿触发，记录测量波形，如图 3-3-5 所示。

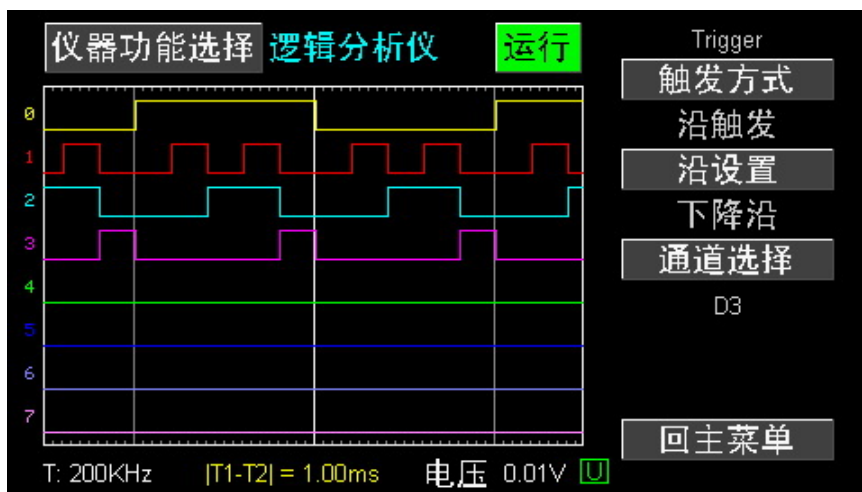


图 3-3-3 用 74LS90 接成二—五进制测量结果

3. 74LS161 功能测试

按图接线，输入端接到逻辑电平开关上，时钟输入端接单次脉冲，输出端接逻辑电平显示，根据图 3-3-4 连接线路，完成芯片功能测试，并将结果填入表 3-3-4 中。

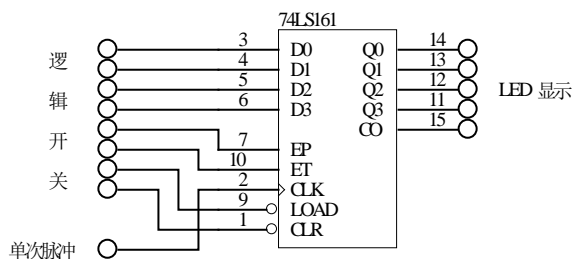


图 3-3-4 74LS161 功能验证

表 3-3-4 74LS161 功能表

CLK	CLR	EP	ET	LOAD	芯片功能
×	0	×	×	×	
×	1	1	0	1	
×	1	0	1	1	
×	1	0	0	1	
↑	1	×	×	0	
↑	1	1	1	1	

请自行思考一种方法如何使用逻辑分析仪验证 74LS161 的计数功能，并通过时序图加以说明。

3.4 同步时序逻辑电路设计实验

3.4.1 实验目的

1. 加深对同步时序逻辑电路的认识；
2. 掌握同步时序逻辑电路的设计方法。

3.4.2 实验设备及器件

1. TD-DS+实验箱 1 台
2. 74LS74 双 D 触发器 1 片
3. 74LS08 2 输入端四与门 2 片
4. 74LS32 2 输入端四或门 1 片
5. 74LS04 六反相器 1 片

3.4.3 实验内容及步骤

采用同步时序逻辑电路的设计方法和所提供的组件，设计一个‘1001’序列检测器，其框图如 3-4-1 所示。

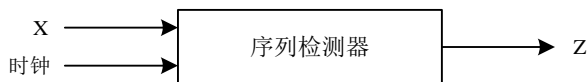


图 3-4-1 同步序列检测器框图

对检测器的要求是：在输入端 X 上串行输入二进制字符串，每当输入序列中出现‘1001’时，在输出端 Z 产生一个高电平，即 $Z=1$ ，其它情况 $Z=0$ 。

1. 建立原始状态图

设初始状态为 S_0 ， S_1 为接收到‘1’时的状态， S_2 为接收到‘10’序列时的状态， S_3 为接收到‘100’序列时的状态， S_4 为接收到‘1001’序列时的状态。由此得到的原始状态图如 3-4-2 所示。

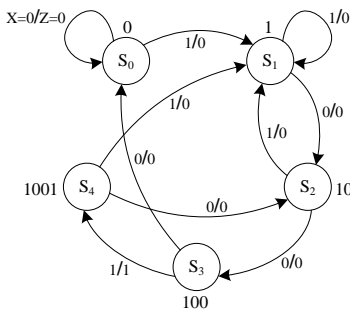


图 3-4-2 原始状态转换图

根据状态图作出的原始状态表，并将其简化，如表 3-4-1 所示，

表 3-4-1 原始状态表及简化

现态	次态/输出	
	X=0	X=1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₂ /0	S ₁ /0
S ₂	S ₃ /0	S ₁ /0
S ₃	S ₀ /0	S ₄ /1
S ₄	S ₂ /0	S ₁ /0

现态	次态/输出	
	X=0	X=1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₂ /0	S ₁ /0
S ₂	S ₃ /0	S ₁ /0
S ₃	S ₀ /0	S ₁ /1

2. 状态简化

根据状态表可得出共有 4 个状态，需要 2 个触发器，状态变量用 Y₁ 和 Y₂ 表示。状态编码分配如表 3-4-2 所示。

表 3-4-2 状态编码分配

Y ₂ \ Y ₁	0	1		
	S ₁	S ₂	Y ₂	Y ₁
0	S ₁	S ₂	S ₀ :	0 1
1	S ₀	S ₃	S ₁ :	0 0
			S ₂ :	1 0
			S ₃ :	1 1

将以上分配的状态编码带入简化的状态表中，得到如表 3-4-3 所示的二进制状态表。

表 3-4-3 二进制状态表

现 态	Y ₂ ⁽ⁿ⁺¹⁾ Y ₁ ⁽ⁿ⁺¹⁾ / Z	
Y ₂ Y ₁	X=0	X=1
0 1	01/0	00/0
0 0	10/0	00/0
1 0	11/0	00/0
1 1	01/0	00/1

3. 选定触发器，求出激励函数和输出函数表达式

本实验提供了双 D 触发器组件，则根据双 D 触发器的激励表和上面的二进制状态表，作出如表 3-4-4 所示的状态转移真值表。

表 3-4-4 状态转移真值表

输 入			次 态		激励函数		输出
X	Y ₂	Y ₁	Y ₂ ⁽ⁿ⁺¹⁾	Y ₁ ⁽ⁿ⁺¹⁾	D ₂	D ₁	Z
0	0	0	1	0	1	0	0
0	0	1	0	1	0	1	0
0	1	0	1	1	1	1	0
0	1	1	0	1	0	1	0
1	0	0	0	0	0	0	0

1 0 1	0 0	0 0	0
1 1 0	0 0	0 0	0
1 1 1	0 0	0 0	1

$Y_2 \backslash X$	0	1
Y_1		
00	1	0
01	0	0
11	0	0
10	1	0

D_2

$Y_2 \backslash X$	0	1
Y_1		
00	0	0
01	1	0
11	1	0
10	1	0

D_1

$Y_2 \backslash X$	0	1
Y_1		
00	0	0
01	0	0
11	0	1
10	0	0

Z

图 3-4-3 卡诺图

$$D_2 = \bar{Y}_1 \bar{X} \quad D_1 = Y_2 \bar{X} + Y_1 \bar{X} \quad Z = Y_2 Y_1 X$$
[illegible]

图 3-4-4 逻辑电路图

(1) 按照图 3-4-4 所示连接实验电路。(在扩展单元板上也有已经做好的同步序列检测器, 可以直接使用该电路)

Figure 1-1-1 shows the connection diagram for the experiment. The 'Experimental Circuit' (实验电路) is connected to the 'Integrated Instrument Unit' (集成仪器单元). The connections are as follows:

- Pin X of the Experimental Circuit is connected to CH0 of the Integrated Instrument Unit.
- Pin CLK of the Experimental Circuit is connected to CH1 of the Integrated Instrument Unit.
- Pin Z of the Experimental Circuit is connected to CH2 of the Integrated Instrument Unit.
- A 1KHz continuous pulse (1KHz 连续脉冲) is connected to the SQ0 pin of the Integrated Instrument Unit.

图 3-4-5 测量线路图

(3) 连接好线路后开始设置码型发生器的输出编码。在码型发生器的主界面菜单中点击数

据输入，进入数据输入界面。在 D3--D0 对应第 0~7 栏中依次填入 1、0、1、0、1、0、0、1。这就相当于在 SQ0 通道设置了一组为‘10101001’的编码序列。如图 3-4-6 所示。设置好编码后进入运行设置菜单，时钟设置选择 1KHz，点击生成。这样码型发生器就设置完毕。

(4) 进入逻辑分析仪界面，选择合适的采用时钟，观测 X、CLK 及 Z 的时序波形，记录下测量结果。如图 3-4-7 所示。

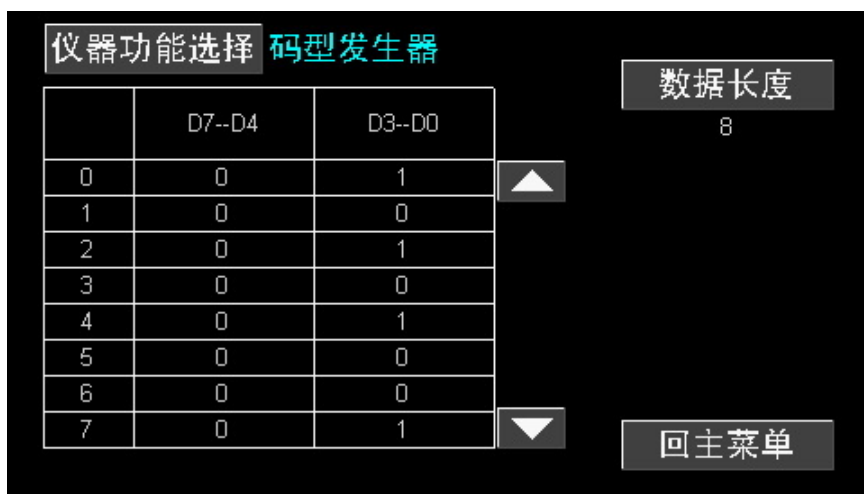


图 3-4-6 设置输出编码

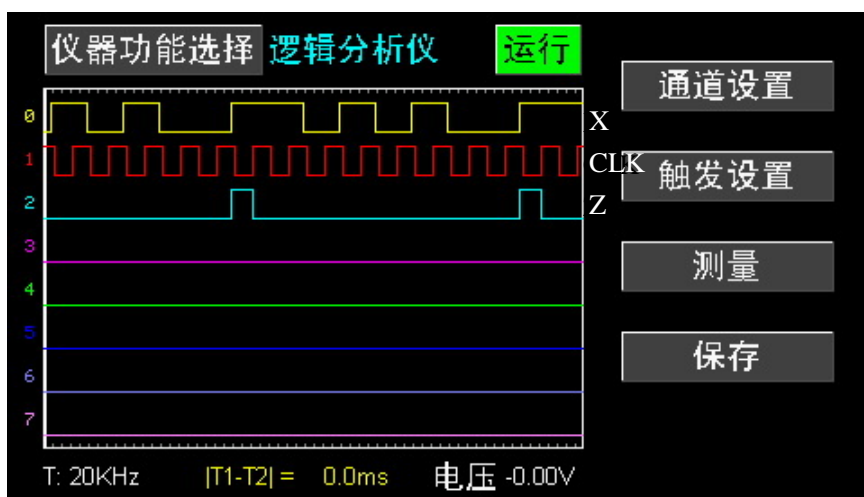


图 3-4-7 同步序列检测器测量结果

3.5 异步时序逻辑电路设计实验

3.5.1 实验目的

1. 加深对异步时序逻辑电路的认识；
2. 掌握异步时序逻辑电路的设计方法。

3.5.2 实验设备及器件

1. TD-DS+实验箱 1 台
2. 74LS74 双 D 触发器 1 片
3. 74LS08 2 输入端四与门 2 片
4. 74LS32 2 输入端四或门 1 片
5. 74LS04 六反相器 1 片

3.5.3 实验内容及步骤

采用异步时序逻辑电路的设计方法和所提供的组件，设计一个序列检测器。其框图如图 3-5-1 所示。

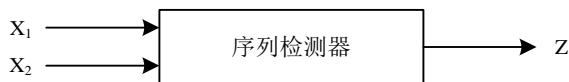


图 3-5-1 异步序列检测器框图

对检测器的要求如下：

该电路有两个输入端 X_1 和 X_2 ，一个输出端 Z 。当输入端序列为 $X_1-X_2-X_2$ 时，输出 Z 出现一个脉冲，这个脉冲与输入序列的最后一个输入脉冲相重合。

1. 作原始状态图和状态表

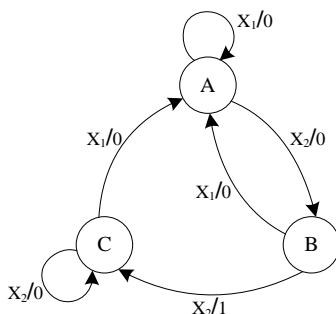


图 3-5-2 异步序列检测器原始状态图

根据题意，需设计的序列检测器有两个输入 X_1 和 X_2 ，一个输出 Z 。输出与输入的逻辑关系

是：输入 X_1 或 X_2 为 1 时，输出 Z 为 0，只有当输入 X_1 为 1，让后输入 X_2 再为 1，且输入 X_2 连续出现两个 1 时，输出 Z 才为 1。要判别序列检测器的输入是否是 X_1 - X_2 - X_2 序列，必须用不同状态表示各种输入情况。假设电路的初始状态为 A，该状态表示序列检测器接收到一个 X_1 脉冲。当输入序列为 X_1 - X_2 时，电路状态用 B 表示。而状态 C 表示在输入序列 X_1 - X_2 后电路又收到一个输入 X_2 脉冲。因此根据分析，作出状态图如图 3-5-2 所示。

根据状态图作出状态表如表 3-5-1 所示。

表 3-5-1 原始状态表

现 态	次 态		输 出	
	$X_2=1$	$X_1=1$	$X_2=1$	$X_1=1$
A	B	A	0	0
B	C	A	1	0
C	C	A	0	0

2. 状态简化

根据状态表进行状态分配。状态编码分配如表 3-5-2 所示。

表 3-5-2 状态编码分配

Y_1	0	1	Y_1	Y_2
Y_2			A:	0
0	A	C	B:	0
1	B		C:	1
				0

因此得到二进制状态表如表 3-5-3 所示。

表 3-5-3 二进制状态表

现 态	次态 $Y_1^{(n+1)}$ $Y_2^{(n+1)}$		输出 Z	
$Y_1 Y_2$	$X_2=1$	$X_1=1$	$X_2=1$	$X_1=1$
0 0	0 1	0 0	0	0
0 1	1 0	0 0	1	0
1 0	1 0	0 0	0	0

3. 写出激励函数和输出函数表达式

选用 D 触发器组成存储电路，根据 D 触发器和二进制状态表，作出激励函数 CP_1 、 D_1 、 CP_2 、 D_2 和输出函数 Z 的卡诺图如图 3-5-3 所示。

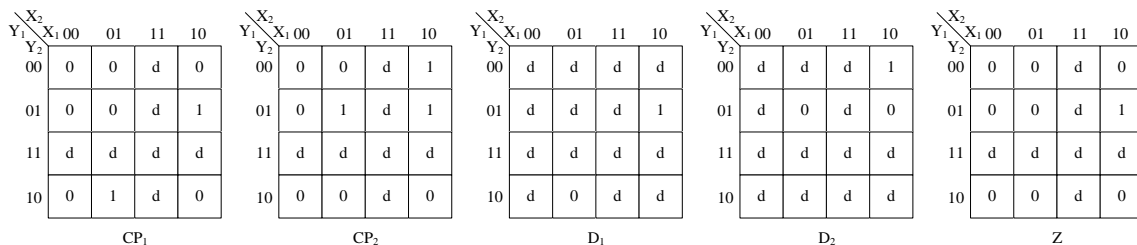


图 3-5-3 异步序列检测器卡诺图

注意：(1) 该电路只有三种状态 (00,01,10)，没有 11 这种状态，因此在卡诺图中 $Y_1Y_2=11$

这一行可作为无关项处理，记为 d。此外， $X_2X_1=11$ 也是不存在的（对于异步逻辑电路，输入线上不能同时又输入脉冲），因此这一项也可作为无关条件处理，记为 d。

(2) $X_2X_1=00$ 列，不应该引起电路状态的改变，因此可使 CP_1 ， CP_2 卡诺图中 $X_2X_1=00$ 列都填 0，这样电路在 $X_2X_1=00$ 时不会产生 CP。 D_1 和 D_2 卡诺图中 $X_2X_1=00$ 则可作为无关条件，记为 d。

(3) 对应于二进制状态表中现态和次态相同的情况，相应卡诺图的填法是 CP 卡诺图填 0，D 卡诺图填 d。

由此可得激励函数和输出函数如下：

$$CP_1 = X_2Y_2 + X_1Y_1 \quad D_1 = \bar{Y}_1 \quad Z = X_2Y_2$$

$$CP_2 = X_2\bar{Y}_1 + X_1Y_2 \quad D_2 = \bar{Y}_2$$

画出逻辑电路图，如图 3-5-4 所示。

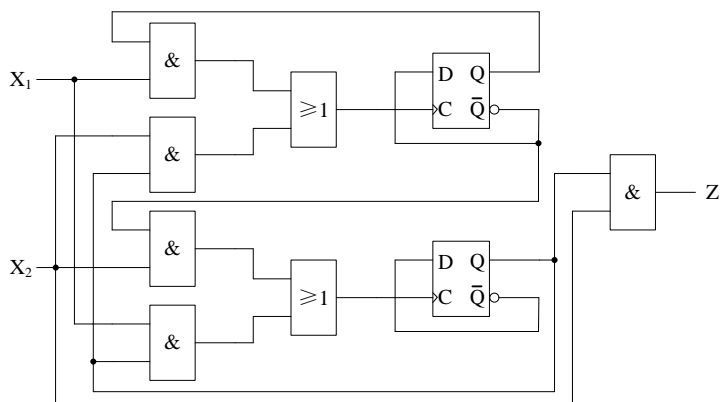


图 3-5-4 逻辑电路图

讨论：由于存在多余状态 11，因此我们对上述的逻辑电路进行分析。将激励函数带入 D 触发器的次态方程： $Y^{(n+1)}=D$ 得： $Y_2^{(n+1)}=D_2=\bar{Y}_2$ ； $Y_1^{(n+1)}=D_1=\bar{Y}_1$ 。（注：当 CP 为 1 时， $Y^{(n+1)}=D$ ；当 CP 为 0 时， $Y^{(n+1)}=Y^n$ ，即维持原态）根据状态表达式作出新的状态表如表 3-5-4 所示。

表 3-5-4 修改的状态表

现 态 $Y_1 Y_2$	次态 $Y_1^{(n+1)} Y_2^{(n+1)} / Z$	
	$X_2=1$	$X_1=1$
0 0	0 1 / 0	0 0 / 0
0 1	1 0 / 1	0 0 / 0
1 0	1 0 / 0	0 0 / 0
1 1	0 1 / 1	0 0 / 0

由状态表可以看出，由于电路存在多余状态，当输入 X_2 时，电路错误地输出 1，为了消除这个错误输出，保证电路正常工作，是电路仅在 01 状态时，才可以输出 1。因此需对电路进行修改。只要让 X_2 在完成一次正向脉冲（即由 0 变为 1 再变为 0）后再去驱动触发器状态的改变，

就不会一输入 X_2 时就产生错误的输出。解决办法是改变 CP_1 和 CP_2 的激励函数如下。

$$\text{CP}_1 = \overline{X_2 Y_2 + X_1 Y_1} \quad \text{CP}_2 = \overline{X_2 \bar{Y}_1 + X_1 Y_2}$$

由此最终的逻辑电路图改为如图 3-5-5 所示。

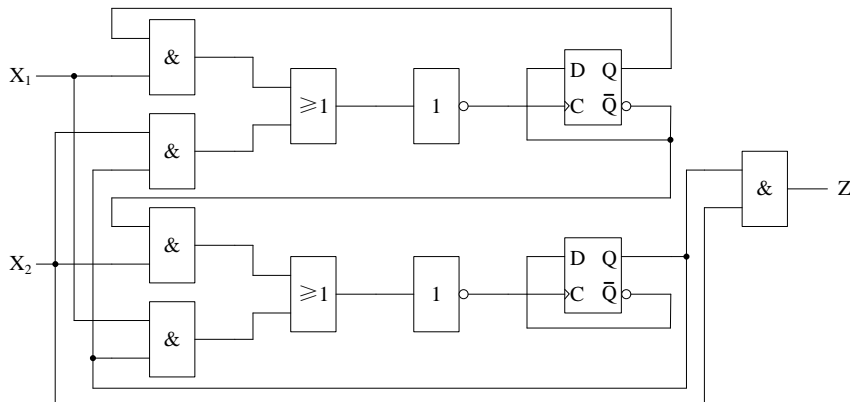


图 3-5-5 修改的逻辑电路图

4. 按照电路图连接线路，用逻辑分析仪进行验证

(1) 按照图 3-5-5 所示连接实验电路。(在扩展单元板上也有已经做好的异步序列检测器, 可以直接使用该电路)

(2) 按照图 3-5-6 所示连接测量线路。

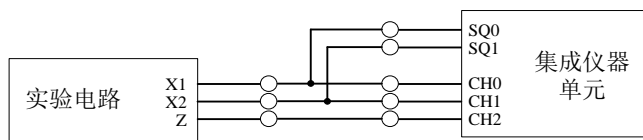


图 3-5-6 测量线路图

(3) 进入码型发生器的图形输入, 画出如图 3-5-7 所示波形。即用 SQ0 和 SQ1 两路输出

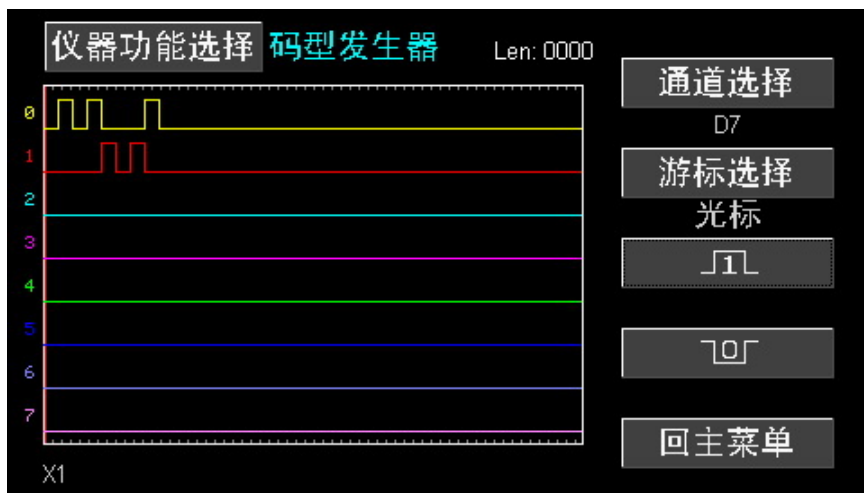


图 3-5-7 设置输出编码

模拟 X_1 和 X_2 的时序，接入到电路中观测输出 Z 的结果是否符合设计目的。设置好波形后进入运行设置菜单，时钟设置选择 1KHz，点击生成，这样码型发生器就设置完毕。

(4) 进入逻辑分析仪界面，选择合适的采用时钟，观测 X_1 、 X_2 及 Z 的时序波形，记录下测量结果。如图 3-5-8 所示。

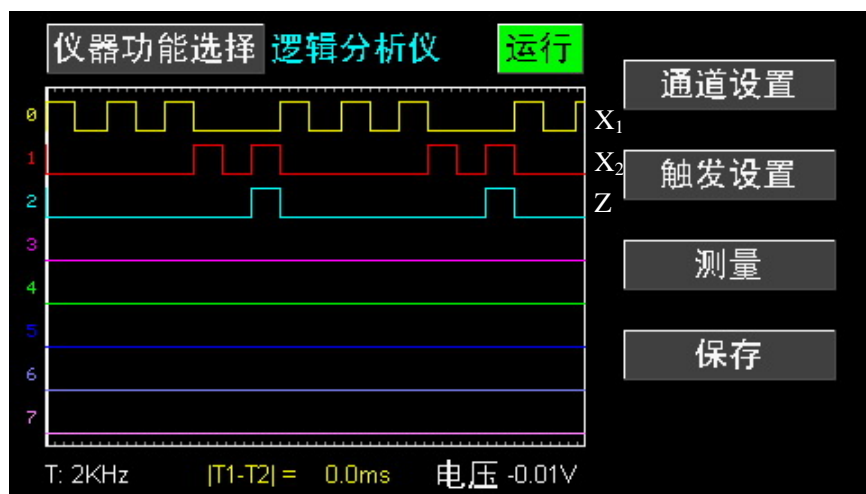


图 3-5-8 异步序列检测器测量结果

第4章 555 定时器、存储器、数/模、模/数转换实验

4.1 555 定时器实验

4.1.1 实验目的

1. 掌握 555 定时器工作原理；
2. 掌握用 555 定时器构成单稳态触发器和多谐振荡器的方法。

4.1.2 实验设备及器件

1. TD-DS+实验箱 1 台、扩展单元板 1 块

4.1.3 实验内容及步骤

1. 用 555 构成单稳态触发器

以 555 定时器的 TR 端作为触发信号的输入端，并将 DIS 与 TH 短接，同时 TH 对地接入电容 C，就构成了如图 2-11-1 所示地单稳态触发器。

(1) 按图 4-1-1 连接线路，信号源接 10KHz 的方波，用逻辑分析仪同时观测 10KHz 和 OUT 端输出的波形，并测量输出脉冲的宽度。

(2) 调整 R、C 观察结果有何变化。

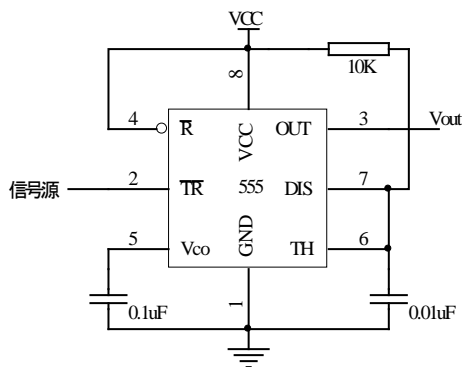


图 4-1-1 用 555 定时器构成单稳态触发器

2. 用 555 构成多谐振荡器

如图 4-1-2 所示，构成多谐振荡器，振荡频率由 R 和 C 决定，振荡频率为：

$$f = \frac{1}{(R1 + 2R2)C \ln 2}$$

占空比为:

$$q = \frac{R1 + R2}{R1 + 2R2}$$

(1) 按照图 4-1-2 所示, 连接实验电路。

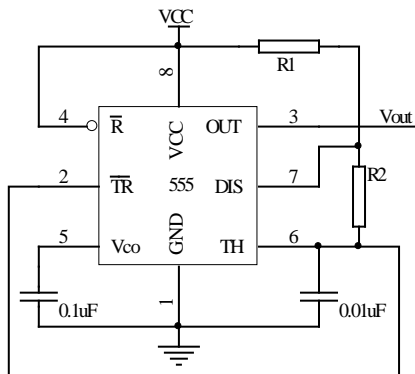


图 4-1-2 用 555 定时器构成多谐振荡器

(2) 先选择 $R1=470\Omega$, $R2=10K\Omega$, $C=0.01\mu F$ 。用逻辑分析仪 CH0 通道测量 OUT 端波形的频率 f , 并记录下波形。如图 4-1-3 所示。

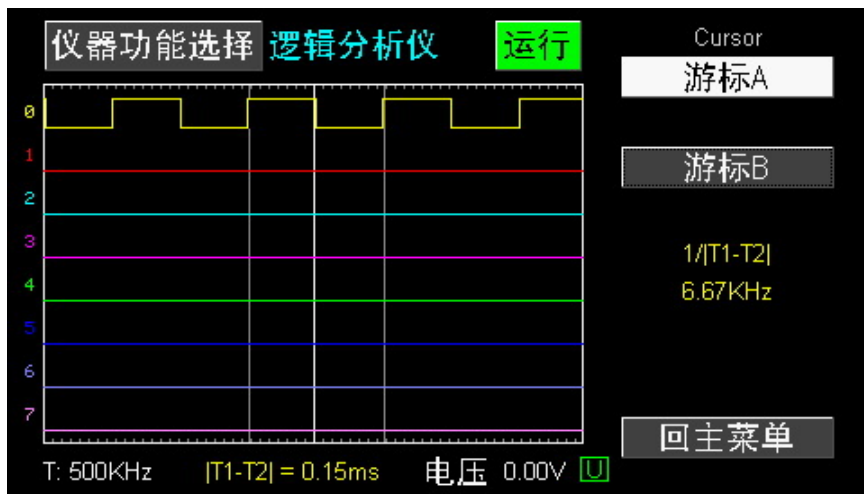


图 4-1-3 $R1=470\Omega$, $R2=10K\Omega$ 时输出波形测量

(3) 将 $R1$ 与 $R2$ 对调, C 不变, 重复上述步骤, 并记录下波形。如图 4-1-4 所示。

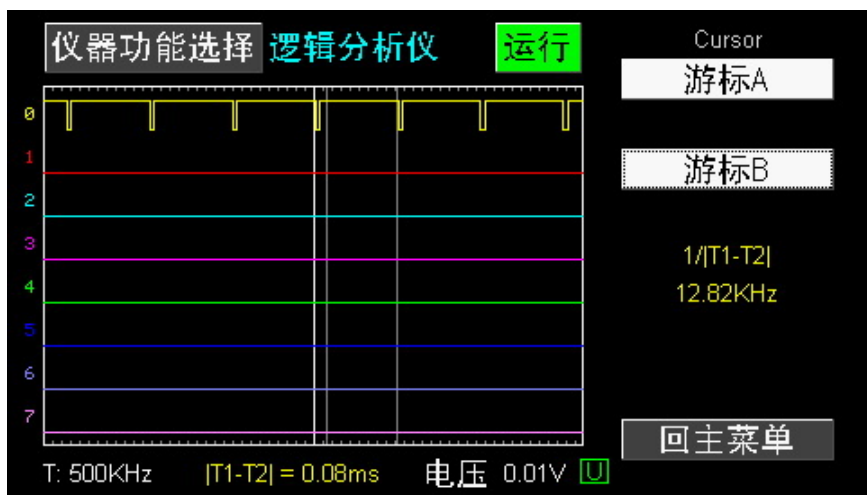


图 4-1-4 $R1=10K\Omega$, $R2=470\Omega$ 时输出波形测量

4.2 存储器实验

4.2.1 实验目的

1. 掌握存储器的工作特点；
2. 掌握存储器实现组合逻辑电路的使用方法。

4.2.2 实验设备及器件

1. TD-DS+实验箱 1 台、扩展单元板 1 块

4.2.3 实验内容及步骤

1. 2816 读写功能测试及工作特点验证

2816 是 EEPROM，它与静态存储器最大的区别就是数据在掉电后仍就保存。存储容量 2KB。为 24 引脚双列直插封装。其中：

- A10~A0：地址线
- D7~D0：数据线
- \overline{CE} ：片选信号
- \overline{OE} ：数据输出允许信号
- \overline{WE} ：写选通信号

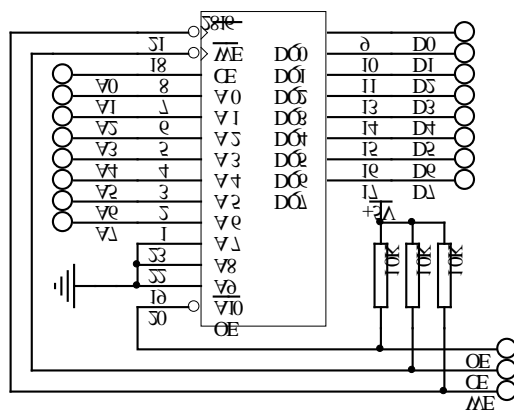


图 4-2-1 存储器电路连接图

(1) 将片选信号 \overline{CE} 接低电平， \overline{WE} 连接 KK1-， \overline{OE} 、地址线 A3~A0 接逻辑电平开关，数据线 D7~D0 首先接逻辑电平开关。

(2) 接好线后， \overline{OE} 逻辑开关给“1”，通过 A3~A0 给定一个地址，同时通过 D7~D0 给定一个数据，然后按一下 KK1-键发写脉冲，完成一个字节地写入。自己写 16 个数，并记录下来。

表 4-2-1 2816 工作方式

状 态	\overline{CE}	\overline{OE}	\overline{WE}	D7~D0
未选中	1	×	×	高阻
禁止	0	1	1	高阻
读出	0	0	1	数据读出
写入	0	1	0	数据写入

(3) 写完数后, 将数据线 D7~D0 拔下接到逻辑电平显示, 使 OE 逻辑开关为“0”, 数据读出有效, 通过 A3~A0 设置地址, 观察 LED 显示, 验证是否为 (2) 中写入的数据, 并记录下来。

(4) 关闭电源几秒钟后, 再打开电源, 检查数据是否还在。

2. 用 2816 实现 7 段 BCD 译码

(1) 按照实验 1 得出的存储器工作方式, 按表 4-2-2 依次写入 16 个数。地址是连续的, 可以使用地址计数器单元输出地址, 给 CLR 一个低电平可以使地址清 0, 然后置 1 允许计数。存储器 OE、CE 拨高电平, 禁止数据输出。计数器 CLK 连接单次脉冲 KK2+, 按一下按键产生一个地址。然后拨好要写的数据, 按一下 KK1-, 产生写信号, 完成一次写入。参考接线如图 4-2-2 所示。

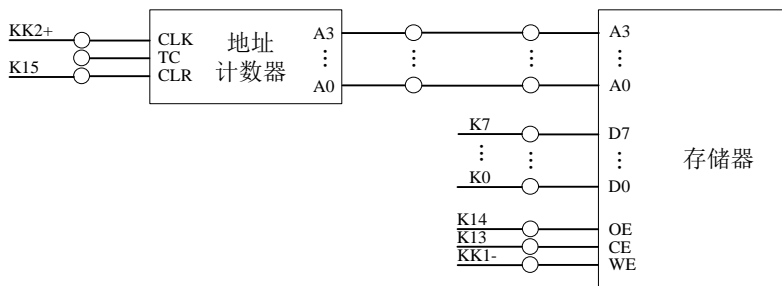


图 4-2-2 存储器连续写数参考接线图

表 4-2-2 存储器实现 7 段 BCD 译码数据表

存储地址				写入地址中内容							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	1	1	1	1	1	1
0	0	0	1	0	0	0	0	0	1	1	0
0	0	1	0	0	1	0	1	1	0	1	1
0	0	1	1	0	1	0	0	1	1	1	1
0	1	0	0	0	1	1	0	0	1	1	0
0	1	0	1	0	1	1	0	1	1	0	1
0	1	1	0	0	1	1	1	1	1	0	1
0	1	1	1	0	0	0	0	0	1	1	1

1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
1	0	0	1	0	1	1	0	0	1	1	1	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1	0	0	0	0	0
1	1	0	0	0	0	0	1	1	1	1	0	0	0	1	1
1	1	0	1	0	1	0	1	1	1	1	1	1	1	0	0
1	1	1	1	0	0	1	1	1	1	0	0	0	1	1	1
1	1	1	1	1	0	1	1	1	0	0	0	0	1	1	1

(2) 写完数据后，可以用状态表测量写入数据是否正确。参照图 4-2-3 所示连接测量线路。存储器 OE、CE 拨低电平，数据输出有效。进入状态表功能，打开码型显示，进入编辑码型，选择输出二进制码，作为存储器地址。然后返回状态表主菜单，点击单步一步一步运行直到二进制码为 1111，即可得到测量结果。将结果以数据表格的文件形式保存下来。记录测量结果，如表 4-2-3 所示，和前面数据表对照，观测存储器中数据是否正确。

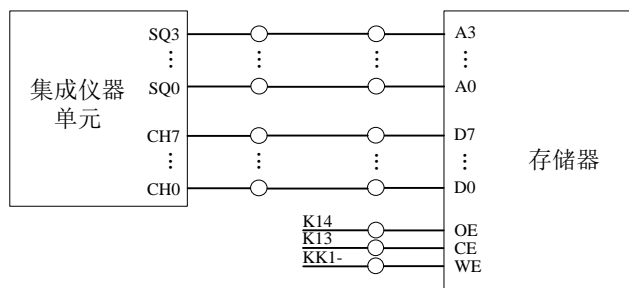


图 4-2-3 用状态表测量存储器数据线路图

表 4-2-3 通过状态表功能的测量结果

S7	S6	S5	S4	S3	S2	S1	S0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0
0	0	0	0	0	0	1	0	0	1	0	1	1	0	1	1
0	0	0	0	0	0	1	1	0	1	0	0	1	1	1	1
0	0	0	0	0	1	0	0	0	1	1	0	0	1	1	0
0	0	0	0	0	1	0	1	0	1	1	0	1	1	0	1
0	0	0	0	0	1	1	0	0	1	1	1	1	1	0	1
0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
0	0	0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	0	0	1	0	0	1	0	1	1	0	0	1	1	1
0	0	0	0	1	0	1	0	0	1	1	1	0	1	1	1
0	0	0	0	1	0	1	1	0	1	1	1	1	1	0	0

0	0	0	0	1	1	0	0	0	0	1	1	1	0	0	1
0	0	0	0	1	1	0	1	0	1	0	1	1	1	1	0
0	0	0	0	1	1	1	0	0	1	1	1	1	0	0	1
0	0	0	0	1	1	1	1	0	1	1	1	0	0	0	1

(3) 如果存储器中写入数据正确, 那么这个存储器就可以当做一个 BCD 译码器来使用。下面来验证逻辑功能是否正确。D7~D0 依次连接到七段数码显示单元 LED0 的 DP0、G0、F0、E0、D0、C0、B0、A0 端, 数码管的位选 SEG0 接地。存储器 OE、CE 拨低电平, 数据输出有效。用开关 K3~K0 任意拨一个 BCD 码, 观察数码管对应的显示是否正确。参考接线如图 4-2-4 所示。

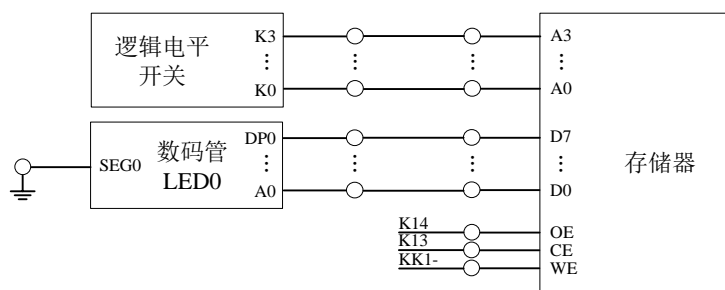


图 4-2-4 测试存储器实现 BCD 译码逻辑功能参考接线图

4.3 数/模、模/数转换器实验

4.3.1 实验目的

1. 学习 8 位数/模转换器的功能及使用方法；
2. 学习 8 位模/数转换器的功能及使用方法。

4.3.2 实验器件

1. TD-DS+实验箱 1 台、扩展单元板 1 块

4.3.3 实验内容及步骤

1. DAC0832 数/模转换实验

D/A 转换器是一种将数字量转换成模拟量的器件，其特点是：接收、保持和转换的数字信息，不存在随温度、时间漂移的问题，其电路抗干扰性较好。大多数的 D/A 转换器接口设计主要围绕 D/A 集成芯片的使用及配置响应的外围电路。

DAC0832 是 8 位芯片，采用 CMOS 工艺和 R-2RT 形电阻解码网络，转换结果为一对差动电流 I_{out1} 和 I_{out2} 输出，其主要性能参数如表 4-3-1 所示。

表 4-3-1 DAC0832 性能参数

性能参数	参数值
分辨率	8 位
单电源	+5V ~ +15V
参考电压	-10V ~ +10V
转换时间	1 μ s
满刻度误差	$\pm 1\text{LSB}$
数据输入电平	与 TTL 电平兼容

(1) 本单元线路如图 4-3-1 所示，D7~D0 分别接逻辑开关，WR 接低电平。

(2) 给定一组 D7~D0，利用集成仪器单元电压测量功能，测量输出 OUT 的电压值，与理论值相比较，并将结果填入表 4-3-2 中。

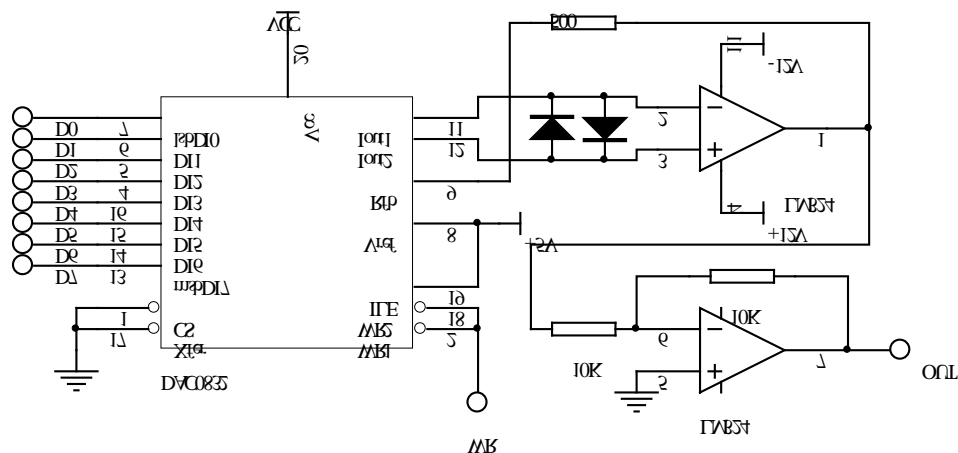


图 4-3-1 数/模转换单元线路图

表 4-3-2 数/模转换实验表

数 字 量								模 拟 量	
D7	D6	D5	D4	D3	D2	D1	D0	测量值 (V)	理论值 (V)
0	0	0	0	0	0	0	0		
0	0	0	0	0	0	1	1		
0	0	0	0	0	1	1	1		
0	0	0	0	1	1	1	1		
0	0	0	1	1	1	1	1		
0	0	1	1	1	1	1	1		
0	1	1	1	1	1	1	1		
1	1	1	1	1	1	1	1		

2. 利用 DAC0832 产生锯齿波

通过给 DAC 发送有规律的数据，可以在 DAC 输出端产生相应的周期信号。数字信号发生器一般就是利用这种方式产生各种各样的信号。扩展单元板上地址计数器的 8 路输出就可以产生从 00000000B 到 11111111B 的地址数据。将这个数据发送给 DAC，就可以产生周期锯齿波。

(1) 按图 4-3-2 所示连接电路。

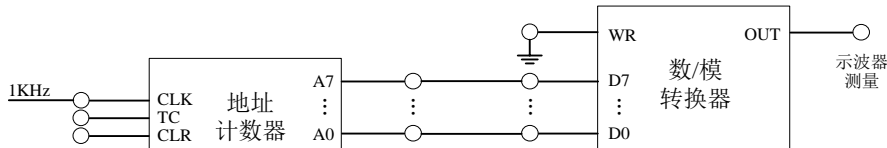


图 4-3-2 DAC0832 产生锯齿波线路图

(2) 将 DAC0832 输出端 OUT 连接到集成仪器单元的电压测量，进入波形测量界面，将扫描时基调到 100ms 档，记录下测量波形结果。如图 4-3-3 所示。

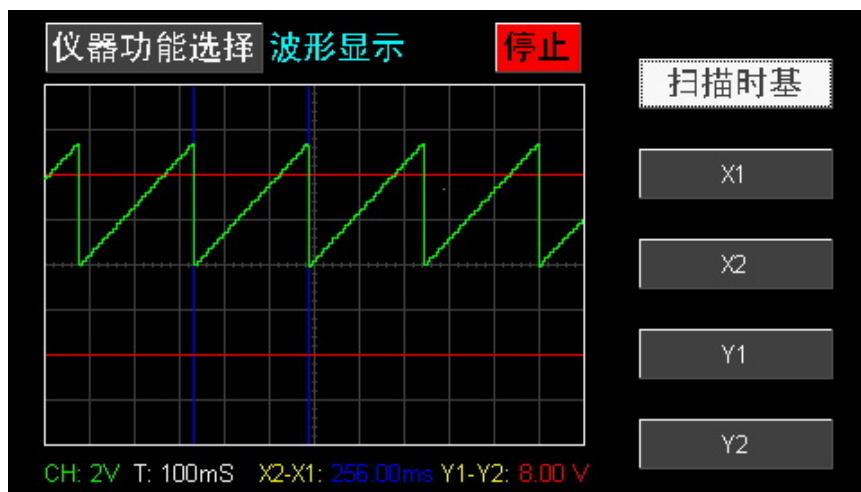


图 4-3-3 DAC0832 产生锯齿波波形图

地址计数器的时钟使用了 1KHz，产生一个地址数据的时间是 1ms，所以我们可以测得锯齿波的周期是 256ms。

3. ADC0809 模/数转换实验

ADC0809 包括一个 8 位的逐次逼近型的 ADC 部分，并提供一个 8 通道的模拟多路开关和联合寻址逻辑。其引脚功能为：

- IN0~IN7 为 8 路模拟信号输入端，由地址 ADD-C、ADD-B、ADD-A 选通其中一路模拟信号进行 A/D 转换，在本实验线路中已经都接为 ‘0’，选通 IN0 通道。

- ALE 为地址锁存允许信号。在此脚加正脉冲，上升沿有效，此时锁存地址码，从而选通相应的模拟信号通道，进行 A/D 转换。

- START 为启动信号，上升沿将内部寄存器全部清 0，在下降沿开始 A/D 的转换过程。

- OE 为输出允许信号，高有效。

- EOC 为转换结束输出信号，高电平有效。

- CLOCK 为时钟信号输入端。

- Vref+、Vref- 为基准电压正、负极。一般 Vref+ 接 +5V 电源，Vref- 接地。

- lsb2-8~msb2-1 (D0~D7) 为数字信号输出端。

(1) 本单元线路如图 4-3-4 所示，CLK 接 1MHz 时钟脉冲，START 接 1KHz，OE 接高电平，转换结果接 LED 显示，IN0 模拟信号输入端接由电位器构成的分压器。

(2) 接好线后，调节电位器，改变分压值，观察并记录转换结果。按表实验，将结果填入表 4-3-3 中。

表 4-3-3 模/数转换实验数据表

通道	模拟量	数字量							
IN	V_i (V)	D7	D6	D5	D4	D3	D2	D1	D0
IN0	5.0								
	4.5								
	4.0								

	3.5	
	3.0	
	2.5	
	2.0	
	1.5	
	1.0	
	0.0	

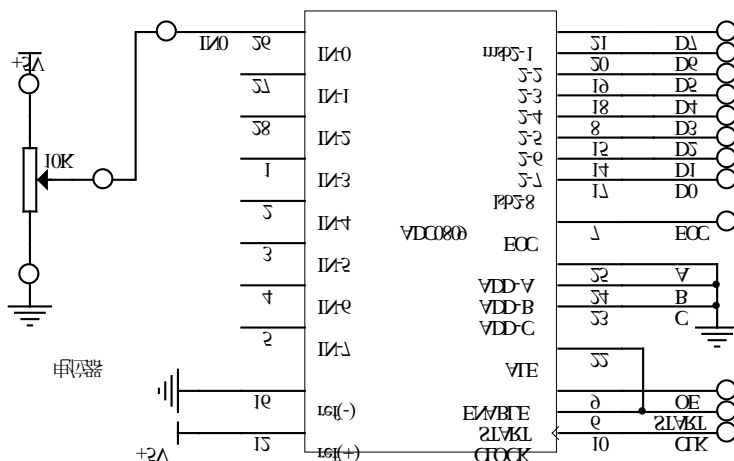


图 4-3-4 模/数转换单元线路图

4. 测量 ADC0809 转换时间

利用逻辑分析仪时序测量可以测出 ADC0809 的转换时间。将 CLK、START、EOC 分别接入到逻辑分析仪的 CH0、CH1 和 CH2 通道，设置 START 下降沿触发，通过游标测量 START 下降沿到 EOC 上升沿的时间，记录下波形及测量结果。(如图 4-3-5 所示，测得 ADC0809 在 1MHz 时钟下的转换时间约为 70us。)

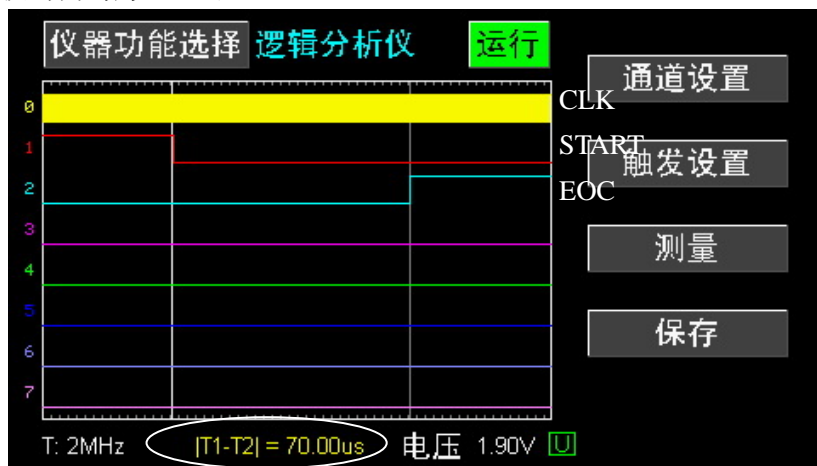


图 4-3-5 测量 ADC0809 转换时间时序图

第5章 数字系统设计实验

5.1 数据采集系统设计实验

5.1.1 实验目的

1. 学习如何利用多种器件构成综合数字系统的设计方法。
2. 学会利用 A/D、存储器和 D/A 构成数据采集、存储及输出的设计方法。

5.1.2 实验设备和器件

1. TD-DS+实验箱 1 台、扩展单元板 1 块
2. 74LS00 2 输入端四与非门 1 片
3. 74LS74 双 D 触发器 1 片

5.1.3 实验内容及步骤

在智能仪器、信号处理及工业自动化控制等领域中，都存在着数据的测量与控制问题。如果将外界存在的温度、压力、流量、位移、角度及速度等非电模拟量经传感器转换成电信号，再经 A/D 转换成数字信号，搜集到数字系统或计算机中进行存储、显示、处理、传输，那么从 A/D 转换到数据搜集的过程成为数据采集，相应的系统就称为数据采集系统。数据采集系统的框图如图 5-1-1 所示。

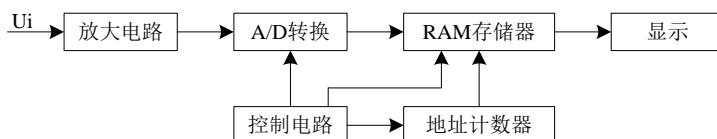


图 5-1-1 数据采集系统框图

本节实验内容为实现一个简单的数据采集系统，将一段连续脉冲信号通过 A/D 采集，并存储到存储器中。然后再通过 D/A 将存储器中的数据还原成信号输出，用示波器观测采集的信号是否正确。

1. 数据采集系统的主要参数

(1) 采样频率

模拟信号转换成数字信号必须经过采样保持电路。为了不失真地采集模拟信号，要求 A/D 的采样频率最低是被采信号频率的 2 倍。在实际应用中，为了保证信号采集质量，选择 A/D 的采样频率通常为被采信号频率的 3~4 倍，甚至更高。另外，采样频率能达到多高和存储器的写入脉宽也有关系，如果采样频率的周期小于存储器的最小写入脉宽，那么采样数据就不能保证被稳定的写入存储器。

(2) 存储深度

存储深度是指采集的数据在存储器中记录的长度或者点数。它是采样频率与采样时间的乘积。因此存储深度的设计与存储器大小、采样频率以及采样时间都有关系。

(3) A/D 分辨率

A/D 的分辨率一般由 A/D 的位数和输入电压范围来决定。如 ADC0809 的输入电压范围为 0~5V，转换位数为 8 位，则分辨率为：

$$\Delta U = \frac{5V}{2^8} = \frac{5V}{256} \approx 20mV$$

2. 数据采集系统电路设计

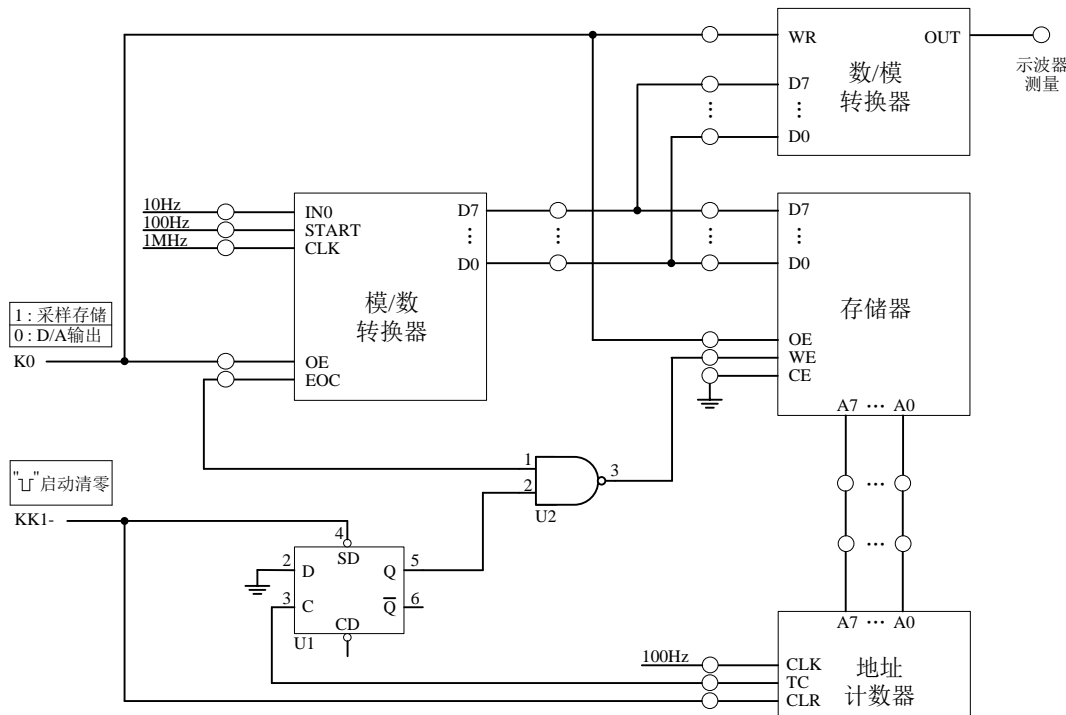


图 5-1-2 数据采集实验电路图

如图 5-1-2 所示的数据采集电路，工作原理如下：

(i) 采集存储过程

当开关 K0 拨到“1”端，按一下 KK1-，则启动采样存储过程。K0 使 A/D 的数据输出使能 OE 有效，允许数据输出。KK1-负脉冲使触发器 Q 输出置 1，存储器 WE 就相当于 EOC 的非，即 A/D 完成一次转换 EOC 输出 1，存储器 WE 为 0，完成一次写入。

连续脉冲 10Hz 作为被采样信号接入 A/D 的输入通道 IN0，100Hz 作为采样时钟接入 START 端，100Hz 同时也作为地址计数器的时钟 CLK。地址计数器共 8 位，即采样的存储深度为 256。当计数器计到 255 时，TC 输出进位脉冲，使得触发器 Q 输出为 0。存储器 WE 就被强置为 1。停止写入。存储器中地址 0 到 255 存储着采集数据。

(ii) 输出显示过程

当开关 K0 拨到“0”端，则切换到 D/A 输出显示过程。K0 使 A/D 的数据输出使能 OE 无效，禁止输出。存储器数据输出使能 OE 和 D/A 的转换使能 WR 有效，在地址计数器作用下，

存储器地址 0 到 255 存储的采样数据从存储器依次读出,进入到 D/A 进行转换,OUT 端输出转换结果,还原被采样信号。

下面通过示波器测量 D/A 输出,验证数据采集是否准确,操作步骤如下:

(1) 将 D/A 转换器 OUT 端连接到测量仪器单元的电压测量端,进入波形测量界面,将扫描时基调到 25ms 档,记录下输出波形。可测得如图 5-1-3 所示波形。

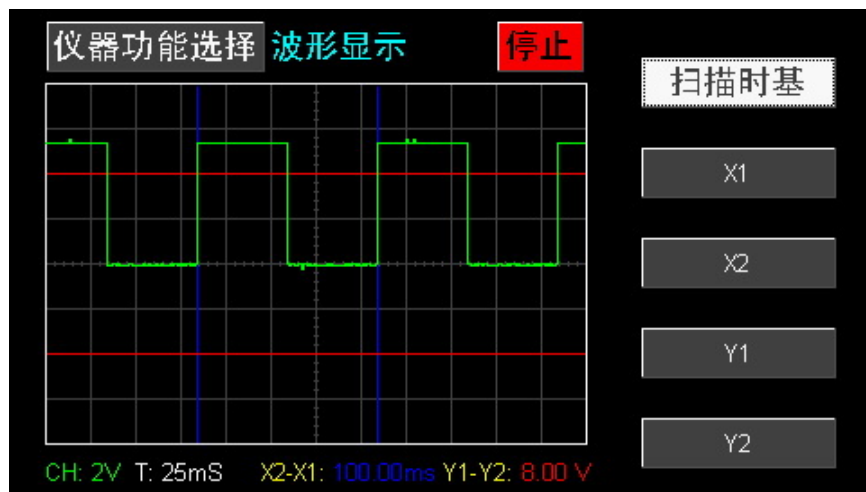


图 5-1-3 采集输出的波形图

通过移动 X1 和 X2 游标测得周期为 100ms,即为被采信号 10Hz。可以测量连续脉冲 10Hz 的原始信号,对比波形是否一致。

(2) 将扫描时基调到 500ms 档,使可以同时观测到整个一次采集的波形。存储器中存放的 256 个采集数据是被反复读出,所以看到的是一次采集的波形被反复还原出来。记录下波形和测量结果,可测得如图 5-1-4 所示波形。

理论采集时间计算: 存储深度为 256, 采样率为 100Hz。采集时间=存储深度÷采样率=256÷100=2.56(s)。

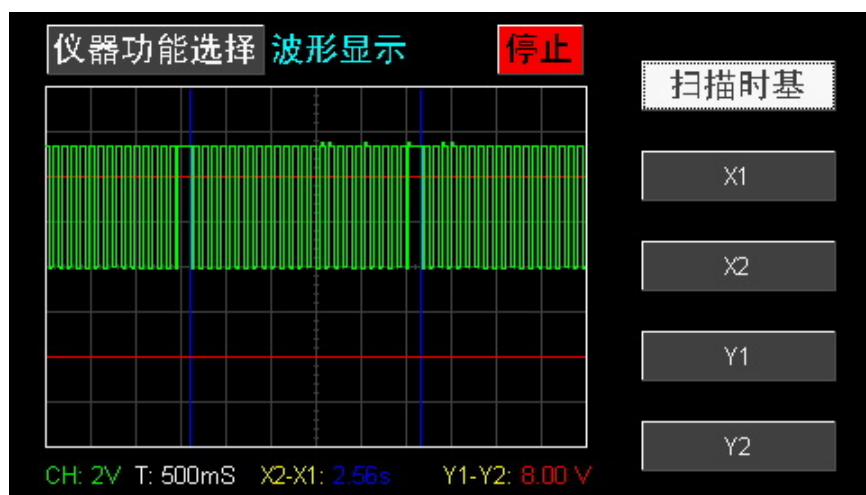
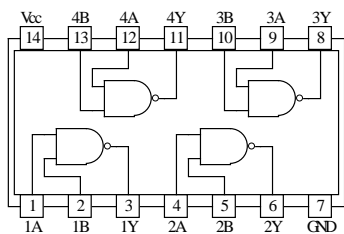
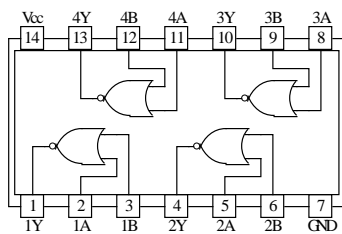


图 5-1-4 测量采集时间

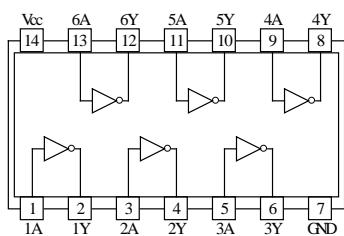
附录 常用集成电路引脚图



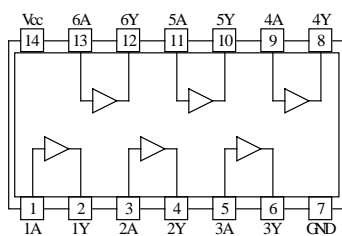
74LS00



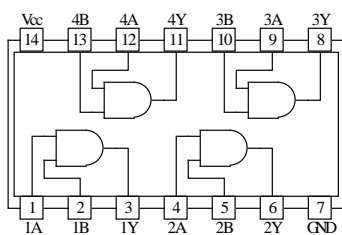
74LS02



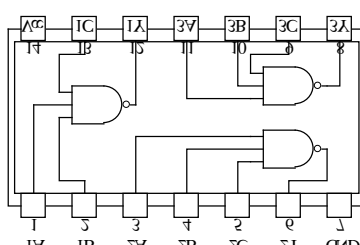
74LS04



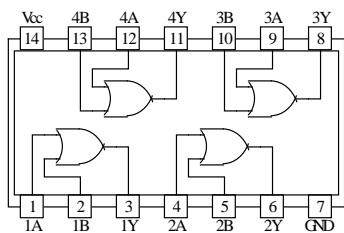
74LS07



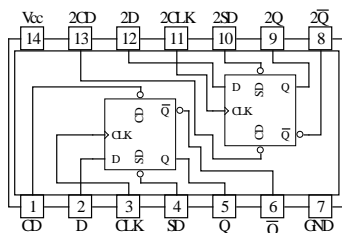
74LS08



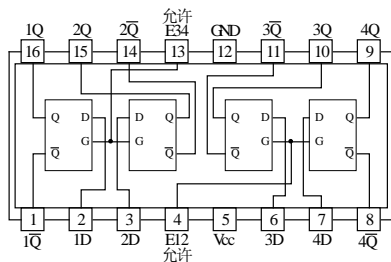
74LS10



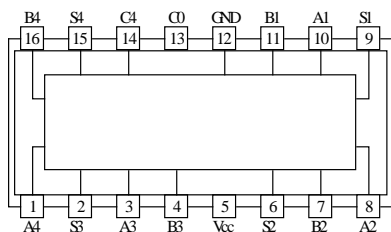
74LS32



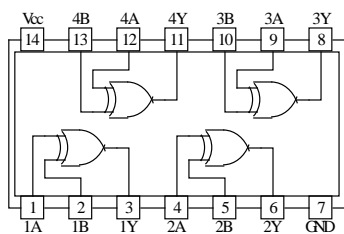
74LS74



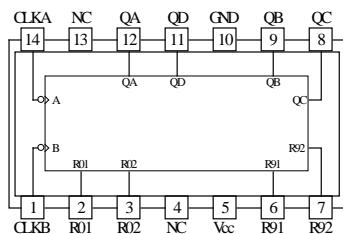
74LS75



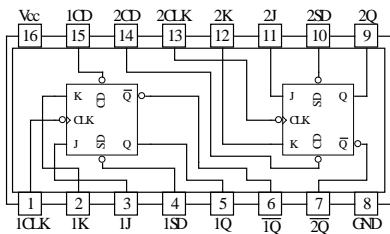
74LS83



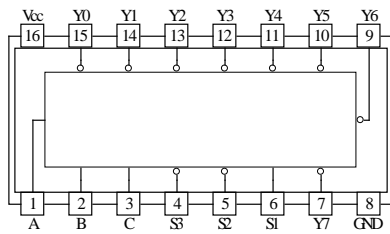
74LS86



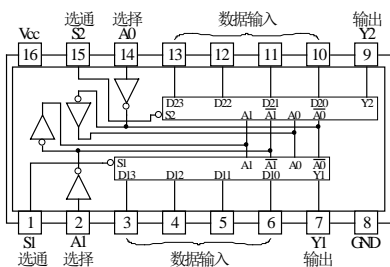
74LS90



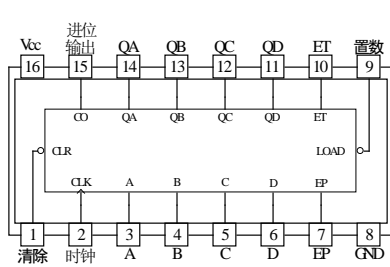
74LS112



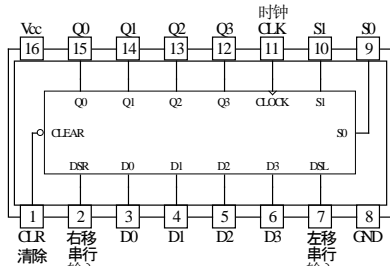
74LS138



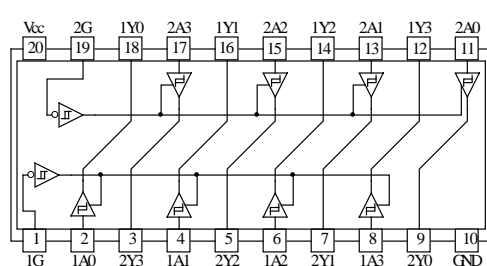
74LS153



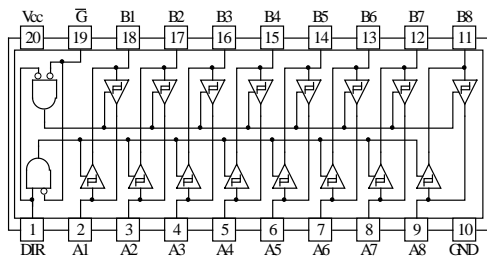
74LS161



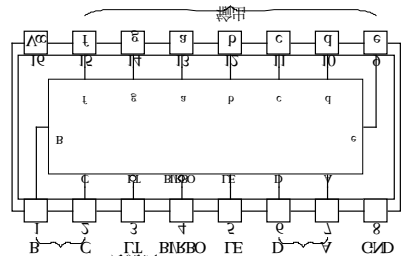
74LS194



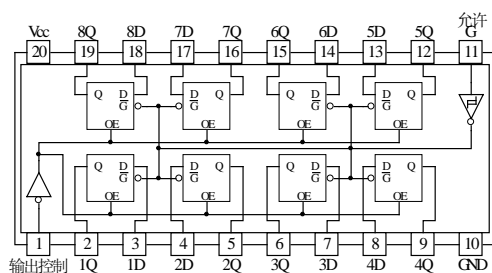
74LS244



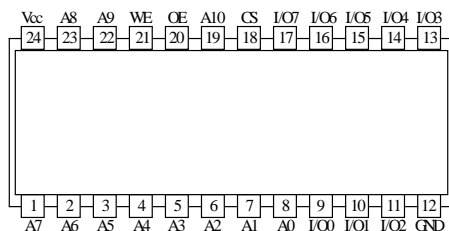
74LS245



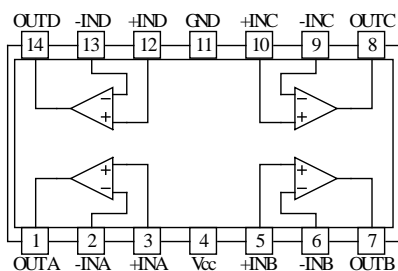
CD4511



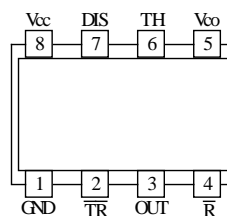
74LS373



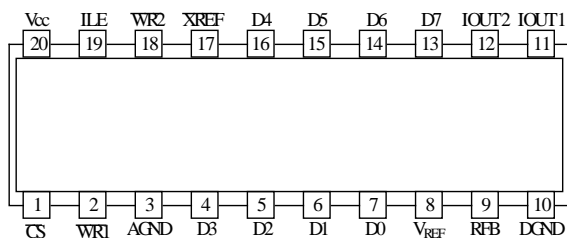
SRAM6116



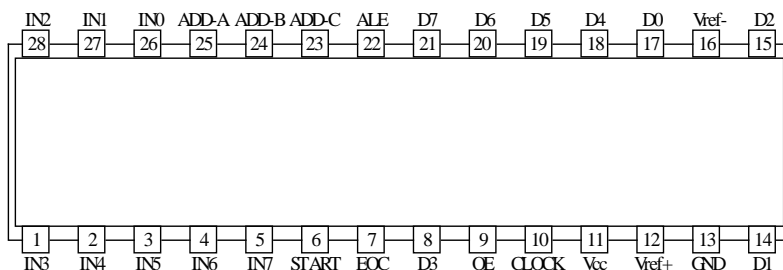
LM324



NE555



DAC0832



ADC0809