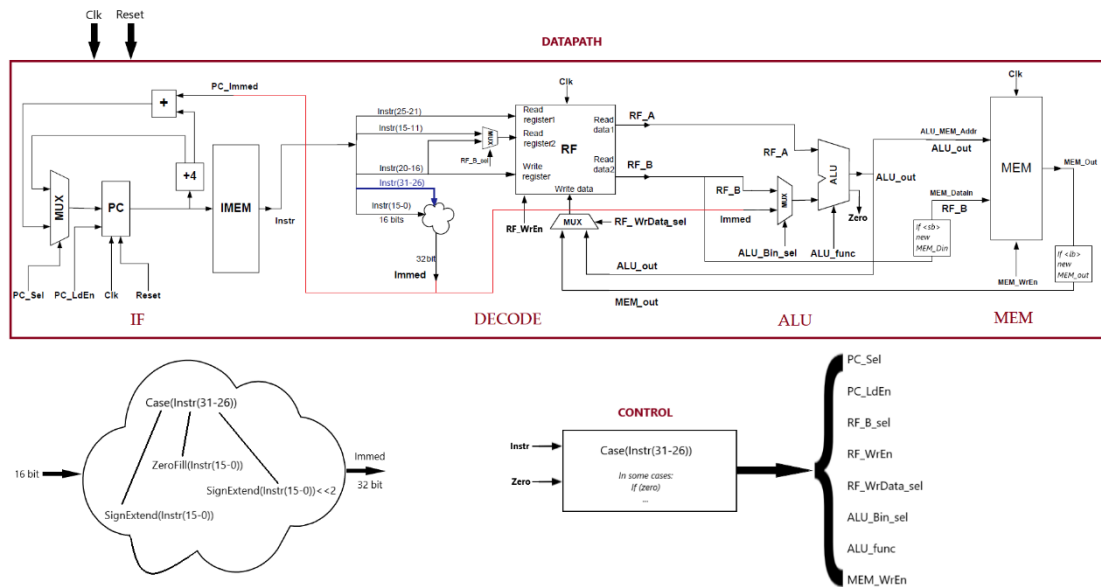




Αριστοτέλειο Πανεπιστήμιο Θεσσαλονίκης
Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Ψηφιακά συστήματα HW-1

Σχεδίαση επεξεργαστή πολλαπλών κύκλων
Project Report

Λιούπης Θεόδωρος 9733
Μπαρμπαρούσης Δημήτριος 9775



Η υλοποίηση του project πραγματοποιήθηκε χρησιμοποιώντας τα εργαλεία της Xilinx σε γλώσσα Verilog. Αρχικά, δημιουργήσαμε τα submodules του επεξεργαστή και στην συνέχεια, προσομοιώσαμε την λειτουργία του εκτελώντας τις εντολές του αρχείου *rom.data*.

Ο επεξεργαστής αποτελείται από τα παρακάτω modules:

❖ Processor (top module)

A. Datapath

1. Ifstage
2. Decstage
3. Alustage
4. Memstage

B. Control

Για την σύνθεση των παραπάνω modules ήταν απαραίτητο να δημιουργηθούν επιπλέον βοηθητικά modules όπως:

- Register modules
- Register File module
- Mux modules
- Alu module
- Memory modules

A. Datapath Module

Το συγκεκριμένο module συνδέει τις τέσσερις βαθμίδες ifstage, decstage, alustage και memstage μεταξύ τους. Δέχεται σαν είσοδο τα σήματα ελέγχου του κάθε stage και σαν έξοδο δίνει την τρέχουσα εντολή, το αποτέλεσμα του alustage, την έξοδο της μνήμης RAM και το περιεχόμενο του καταχωρητή \$rd (αποτέλεσμα εντολής).

A1. IFSTAGE

Το module αυτό είναι υπεύθυνο για το Instruction Fetch. Αποτελείται από τον PC register, έναν πολυπλέκτη που ελέγχει την είσοδο του PC και την μνήμη ROM που περιέχει τις εντολές προς εκτέλεση. Δέχεται σαν είσοδο το PC_Immed, τα σήματα ελέγχου PC_Sel, PC_LdEn, Clk, Reset και στην έξοδο του δίνει την εντολή προς εκτέλεση (Instr).

Σε κάθε κύκλο ρολογιού, εφόσον είναι ενεργοποιημένο το PC_LdEn, ο PC διαβάσει τη νέα του τιμή (είσοδος) η οποία καθορίζεται στον πολυπλέκτη με βάση το PC_sel. Η είσοδος του PC μπορεί να είναι είτε PC + 4 είτε PC + 4 + PC_Immed (για εντολές Branch). Η έξοδος του PC είναι η διεύθυνση της επόμενης εντολής στην μνήμη ROM. Η μνήμη αυτή αρχικοποιείται στην αρχή με βάση το αρχείο *rom.data* και η έξοδος της είναι η εντολή που θα εκτελεστεί στον επόμενο κύκλο ρολογιού. Τέλος, ο καταχωρητής PC μηδενίζεται όταν ενεργοποιηθεί το σήμα Reset.

Οι εντολές που εξέρχονται έχουν τις εξής δύο δομές:

6-bits	5-bits	5-bits	5-bits	5-bits	6-bits
Opcode	rs	rd	rt	not-used	func

6-bits	5-bits	5-bits	16-bits
Opcode	rs	rd	Immediate

A2. DECSTAGE

Το module αυτό είναι υπεύθυνο για την αποκωδικοποίηση της εντολής (Instr), το διάβασμα των αντίστοιχων καταχωρητών που εμπλέκονται στην εντολή και την καταχώρηση του αποτελέσματος των αντίστοιχων εντολών. Τα modules από τα οποία αποτελείται είναι ένα register file και δύο πολυπλέκτες. Δέχεται σαν είσοδο την εντολή προς εκτέλεση (Instr), τα σήματα ελέγχου RF_WrEn, RF_WrData_sel και Clk καθώς και τις εξόδους ALU_Out και MEM_Out των αντίστοιχων βαθμίδων. Στην έξοδο του δίνει το τροποποιημένο Immed (16 to 32 bits), τις τιμές των καταχωρητών που διαβάζονται από το register file και τέλος, τα δεδομένα προς εγγραφή στο register file (RF[\$rd]).

Αρχικά, η εντολή χωρίζεται στα κατάλληλα κομμάτια σύμφωνα με την δομή της και στην συνέχεια διαβάζονται οι κατάλληλοι καταχωρητές από το register file. Συγκεκριμένα, η έξοδος RF_A έχει συνεχώς την τιμή του καταχωρητή \$rs ενώ η RF_B την τιμή του καταχωρητή \$rt (χωρίς immediate) ή του \$rd (με immediate) σύμφωνα με το σήμα ελέγχου RF_B_sel. Στον επόμενο κύκλο ρολογιού, εφόσον είναι ενεργοποιημένο το σήμα RF_WrEn και με βάση το σήμα RF_WrData_sel, γράφουμε στον κατάλληλο καταχωρητή (\$rd) τα δεδομένα του ALU_Out ή του MEM_Out. Στις εντολές που τα πρώτα 16 bits περιέχουν το immediate, είναι αναγκαία η μετατροπή του σε 32 bits. Για αυτόν τον λόγο στην αρχή της βαθμίδας παίρνουμε τα δεδομένα Instr(15-0) και σύμφωνα με το opcode της εντολής (Instr(15-0)) το μετατρέπουμε σε 32 bits ως εξής:

Εντολή	New Immediate	In Verilog
addi, li, lb, lw, sb, sw	SignExtend(Immed)	SiEx [15:0] = {Instr[15:0]}; SiEx[31:16] = {16{Instr[15]}};
andi, ori	ZeroFill(Immed)	ZeFi [15:0] = Instr[15:0]; ZeFi [31:16] = 16'b0;
b,beq,bne	SignExtend(Immed)<<2	SiEx [15:0] = {Instr[15:0]}; SiEx[31:16] = {16{Instr[15]}}; shiftSiEx = SiEx<<2;

A3. ALUSTAGE

Το module αυτό είναι υπεύθυνο για την εκτέλεση αριθμητικών και λογικών πράξεων. Αποτελείται από μία αριθμητική και λογική μονάδα (ALU) και έναν πολυπλέκτη. Έχει σαν είσοδο τις τιμές RF_A, RF_B, Immed και τα σήματα ελέγχου ALU_Bin_sel και ALU_func. Στην έξοδο του έχει το αποτέλεσμα της πράξης (ALU_Out) και το σήμα Zero το οποίο ενεργοποιείται όταν το αποτέλεσμα της πράξης είναι μηδέν.

Η πρώτη είσοδος της ALU είναι η τιμή RF_A ενώ η δεύτερη είναι RF_B ή Immed σύμφωνα με το σήμα ελέγχου ALU_Bin_sel. Τέλος, η πράξη που εκτελείται στην μονάδα καθορίζεται από το σήμα ALU_func.

A4. MEMSTAGE

Το module αυτό αποτελείται από μία μνήμη RAM και είναι υπεύθυνο για την εγγραφή και την ανάγνωση δεδομένων της μνήμης. Έχει ως είσοδο το αποτέλεσμα ALU_Out της προηγούμενης βαθμίδας την τιμή του καταχωρητή RF_B και ένα σήμα ελέγχου MEM_WrEn.

Όταν το MEM_WrEn είναι ενεργοποιημένο γράφουμε στην διεύθυνση μνήμης [ALU_Out] (MEM[ALU_Out]) τα δεδομένα RF_B, ενώ όταν είναι απενεργοποιημένο διαβάζουμε τα δεδομένα MEM[ALU_Out].